

다이아몬드를 이용한 차세대 마이크로 전자에미터 패키징

이 승 목 · 김 중 민

Research for the Micro Packaging of Diamond Electron Emitter

Seung-Mock Lee and Jong-Min Kim

1. 서 언

FED (Field Emission Display)는, 현재의 액정평면표시소자가 지니고 있는 휘도, 시야각, 색채, 응답속도나 작동온도 등에 있어서의 여러 가지 한계점을 극복할 수 있는 차세대 평면디스플레이 기술로서 그 실용화를 위한 연구가 활발히 진행되고 있다¹⁾. 현재 연구되고 있는 FED는 몰리브덴(Mo)이나 실리콘(Si)을 이용한 원추형상의 마이크로 팁(micro-tip)을 제작하여(spindt형²⁾), 이를 매트릭스화 한 2차원 어레이로부터 전계 인가에 의해 전자를 진공 증으로 방출, 가속하여 스크린상의 형광픽셀에 조사함으로써 원하는 색상 및 휘도를 얻는, 약 1 μ m 스케일의 집적회로 시스템으로 이루어진 마이크로 전자에미터 소자를 채택하고 있다 (Fig. 1). 몰리브덴(Mo)이나 실리콘(Si)과 같은 재료는 표면에 강전계를 인가함에 따라, 터널효과(tunneling effect)를 이용하여 일함수에 따른 전위장벽을 극복하고 고체표면으로부터 전자를 방출시킬 수 있지만, 이에 필요한 동작전압을 저하시키기 위해서는 국소전계를 매크로(평균)전계에 비해 상당량 증가시킬 수 있는 원추

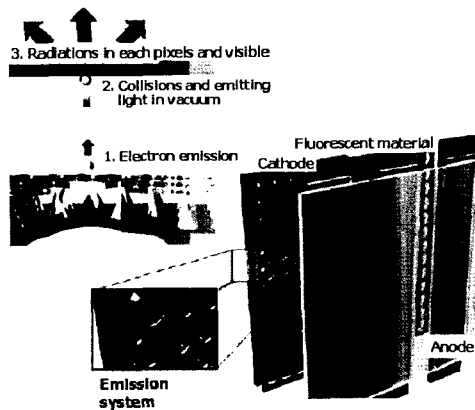


Fig. 1 Schematic diagram of principles of electron emission behavior and field emission display (FED)

형의 팁 제작과 함께 소자의 어레이화가 요구된다 (Fig. 2(a)). 일반적으로 곡률반경이 약 20nm정도인 팁(tip)이 사용되고 있으나, 전자방출효율이 국소구조에 강하게 의존하기 때문에 각각의 팁을 높은 정밀도로 제작할 필요성이 있으며, 국부적인 강전계 인가로 인한 전계방출의 불안정성과 수명의 감소 등은 앞으로 해결해야 할 과제이다. 한편, Fig. 2(b)에 나타낸 바와 같은 면(plane) 방출형의 심플한 구조를 지니는 에미터 소자는 충분한 전자방출 효율을 지니는 박막제작이 가능하다면, 복잡한 공정의 미세가공과 국부적인 전계집중 없이도 고효율의 안정된 에미션 전류밀도를 얻을 수 있으며, 이를 이용하여 좀 더 낮은 코스트와 높은 효율의 FED제작이 가능할 것으로 기대된다³⁾.

고효율의 마이크로 전자에미터 소자 개발은 FED기술의 실용화에 있어서 가장 중요한 연구 과제라 할 수 있는데, 이를 위하여 전자에미터 소자 재료로서 와이드 밴드갭의 탄소계 박막들이 검토되고 있다. 다이아몬드를 비롯하여 DLC (Diamond-Like Carbon), 카본 나노튜브 등과 같은 탄소계 박막재료들은 비교적 낮은

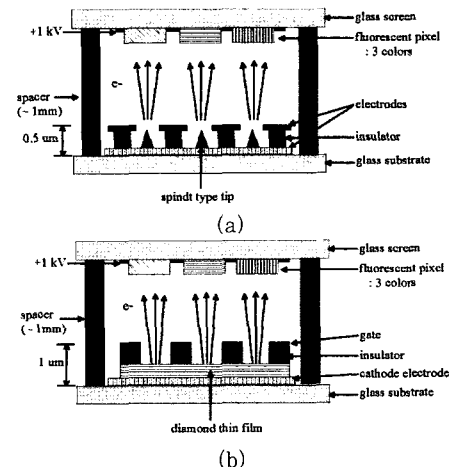


Fig. 2 Schematic diagrams of Spindt type (a) and diamond thin film (b) emitter used in FED

매크로 전계강도에서 고효율의 전자방출이 가능하며, 화학적, 물리적으로 안정된 표면원자구조를 지니고 있어, 고효율의 차세대 에미터 소재재료로서 기대를 모으고 있다³⁾. 본고에서는 CVD 다이아몬드박막을 이용하여 제작되는 마이크로 전자 에미터 패키징의 특성과 문제점, 최근의 개발현황 등을 살펴보기로 한다.

2. 전자에미터로서의 다이아몬드

고체중의 전자는 그 구조의 안정화에 기여하고 있기 때문에 고체로부터 진공 중으로 전자를 방출하는 경우 에너지장벽 (일함수: 통상 2~5eV)이 존재하게 된다. 따라서 실용레벨의 전자를 고체로부터 진공 중으로 방출하는 데는 안정된 표면을 지닌 낮은 일함수의 재료로부터 가열에 의한 열전자방출이나 고전계 인가에 의한 전계전자방출의 두 가지 방식이 일반적으로 사용된다 (Fig. 3(a)). 종래에는 텅스텐 등의 금속을 고온으로 가열하여 전자를 방출시키는 고온음극이 전자방출 범으로써 널리 이용되어 왔으며, 최근에도 CRT등에서 사용되고 있다. 고온음극은 비교적 용이하게 전자를 얻을 수 있으나, 전자방출을 위해 투입되는 전력의 대부분이 열로 변환되기 때문에, 방출효율이 매우 낮다고 할 수 있으며, 소형화가 용이하지 않다는 단점이 있다. 반면, 냉음극 방식은 실온에서 고전계를 인가하여 전자를 방출시키는 방법으로서, 고온음극에서 나타나는 이러한 단점들을 극복할 수 있는 차세대 기술로서 주목받고 있다. 실리콘(Si) 혹은 몰리브덴(Mo)을 이용하여 제작되는 냉음극의 경우, 전자방출에 필요한 전계(통상 10^6V/cm)를 얻는 데는 $1\mu\text{m}$ 정도의 공간과 그의 약 1/100사이즈 (10nm)의 원추형상을 높은 정밀도로 제작하여 어레이화 하여야 한다. 재료에 대한 높은 정밀도의 미세가공기술 향상에 따라 대면적에 걸쳐 고밀도의 전자원 형성은 가능하게 되었지만, 전자방출특성의 경시적변화가 실제적인 적용에 있어서 문제점으로 남아

있다. 냉음극 소자의 실용레벨의 진공에서는 이온이 존재하게 되는데, 이는 전자방출시 고(高)전계에 의해 가속되어 원추형상 팁의 표면에 충돌함에 따라 표면손상을 유발시켜 방출전류밀도의 불안정성의 원인으로 작용한다. 따라서 실용적인 견지에서 본다면 이온생성 및 이온충돌에 의한 에미터의 표면손상이 발생하지 않을 정도의 낮은 전압, 예를 들면 5V이하 정도에서 적절한 효율을 낼 수 있는 에미터의 개발이 필요할 것으로 판단된다. 한편, 전형적인 냉음극 소자에서는 가속전압이 2kV일 경우 0.1mA/cm^2 정도의 에미션 전류밀도가 필요한 것으로 알려져 있으며¹⁾, 최근 이를 상회하는 연구결과가 다이아몬드를 포함한 탄소계 박막으로부터 보고되기 시작하여, 앞으로의 연구개발 전망은 매우 밝다고 할 수 있다. 반도체 다이아몬드의 흥미로운 물성 중 하나는 수소 흡착된 다이아몬드 박막의 표면이 NEA (Negative Electron Affinity) 특성을 나타낸다는 것이다⁴⁾. NEA 특성의 표면에서는, 전도대의 최하단이 진공준위보다도 높은 위치에 존재하기 때문에, 그림 3b에 나타낸 바와 같이 이론적으로 전도대에 여기된 전자는 외부로부터의 물리적인 작용이 없이도 진공 중으로 방출된다. 다이아몬드는 화학적으로 불활성이며, 그 청정 표면은 저진공 중이나 대기 중에서도 안정하다. 또한, 표 1에 나타낸 바와 같이 물리적으로는 물질 중에서 최고의 열전도율과 높은 용점을 지니며, 특히 고온에서 결정구조와 전자물성이 안정적이라는 장점이 있다⁵⁾. 이러한 물리적, 화학적 특성에 NEA라는 표면전자물성을 지니며 따라 다이아몬드는 고효율의 에미터 재료로서 주목을 받고 있다⁶⁾. 특히, 다이아몬드 박막을 이용한 면(Plane) 방출형의 에미터는 spindt형 마이크로 팁을 이용하는 에미터에서 문제가 되고 있는 전계 집중에 의한 이온충돌이 거의 발생하지 않기 때문에, 전계에 의한 전자방출시 방출전류밀도의 안정성이 우수하다. 한편, 지금까지의 다이아몬드연구는 전자방출의 임계전압이나 전류밀도, 전류의 안정성 등에 대부분 국한되어 왔으며, NEA 특성에 대한 전반적인 연구는 거의 이루어지지 않고 있다. 표면의 NEA 특성을 이용한 고효율의 전자방출을 실현하기 위해서는, 다이아몬드의 전도대에 충분한 전자캐리어를 공급할 수 있어야 할 것이다. 도너 불순물 도핑에 의한 전자의 공급을 생각해 볼 수 있지만, 안정적인 저(低)저항의 n형 박막제작은 아직 만족할 만한 결과를 얻지 못하고 있으며, 이에 따라 pn접합 다이오드에 의한 전자주입방식의 시스템은 현재로서는 기대하기 어려운 실정이다. 많은 연구자들에 의해 n형 박막제작이 시도되어 왔으며 그 결과들이 보고되고 있으나^{7,8)}, 도핑에 의해 실온에서 명확히 다이아몬드의 전도대를 통한 전자의 전도가 보고된 바는 거

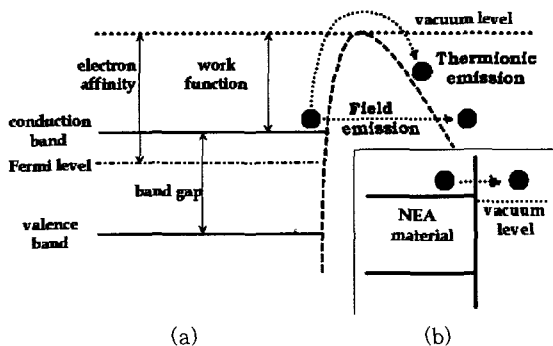


Fig. 3 Illustration of different emission processes from (a) a semiconductor and (b) a NEA material

Table 1 Comparisons of semiconducting properties⁵⁾

Properties	Diamond	β-SiC	GaAs	Silicon
Lattice constant (Å)	3.567	4.358	5.65	5.43
Density (g/cm ³)	3.515	3.216		2.328
Melting point (°C)	4000	2540	1238	1420
Band gap (eV)	5.45	3.0	1.43	1.1
Carrier mobility (cm ² /Vs)				
Electron	2200	400	8500	1500
Hole	1600	50	400	600
Breakdown voltage (×10 ³ V/cm)	100	40	60	3
Dielectric constant	5.5	9.7	12.5	11.8
Resistivity (Ωcm)	≈10 ¹⁵	≈150	≈10 ⁸	≈10 ³

의 없는 것으로 보인다.

최근 Koizumi^{9,10)} 등은 Phosphorous도핑에 의해 처음으로 n형 전도특성의 다이아몬드 박막을 제작하여 이를 실증하는데 성공하였다. 이 연구에서 전자의 이동도는 다이아몬드 자체의 전기적 특성에 훨씬 못 미치는 최대 ~200cm²/Vs를 나타내었는데, 이는 박막결정질의 불완전성에 기인하는 것으로 생각된다. 하지만, 앞으로 성막(成膜)방법에 있어서의 충분한 검토가 이루어진다면, 안정적인 n형 박막제작이 가능하다는 사실을 실증하였다는데 있어 의미가 있다고 하겠다. 한편, 다이아몬드의 high breakdown voltage특성을 이용하여, 고전계 인가에 의한 전자방출방식도 생각해 볼 수 있다. 이러한 시스템에서는, 전자캐리어들의 터널링(Tunneling)에 있어 밴드갭 내부의 불순물준위나 결합 등이 효율을 저하시키는 원인으로서 작용하므로, 이러한 요인들을 최소화시킬 수 있는 박막성장기술이 전제된다면, 고효율의 전자방출을 기대할 수 있을 것이다. 실제 성장되는 다이아몬드 박막은 아직 내부 결합과 함께 표면의 이상성장(異狀成長)등 개선이 필요한 부분이 많은 것이 사실이며, 따라서 고품질의 CVD 다이아몬드 박막성장에 관한 연구도 중요한 이슈의 하나로서 활발히 연구가 진행되고 있다.

3. 다결정 CVD 다이아몬드 전자에미터

3.1 전계에 의한 전자방출기구

다결정 다이아몬드 박막은 입계가 존재함에 따라 다소 복잡한 전자방출과정을 거칠 것으로 생각되며, 아직 그 전자방출 기구에 대해서는 명확히 밝혀져 있지 않다. Wang¹¹⁾ 등은 메탄농도가 높은 성막조건에서 제작

된 다결정 다이아몬드 박막의 경우, 비교적 낮은 전계에서 안정적인 전자방출을 관찰하였다. 이는 다결정박막의 입계에 형성되는 그래파이트(graphite)성분이 도전성채널로 작용하여 전자의 전도에 기여하였기 때문인 것으로 추측된다. 따라서 다결정 다이아몬드에서의 전자방출효율은 입자사이즈에 반비례하게 되며, 가장 낮은 일함수의 매크로 전계는 나노미터 사이즈의 미결정(微結晶) 다이아몬드 박막에서 관측된다. 한편, 자외광(紫外光) 여기에 의해 방출되는 광전자전류의 2차원분포와 전계에 의한 전자방출의 2차원분포가 완전히 다른 경향을 나타내었는데, 이로부터 다결정 다이아몬드 박막의 전자방출은 막 전체로부터 균일하게 이루어지는 것이 아니라, 불균일하게 존재하는 국소적인 전자방출점(Emission site)에 의해 발생된다는 사실이 밝혀졌다¹²⁾. 수소종단된 다이아몬드(111)박막의 표면은 p형 전도특성과 함께 NEA특성을 나타내는데, 이러한 표면으로부터의 전계에 의한 전자방출 결과들은 주로 가전자대로부터 진공준위로의 표면 터널링에 의한 것이며, 이러한 준위가 형성되지 않은 경우에는, 가전자대 가까이 형성된 페르미 준위로부터의 표면 터널링에 의한 방출인 것으로 보여진다¹³⁾. 따라서 지금까지 전계에 의한 전자방출과 관련된 결과들은, 다이아몬드 전도대와 NEA표면을 통한 전자방출기구와는 거리가 있는 것으로 판단된다. 한편, 다결정 다이아몬드 박막의 입계에 도전성의 그래파이트 영역이 형성된다면, 전자방출시 전계는 이러한 도전성 채널에 집중되는 공간적인 분포를 나타낼 것으로 생각된다. Fig. 4에서는 양극(Anode)과 음극(Cathode: 다결정 다이아몬드박막) 사이에 전계가 인가되었을 경우, 다이아몬드 표면전위의 미세분포를 도식적으로 나타내었다. 다결정 다이아몬드(Cathode) 표면 부근에서는 전술(前述)한 도전성 미세구조 등에 전계가 집중됨으로서, 실효적인 전계강도가 상승하게 되는데, 이러한 국부적인 전계집중에 의해 비교적 낮은 전계에서도 전자방출이 가능한 것으로 생각된다.

한편, 다이아몬드 박막의 경우 전자방출을 위하여 'activation' 혹은 'initiation'이라 불리는 예비처리 과

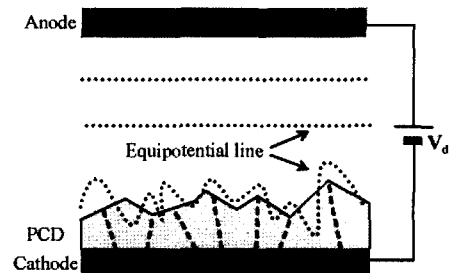


Fig. 4 Schematic diagram of electric potential distributions between PCD film (cathode) and anode material¹³⁾

정이 전자방출 전에 반드시 필요하다. 이러한 예비처리는 표면미세구조를 변화시킴으로써 에미션 사이트를 형성시킬 뿐만 아니라 막 내부의 구조변화, 예를 들면 sp^2 결합구조나 결합에 의한 도전성 채널 등을 형성시킴으로써 전류방출효율 향상에 기여하게 되는데, 이는 전자방출소자의 저(低)저항화에 반드시 필요한 공정이다.

3.2 다결정 다이아몬드 박막을 이용한 에미터 디바이스 제작

PCD (Poly-Crystalline Diamond)를 이용하여 디바이스 에미터를 제작하기 위한 시도가 많은 연구자들에 의해 진행되어 왔다. 고효율 전자에미터의 산업적인 실용화를 위해서는, 궁극적으로 저비용, 고효율의 에미터 제작이 필수이며, 실리콘 혹은 여러 종류의 반도체 기판위에 성장이 가능한 PCD박막이 아직 기술적으로 해결해야할 과제들은 많지만, 현실적으로 가장 가능성이 높다고 할 수 있다. Geis¹⁴⁾는 n형 다이아몬드로부터 p형 다이아몬드에 전자를 주입하여, p형 다이아몬드의 NEA표면으로부터 전자를 방출시키는 pn접합구조의 디바이스 에미터를 제작하였다. n형 박막은 p형 박막에 탄소이온을 주입함에 따라 형성되는 주입결합을 이용하여 제작하였다. 여기서 관측된 에미션 효율은 (방출전류/다이오드전류) 0.02% 이하로서 매우 낮은 값을 나타내었으나, 산소리크의 저전공 하에서도 동작되는 특징을 나타내었다. 한편, Hatta¹⁵⁾ 등은 Al전극으로부터 PCD로 직접 전자를 주입하는 방식의 다이오드형 전자에미터를 제작하였으며, 그 소자구조의 모식도와 방출 전자전류의 다이오드 전류의존성을 측정된 결과를 Fig. 5에 나타내었다. 방출전자전류는 비교적 낮게 나타났

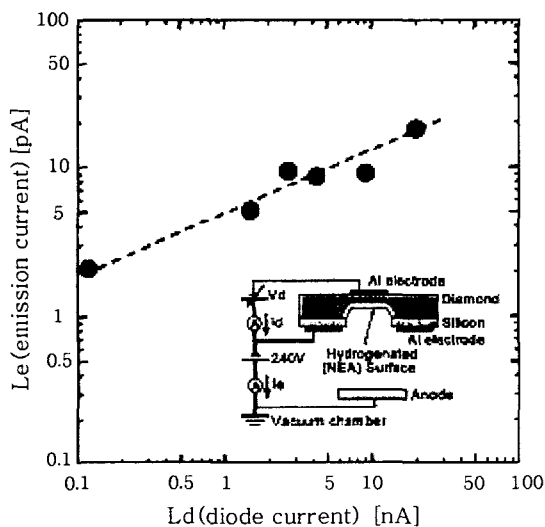


Fig. 5 Schematic diagram of diode type PCD electron emitter and its emission current (I_e) variation depend on driving current (I_d)¹⁵⁾

며, 방출효율은 0.1nA~20nA의 다이오드 전류에 대해 0.2~2%정도에 지나지 않음을 확인할 수 있었다¹⁵⁾. 이러한 저효율의 주요 원인은 두 가지 정도로 생각해 볼 수 있는데, 하나는 입계에 형성되는 도전성 채널을 통해 전도되는 전자들의 경우, 박막표면에서의 터널링에 의한 방출효율이 매우 낮기 때문이다. 또 하나는 밴드갭 내부에 입계 등에 의한 불순물준위나 결합이 존재함에 따라, 전도대를 통과하는 전자캐리어들이 낮은 에너지의 갭 내부 준위로 이동하게 되어 전도효율이 상당량 감소하기 때문인 것으로 판단된다. 따라서 전자방출의 효율향상을 위해서는 CVD다이아몬드 박막의 고품질화가 먼저 이루어져야 할 것으로 판단되지만, 궁극적으로는 전도대로의 충분한 전자공급과 표면의 NEA 특성을 이용한 전자방출이 동시에 이루어져야만 다이아몬드 박막의 특성을 충분히 살린 고효율의 에미터 제작이 가능하게 될 것이다.

4. 단결정 CVD 다이아몬드 박막에 의한 전자에미터의 제작

n형 박막을 이용한 전자캐리어의 전도대 여기가 여의치 않으므로, MIS (Metal-Insulator Semiconductor) 형식의 소자구조에 고품질의 단결정 다이아몬드 박막을 적용하여, 고전계를 이용한 전자주입이 가능한 전자방출소자에 대한 연구가 진행되고 있다. Ito¹⁶⁾ 등은 이러한 MIS구조의 다이아몬드 에미터를 성공적으로 제작하였는데, 그 소자구조와 전자방출특성을 Fig. 6에 나타내었다. Fig. 6(a)에 나타낸 소자구조에서 M은 저(低)저항 전극층, I는 undope 다이아몬드 단결정 박막, S는 수소화 p형 다이아몬드이다. I층에 필요한 고전계는 M층과 S층 사이에 전압을 인가함에 따라 얻을 수 있으며, S층의 표면은 NEA특성을 지니고 있어 전자방출면으로서의 역할도 겸하고 있다. I층에는 박막 결정질이 가장 우수한 호모에피택셜(Homoepitaxial) 단결정 다이아몬드를 채택하였다. 여기서 M층은 이온주입과 박막성장 기술을 적용하여, 내부에 저(低)저항층(buried electrode)을 형성하였다. buried electrode와 p형 다이아몬드 표면 사이에 $\sim 10^7$ V/cm정도의 고전계를 인가하면, I층의 가전자대에 p형 다이아몬드 박막으로부터 주입된 홀은 전계에 의해 가속되어 impact ionization 효과에 의해 전자-홀 쌍을 만든다. 이렇게 형성된 전자들은 전도대로 여기 될 수 있는 충분한 에너지를 지니게 되어 전도대로 여기 되며, 전도대를 통해 표면으로 이동되어 NEA표면을 통해 진공 중으로 방출되게 된다. 한편, 고전계가 인가됨에 따라 buried electrode의 페르미(Fermi)준위로부터 직접 터널링에 의해 전도

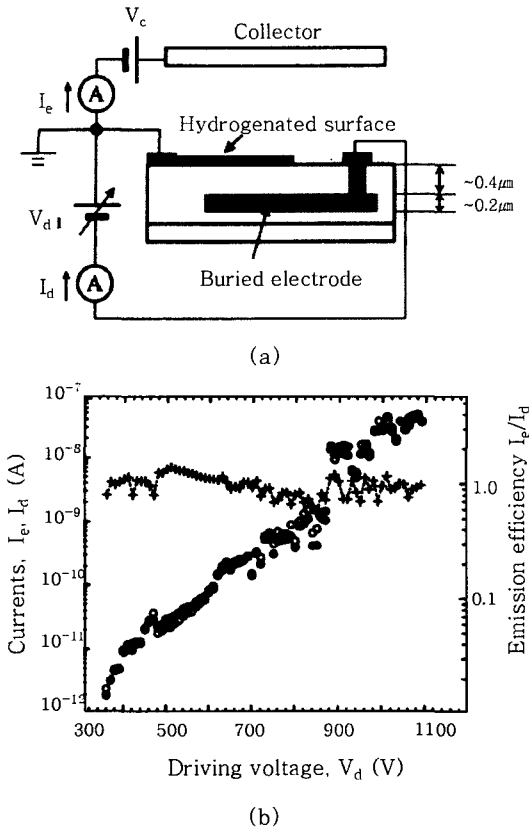


Fig. 6 (a) Schematic structure of the diamond electron emitting diode fabricated¹⁶⁾, (b) Variation of driving current I_d (○), emission current I_e (●) and emission efficiency I_e/I_d (+) with driving voltage V_d of MIS type diamond electron emitting diode

대로 여기 되는 전자캐리어도 상당량 존재하며, 이는 전자방출효율에 적지 않게 기여하는 것으로 생각된다. 결과적으로 얻어진 에미션 효율은 가장 좋은 경우 100% 가까이에 도달하였으며(Fig. 6(b)), 방출전류는 $0.2\mu A$, 전류밀도는 $20\mu A/cm^2$ 정도를 나타내었다. 이러한 결과는 불순물 준위나 결함 등이 상당량 감소된 고품질의 단결정 다이아몬드 박막(1층)성장이 가능하였기 때문인 것으로 판단된다¹⁷⁾.

일반적으로 호모에피택셜 단결정 다이아몬드 박막성장에 있어서, 표면의 이상성장이나 내부의 결함준위 등이 형성되는데, 이는 CVD를 이용한 박막성장시 공급가스중의 CH_4/H_2 비를 감소시킴에 따라 감소하는 경향을 나타낸다. 하지만, 이럴 경우 성장속도가 급격히 감소하기 때문에 실제 박막제작에 있어서의 적용은 어렵다. 따라서 실용 가능한 수준의 성장속도($\geq 0.5\mu m/h$)를 유지하는 범위 내에서, 성장기판에 대한 고온수소화처리 등의 예비처리와 성장시 마이크로웨이브(Microwave) 파워를 향상시킴으로서 (약 3800W), 박막결정질의 고

품질화에 다소 효과가 있었던 것으로 판단된다. 앞으로 방출 전류밀도의 안정성을 더욱 향상시켜야 할 필요가 있을 것으로 생각되며, $10^9 V/m$ 정도의 보다 높은 전계에 견딜 수 있는 우수한 결정질의 다이아몬드 박막을 이용한 전자방출 다이오드(Electron Emitting Diode, EED)에의 전개도 기대된다.

5. 앞으로의 전망

다이아몬드 박막의 실용화는 고효율의 FED실현 등에만 국한되지 않고 전자산업 전반에 걸쳐 상당한 기술적 향상을 초래할 것으로 예상된다. 따라서 아직은 기초단계의 연구에 머물고 있으나, 긴 안목을 가지고 연구해나갈 가치가 있는 것으로 생각된다. CVD 다이아몬드 박막은 현재 몇 가지 구조적인 문제들로 인해 실용화에 있어 많은 제한이 따르고 있다. 안정적인 n형 전도가 가능한 다이아몬드박막의 제작이 가능하다면, pn접합 다이오드형 전자에미터에 적용함으로써 고효율의 전자에미터 제작이 가능하게 될 것이며, 현재의 전자디바이스 성능을 훨씬 뛰어넘는 고성능 디바이스의 실현과 발광 다이오드(UV), 전기화학분야의 전극 등 그 응용범위가 급격히 확대 될 것으로 예상된다. 따라서 이러한 n형 다이아몬드 박막에 대한 연구가 활발히 전개되어 왔으며, 앞으로 많은 연구가 필요한 분야이기도 하다. 또한, 화학적 도핑이나 ion implantation 등에 의한 구조적인 전자전도, 이종(異種)박막의 헤테로에피택셜 성장과 다층막 디바이스 구조에서의 전자전도 메카니즘 등에 관한 연구가 함께 진행되고 있다^{18,19)}. 한편, 박막 결정질과 성장속도의 향상, 디바이스 물리에 입각한 소자구조의 최적화 등이 다이아몬드 전자에미터의 실용화를 위해 해결해야 할 기본적인 연구과제라 할 수 있으며, 앞으로 좀 더 체계적이고 꾸준한 연구가 이루어져야 할 부분이라 생각된다.

참 고 문 헌

1. J. E. Jaskie, MRS Bulletin, **21-3** (1996), 59-71
2. C. A. Spindt, I. Brodie, L. Humphrey and E. R. Westerberg, J. Appl. Phys., **47** (1976), 5248-5263
3. J. Robertson, Diamond Films and Technol., **8** (1999), 225-231
4. F. J. Himpsel, J. A. Knapp, J. A. van Vechten and D. E. Eastman, Phys. Rev. B., **20** (1979), 624-627
5. K. E. Spear, J. P. Dismukes, Synthetic diamond : emerging CVD science and technology, The electrochemical society Inc., Pennington, New Jersey, 1994, 356
6. A. Hiraki, T. Ito and A. Hatta, Oyo Buturi, **66**

- (1997), 235-240 (in Japanese)
7. K. Okano, S. Koizumi, S. R. P. Silva and G. A. J. Amaratunga, *Nature*, **381** (1996), 140-142
 8. I. Sakauchi, M. N. Gamo and Y. Kikuchi, *Phys. Rev. B.*, **60** (1999), R2139-2141
 9. S. Koizumi, M. Kamo, Y. Sato, H. Osaki and T. Inuzuka, *Appl. Phys. Lett.*, **71** (1997), 1065-1067
 10. R. Kalish, *Diamond Relat. Mater.*, **10** (2001), 1749-1755
 11. C. Wang, A. Garcia, D. C. Ingram, M. Lake and M. E. Kordesch, *Electronics Lett.*, **27** (1991), 1459-1 460
 12. C. Bandis and B. B. Pate, *Appl. Phys. Lett.*, **69** (1996), 366-368
 13. A. Hatta, T. Ito and A. Hiraki, *Oyo Buturi*, **67** (1998), 1410-1413 (in Japanese)
 14. M. W. Geis, N. N. Efremov, J. D. Woodhouse, M. D. McAleese, M. Marywka, D. G. Socker and J. F. Hochedez, *IEEE Trans. Electron. Devices*, **12** (1991), 456-459
 15. A. Hatta, K. Ogawa, N. Eimori, M. Deguchi, M. Kitabatake, T. Ito and A. Hiraki, *Appl. Surf. Sci.*, **117/118** (1997), 592-596
 16. T. Ito, M. Nishimura, M. Yokoyama, M. Irie and C. Wang, *Diamond Relat. Mater.*, **9** (2000), 1561-1568
 17. S. Lee, H. Murakami and T. Ito, *Applied Surface Science*, **175-176** (2001), 517-524
 18. S. Lee, H. Murakami and T. Ito, *J. Mater. Res.*, **17** (2002), 1914-1922
 19. S. Lee and T. Ito, *Diamond Relat. Mater.*, **11** (2002), 1952-1961



- 이승목(李昇穆)
- 1971년생
- 오사카부립 산업기술총합연구소 연구원
- MEMS, FED. Diamond thin film
- e-mail : smlee@tri.pref.osaka.jp



- 김중민(金鍾珉)
- 1972년생
- 중앙대학교 기계공학부 조교수
- 마이크로시스템 패키징
- e-mail : 0326kjm@cau.ac.kr