

전자 패키징의 요소기술

윤정원·문원철·정승부

Core Technology of Electronic Packaging

Jeong-Won Yoon, Won-Chul Moon and Seung-Boo Jung

1. 서 언

전자-정보통신 산업이 발전함에 따라 고성능 컴퓨터 및 휴대전화, PDA(Personal Digital Assistants)등과 같은 멀티미디어 시스템을 위한 빠른 신호처리가 가능한 고성능 반도체 칩의 개발 및 칩과 칩 또는 칩과 다른 주변 장치들간의 상호 신호전달을 위한 전자패키징 기술의 발전이 요구되고 있다. 최근 전자 제품의 성능은 칩 자체보다는 패키징 구조에 의한 신호지연에 의해 결정되고 있으며, 전체 신호지연의 약 50% 가량을 차지하고 있다. 이러한 패키징에 의한 신호 지연은 집적기술이 발달할수록 증가하여 향후 전체 신호지연의 약 80% 가량이 될 것으로 예측된다. 따라서 패키징 기술 개발의 발전이 점차 중요한 문제로 대두되고 있으며, 이를 개선하기 위해서 많은 연구들이 진행되고 있다.

본 고에서는 먼저 전자 패키징의 기능에 대해서 알아보고, 최신 마이크로 시스템 패키징 분야에서 주목받고 있는 플립칩(Flip Chip), 연성인쇄회로기판(Flexible Printed Circuit Board), 시스템 인 패키지(System in Package), 3차원 실장(3 Dimensional Packaging) 및 휘스커(Whisker)에 대해서 간략히 소개하고자 한다.

2. 전자 패키징

2.1 전자 패키징의 기능

전자 패키징은 패키지 내의 수동부품(저항, 캐패시터, 인덕터, 커넥터 등)뿐만 아니라, 칩과 칩, 카드와 카드 사이의 전기적 신호를 유기적으로 전달하도록 구성되어 있으며, 크게 다음과 같은 기능을 수행한다¹⁾.

- 전력 배급(Power distribution) : 회로의 전원을 공급하기 위한 전류의 통로 제공
- 신호의 분배(Signal distribution) : 실리콘 칩의

회로를 통과함으로써 들어온 신호의 분배

- 열의 발산 및 제거(Thermal management) : 회로에 생성된 열의 발산 및 제거
- 기계적인 부양(Mechanical support) : 외부의 환경으로부터 칩 보호 및 유지

2.2 전자패키징 레벨

전자 패키징의 레벨은 Fig. 1과 같이 칩레벨, 모듈레벨, 카드레벨 및 보드레벨의 4단계로 구분할 수 있다¹⁾.

전자산업의 발전은 이러한 전자 패키징의 기능에 더하여, 전자 칩의 성능 보조, 칩의 경박단소화, 전자 칩과 기판간의 회로의 재배치, 내장형 수동소자의 적층, 저전력화, 노이즈 및 크로스-톡(cross-talk)의 감소, 신뢰성의 확보, 경제적인 패키징과 같은 부가 기능까지 요구하고 있다.

3. 최신 마이크로 시스템 패키징기술

3.1 플립칩 (Flip Chip)

전자 및 반도체 패키징 분야에 있어서 재료, 부품,

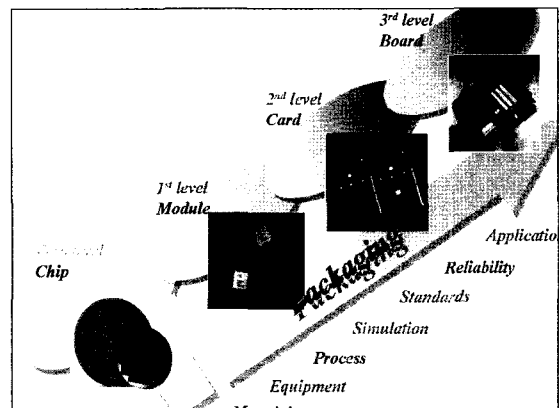


Fig. 1 패키징 레벨

기판 및 모듈(module)의 고성능화(high performance), 고집적화(high density integration), 다기능화(multi functionality) 및 소형화(Miniaturization)에 대한 요구가 점차 증대되고 있다. 칩 제조 분야에서도 이러한 요구사항을 만족시키기 위해 칩 자체의 미세화, 집적화가 진행되고 있으며, 이와 함께 패키지 분야에서는 경박단소화(輕薄短小化)된 새로운 패키지의 실장 방법이 개발되어 왔다¹⁻³⁾. 부품에 있어 패키지 타입의 변화는 과거의 DIP(Dual Inline Package), SOP(Small Outline Package), QFP(Quad Flat Package), BGA(Ball Grid Array)로부터 CSP(Chip Scale Package) 및 플립칩 (Flip Chip)패키지의 형태로 발전해 가고 있다^{1,2,4)}. 플립칩기술이란 다양한 재료(solder bump, conductive polymer Film and Paste 등) 및 방법 (Deposition, Plating, Ball, Screen Printing 등)을 이용한 연결(interconnection)을 통하여 칩의 표면이 기판을 향하도록하여 (face-down) 칩을 기판에 실장하는 기술이다. 기존의 와이어 본딩(Wire-bonding)은 주변정렬(peripheral array)방식으로 면정렬(area array) 방식인 플립칩에 비해 입/출력(input/ output)신호의 제약이 크다(Fig. 2 참조)¹⁾.

또한 플립칩 패키지는 소자와 기판 사이의 연결을 최단거리를 이용하여 접합하기 때문에 외부 노이즈, 캐패시턴스 및 인덕턴스 값이 기존의 패키지에 비하여 월등히 작기 때문에 고주파 소자의 패키지에 적합하다. 솔더범프(Solder bump)를 이용한 플립칩 본딩 방법은 대표적으로 증착(Evaporating), 전해도금(Electroplating) 및 스텐실 프린팅(Stencil printing)방법 등이 있다.

증착(Evaporating)법은 미국 IBM사의 C4(Controlled-collapse chip connection)공정에서 사용되었던 가정역사가 오래된 범핑방법으로서, 금속마스크나 웨이퍼위에 다른 방식의 솔더마스크를 사용하여 솔더를 증발시켜 범프를 형성하는 방법이다. 신뢰성이 높고 솔더 증착 이후의 에칭공정이 필요 없다는 장점을 가지지만 다른 공정에 비해 가격이 비싸고 주석의 증착효율이 매우 낮아 납의 함량이 높은 고용융점 솔더의 경우에만 적용할 수 있는 단점이 있다. 대부분의 솔더는 합금으로 성분 금속의 증기압의 차이에 따라 증착되는 속도가 다르므로 솔더범프의 조성을 맞추기 어려운 단점을 가지고 있다. 반면 전해도금(electroplating)법은 도금방식에 의한 솔더 범핑방법으로 TAB(Tape Automated Bonding) 본딩용 골드(Au)범프 도금기술에서부터 시작되었다. 증착(evaporating)법에 비해 저가이며 저용융점 솔더의 증착이 가능하기는 하지만 전해도금을 이용하므로 고가의 설비가 필요하고 도금액의 조성 및 시설의 제약(폐수처리시설이 필요)이 뒤따르게 된다. 이들 방법에 비해서 스텐실 프린팅(stencil printing)법은 조성이 일정한 솔더페이스트를 사용하므로 솔더범프 제조변수를 줄일 수 있으며, 저가의 방법이나 페이스트의 사용으로 범프의 크기 및 피치(pitch)에 있어서 한계를 지니고 있다. 그 외에도 스테드(stud) 방법이 있으며, 이는 일본의 마쯔시타(Matsushita)에서 처음 개발된 것으로 반도체 조립 장비를 보유한 업체에서 기존의 인프라를 활용하여 가장 용이하게 골드범프를 형성할 수 있는 기술이다. 초기투자비가 저렴하고 UBM(Under Bump Metallization)공정이 필요 없으므로 범핑 가격이 싸다는 장점이 있지만 다핀의 경우에는 공정시간이 길어지기 때문에 가격적인 장점이 없다.

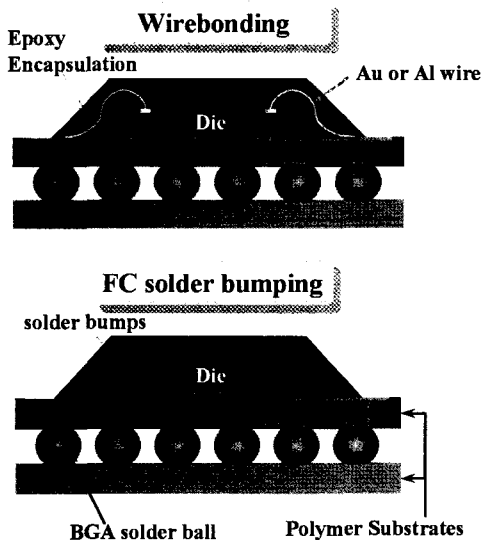


Fig. 2 와이어 본딩과 플립칩 본딩의 비교

3.1.1 스텐실 프린팅 방법

UBM(Under Bump Metallization)의 증착과 패턴 형성 후, 스텐실 마스크 (stencil Mask)를 이용하여 솔더분말과 플럭스가 혼합된 솔더페이스트(solder paste)를 스퀴즈(squeeze)한 다음 리플로우(reflow)공정을 이용하여 솔더범프를 형성시키는 방법이다. 공정 비용이 비교적 저렴하며 솔더페이스트를 이용하므로 솔더조성의 제한이 적으며, 무연솔더(Pb-free solder)의 적용이 적합하다는 장점을 가지고 있다. 그러나 페이스트의 특성 및 스텐실마스크의 가공도의 제한으로 미세피치 및 범프크기의 제약이 따른다.

Fig. 3과 4는 스텐실 프린팅법을 이용한 플립칩 범프형성 공정 및 Sn-37wt.%Pb 공정 솔더를 이용한 범프외형 및 단면사진을 나타낸 것이다⁵⁾.

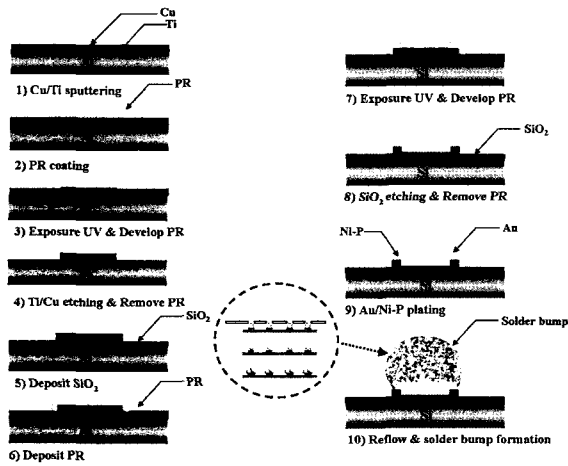


Fig. 3 스텐실 프린팅법을 이용한 플립칩 범프 형성공정

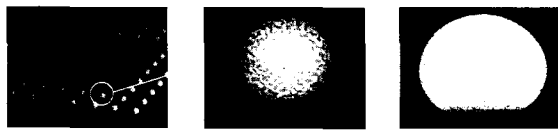


Fig. 4 스텐실 프린팅법을 이용한 플립칩 범프의 형 및 단면사진(솔더:공정 Sn-Pb, UBM:무전해Ni/Au)

3.1.2 전해도금(Electroplating) 방법

전해도금 방식에 의한 솔더범프 형성 방법으로 UBM 층이 도금의 씨드 층(seed layer)으로 사용되며 그 위에 전해도금하는 방식이다. 증착공정에 비해 가격이 저렴하며 저용점 솔더의 도금이 가능하지만, 고가의 설비 및 별도의 폐수처리시설이 필요하며 솔더 조성의 조절 및 균일한 도금이 어려운 단점을 가지고 있다. 그러나 미세피치 및 작은 범프형성에 유리한 장점을 가지고 있다.

Fig. 5와 6은 전해도금법을 이용한 플립칩 범프형성 공정 및 Sn-Ag 공정 솔더를 이용한 범프의 형 및 단면 사진을 나타낸 것이다.

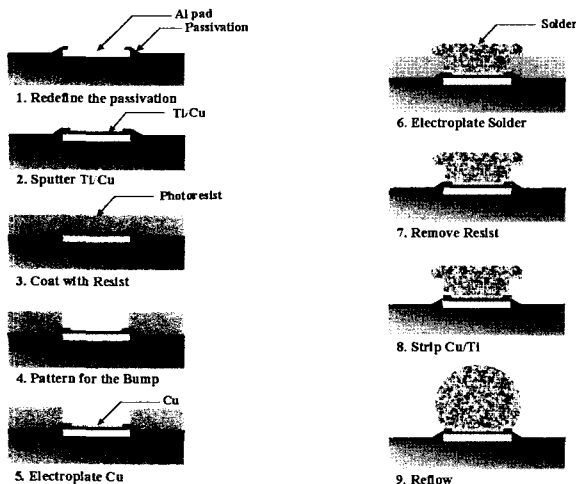


Fig. 5 전해도금법을 이용한 플립칩 범프 형성공정



Fig. 6 전해도금법을 이용한 플립칩 범프의 형 및 단면사진 (솔더:공정 Sn-Ag, UBM:Cu)

3.1.3 플립칩 접속방식

플립칩 기술은 범프의 재질과 형상 및 접속방식에 따라서 다음 세 가지로 또한 구분할 수 있다.

- 솔더링 공정(soldering process)을 사용한 플립칩 본딩기술 : IBM에서 60년대 초에 개발된 것으로, 플럭스(flux) 도포 및 리플로우(reflow)하여 기판과 칩의 패드를 솔더로 접속하는 방법이다. 플럭스를 세척한 후, 언더필(underfill)을 충전 및 경화시켜서 기판과 칩의 신뢰성을 높여준다. 주적용 범위는 자동차, 통신, 컴퓨터분야이다.
- 열초음파방식에 의한 골드-골드(Au-Au) 접속 플립칩본딩기술 : 스타드(stud) 범핑 방법으로 골드 범프를 형성한 후 패키지의 골드 패드와 열초음파로 직접 접속하는 기술로 주적용 분야는 표면탄소파 필터(SAW Filter, Surface Acoustic Wave Filter), 온도보상형 수정발진기(TCXO, Temperature Compensation Crystal Oscillator) 등 이동통신 소자이다.
- 접착제를 사용한 플립칩 본딩기술 : 골드범프를 형성한 후, 이방성 전도성 필름(ACF, Anisotropic Conductive Film) 또는 이방성 전도성 접착제(ACA, Anisotropic Conductive Adhesive) 등의 접착제를 사용하여 접속하는 기술로 주적용 분야는 디스플레이(Display) 분야이다. 디스플레이 구동 칩(Drive IC)을 유리판넬(COG, Chip On Glass) 또는 연성회로기판(COF, Chip On Film)상에 실장시 사용한다.

3.2 연성인쇄회로기판 (Flexible PCB)

인쇄회로기판의 경우도, IT기기의 경박단소화 경향 및 형상의 자유도 향상과 고기능화에 대한 요구에 따라 연성인쇄회로기판(FPC, Flexible Printed Circuit)의 사용이 증가되는 추세에 있다. 이러한 연성인쇄회로기판은 과거 우주 개발, 항공, 군사용 등에 사용되어 왔으며 1970년대부터 반복, 고속으로 동작하는 전자기기의 헤드 부분에 많이 사용되어져 왔다. 연성인쇄회로

기판은 아주 얇은 두께의 절연필름(polyimide) 위에 동박을 붙인 회로기판으로서 두께가 얇고 굴곡성이 뛰어나 휴대폰을 비롯하여 디지털 카메라, 노트북 PC, 캠코더와 같이 중 소형 전자부품의 핵심 회로기판으로써 그 사용이 증가하는 추세에 있다. 한편, 무연 솔더 소재를 이용한 패키징 공정은 기존의 주석-납 합금의 접합온도(225℃)보다 약 20~30℃ 정도 높은 공정 온도가 요구됨에 따라, 기판의 열화로 기계적/전기적 특성이 변하게 된다. 이에 따라, 폴리이미드 소재는 다음과 같은 특성에 의해서 이러한 문제를 해결할 수 있는 재료로 주목받고 있다.

- 폴리이미드 수지의 경우 무연솔더의 접합온도 이상의 Tg(유리전이온도, Glass Transition Temperature) 값을 갖기 때문에, 무연솔더 접합 공정 중에도 열적으로 안정하다.
- 얇은 필름 형태로 가공이 용이하여 경량의 휴대기기에 사용이 가능하다.
- 우수한 굴곡성을 갖춘 재료 특성으로 제품의 관절부에 사용 가능하다.

폴리이미드 필름은 상기와 같이 내열성, 전기 절연성이 뛰어난 플라스틱의 일종으로 동박의 회로나 커버 필름, 보강재 등과 함께 연성회로기판을 구성하는 주재료이다. 휴대전화의 경우, 꺾어 접는 부분이나, 액정 주변에 한해 이용되어 왔지만, 최근 소형화나 디자인의 자유도를 높이기 위해서, 기판 전체에 대해 그 사용비율이 증대되고 있다. 한편, 디스플레이에 많이 사용되는 COF(Chip On Film)는 연성회로기판상에 플립칩기술로 칩을 실장하는 패키지 형태로서 기존의 TAB(Tape Automated Bonding)에 비해 정밀화가 가능하다.

3.2.1 연성인쇄회로기판의 장점

연성인쇄회로기판의 장점은 다음과 같다.

- 연성이 우수하여 굴곡부에 사용
- 얇고 가벼움



Fig. 7 핸드폰에 사용되는 연성인쇄회로기판⁶⁾

- 우수한 내열성(무연솔더 대응)
- 설계 자유도가 높고 3차원 배치가 가능
- 고밀도 배선이 가능

3.2.2 연성인쇄회로기판의 종류 및 용도⁷⁾

■ 단면/양면

- 핸드폰, 개인용 정보 단말기, IMT-2000
- 컴퓨터
- LCD

■ 다중연성인쇄회로기판

- 카메라 시장
- 자동차 시장
- 개인용 정보단말기 등 첨단 정보기기

■ 경성-연성 인쇄회로기판(Rigid-Flexible PCB)

- 우주항공시장
- 군수용품시장

■ 응용연성인쇄회로기판

- 오디오, 모터
- 정밀 산업시장

■ Double Assess

- 배터리(Battery)
- PDP TV
- 저가형 선호시장

3.3 시스템 인 패키지 (System in Package)

현재 이러한 반도체 패키징의 발전은 더욱 가속화되어, SiP(System in Package)와 같은 새로운 패키징 기술의 등장으로 새로운 국면을 맞이하게 되었다. 즉, 기존의 단일 기능을 위한 단일 부품의 패키징 기술에서 전자 칩의 소형화 및 다기능화가 가능한 플립칩 및 모듈화 기술이 급부상하고 있다. 일부 메모리 디바이스 업체들의 투자가 진행 중에 있는 SoC(System on Chip)는 하나의 메모리 디바이스 내에 서로 다른 기능을 가진 디바이스를 직접 제조하고 연결하여, 전체를 하나의 칩 구조물의 형태로 완성하는 개념이다. 하지만, 이러한 SoC는 개발 기간의 장기화 및 막대한 투자비에 따른 사업추진의 제약이 매우 커 기술력과 자본력이 있는 일부 반도체 업체만이 개발할 수 있는 단점을 가지고 있다. 반면, 모듈화된 SiP 패키지의 경우, 처리속도의 향상, 제품의 소형화 용이, 제조 원가의 절감, 제품으로의 빠른 응용이 가능하다는 장점으로 인하여 최근 이에 대한 요소기술 연구가 세계적인 전자 패키징 연구

기관을 중심으로 활발하게 진행 중에 있다. 칩의 소형화 및 고성능/고기능성을 동시에 이룰 수 있는 SiP 패키지에 대한 요소기술 연구의 필요성은 '디지털 컨버전스(Digital Convergence)'를 대표하는 휴대용 멀티미디어 기기의 급속한 발전에 힘입어 더욱 부각되고 있다. Fig. 8과 9는 이러한 SiP요소기술의 범주 및 SiP 패키지의 단면 모식도를 보여준다⁸⁾.

특히, SiP요소 기술로는 CSP(Chip Scale Package), 마이크로 비아(Micro Via), 내장형 수동소자(Embedded Passive)기술(Fig. 10참조) 등이 있는데, 이들 기술의 융합이 SiP를 구현할 것으로 예상된다⁷⁾.

한편, 최근에는 칩 위에 칩을 여러 층 적층시키므로써 칩의 실장 밀도를 증가시키는 적층형 CSP (Stacked CSP)기술, 다층 기판에서의 연결배선을 형성시키는 마이크로 비아 및 연결(Interconnection)길이를 최소화시키는 플립칩 기술이 SiP기술에 접목되어 집적도를 높이고, 수동소자를 기판 내에 내장시키는 내장형 수동소자(Embedded Passive)기술 등이 결합되어 최소 크기의 SiP를 구현하고 있는 추세에 있다. 또한 장기적으로는 디지털 집적회로(Digital IC), 고주파 집적회로(RF IC) 및 광소자 집적회로(Opto IC)가 집적화 된

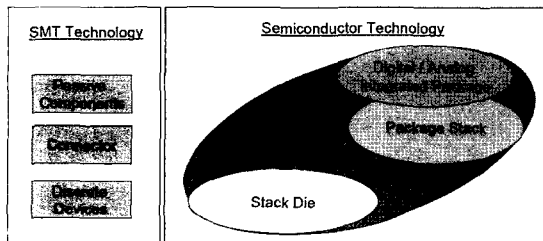


Fig. 8 SiP기술의 범주

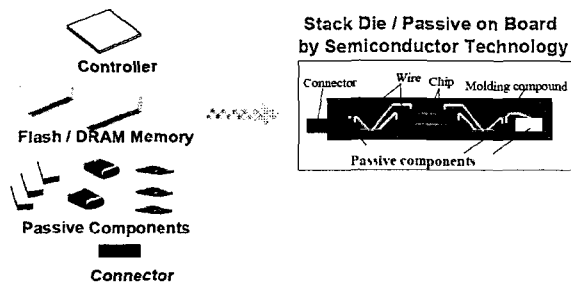


Fig. 9 SiP 단면도

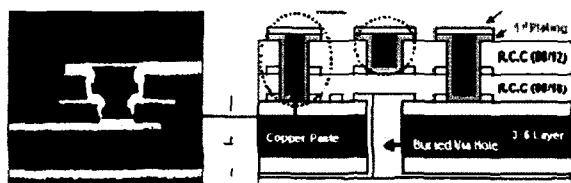


Fig. 10 마이크로 비아 및 내장형 수동소자

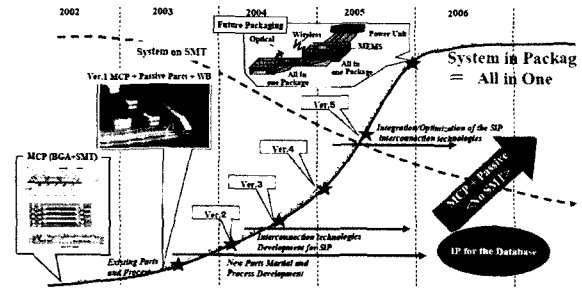


Fig. 11 SiP기술 로드맵

SiP형태로 발전이 예상된다 (Fig. 11)⁸⁾.

다기능화가 진행되는 휴대전자기기에서 SiP기술이 필수 기술이 된 이후로, 그에 대한 요구가 휴대기기를 중심으로한 많은 전자제품으로 확대되고 있다. 그것은 SiP가 가지고 있는 뛰어난 장점때문으로, 요약하면 다음과 같다⁹⁾.

- 실장면적의 감소 : SiP를 사용하여 2칩 이상을 적층하여 1개의 패키지로 하면 각각의 메모리 칩을 조합하는 경우에 비해 실장 면적을 1/2 이하로 줄일 수 있다.
- 개발기간의 단축 : SiP의 개발 기간은 SoC로 원칩화 하는 경우의 약 1/4이다. 이는 이미 제조된 칩을 패키지내에서 조합하는 것이 가능하기 때문이다.
- 비용의 감소 : 생산 수량이 많은 LSI를 제외하면 SiP의 제조비용은 SoC보다 낮다.
- 기능 변경의 용이 : SiP는 원칩화로 할 때, SoC에 비해 기능 변경이 쉽다. 기능 변경된 칩과 기능이 변하지 않는 칩이 나누어져 있으므로 기능 변경되는 칩만을 치환하면 된다. SoC의 경우는 기능변경하지 않는 부분까지 포함하여 칩 전체의 재설계, 재 테스트가 필요하다.
- 동작 주파수를 높일 수 있다. : SiP는 기존의 표면실장기술(Surface Mount Technology)에 비해 월등히 우수하며, 또한 SoC와 동등한 고속화가 가능하다. 복수의 칩 간에 수십 마이크로 크기의 범프(bump)를 사용하여 3차원적으로 접속하면 칩간의 배선길이를 수십 마이크로 할 수 있어 낮은 임피던스(Impedance)로 인한 전송속도를 높일 수 있다.

3.4 3차원 실장 (3D Packaging)

급속히 발달하는 반도체 패키징 기술은 시스템의 고기능화, 신호처리의 고속화, 경박단소화 및 휴대화의 요구에 따라 종래의 평면적인 2차원 실장으로부터 부품간의 배선길이를 단축해 실장부품의 면적효율을 극대화

하는 3차원 적층실장으로 발전하였다. 3차원 적층형 전자 회로장치는 칩 기능이 다양하고 복잡해짐에도 불구하고 더욱 빠르고 값싼 고밀도 시스템을 개발하는 쪽으로 기술이 진화하고 있다. 메모리 디바이스의 패키징은 TSOP(Thin SOP)와 QFP를 거쳐 CSP로 변환하였다. 기존의 패키지가 칩의 크기보다 보통 두 배 이상의 크기를 갖고 있기 때문에 보드 장착 면적이 컸으나 CSP는 1.2배 정도로 낮출 수 있으며, 단일 칩에서 멀티칩(MCP, Multi Chip Package) 및 단일 칩 패키지와 같은 크기의 라미네이트 기판을 사용해 몇 개의 칩을 적층하는 3차원 적층 패키지의 형태로 발전하고 있다⁹⁾. 이 패키징 기술은 시스템 인 패키지(SiP)기술과도 맞물려 있으며, 향후에는 광통신 부문과도 접목될 것으로 전망된다. Fig. 12는 이러한 메모리 칩의 적층화 추세를 보여주는 그림으로, 최근의 보고에 의하면 일본의 ASET(Association of Super-Advanced Electronic Technologies)에서 메모리 칩에 직접적으로 관통전극을 형성하여 칩간 배선장의 극단화를 꾀한 초고밀도 3D 칩 적층기술을 개발·보고 하였다^{10,11)}.

3.5 휘스커(Whisker)¹²⁾

현재 전 세계적으로 납(Pb)사용의 규제에 대한 관심(Restriction of certain Hazardous Substances (RoHS) 및 Waste Electrical and Electronic Equipment(WEEE))이 높아지고, 전자업체의 Eco-product 마케팅이 강화되면서 전자부품업체는 기존의 주석-납(Sn-Pb)도금을 주석도금으로 대체하려는 추세에 있다. 하지만, 순수 주석도금시 대두되는 문제점이 바로 휘스커(whisker)이다.

휘스커의 길이는 일반적으로 1mm이하, 직경은 약 1 μ m 정도이며 다양한 모양을 가지는 것으로 보고되고 있다(Fig. 13, 14참조). 이러한 휘스커의 발생원인, 메카니즘 및 억제책에 대한 많은 연구들이 진행되어 왔으나, Fig. 15에서 보는 바와 같이, 그 영향인자가 복잡하고, 또한 보고자들에 따라 다소 상반된 결과가 보고

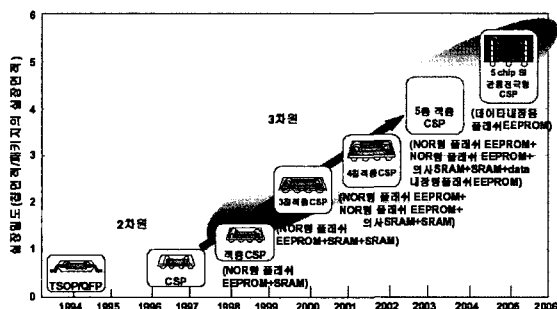


Fig. 12 메모리의 적층화 추세

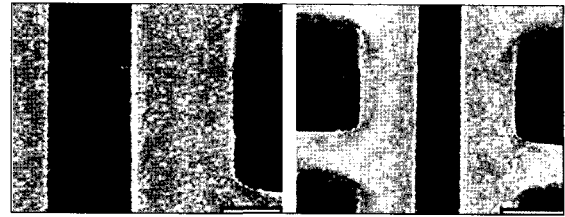


Fig. 13 28 핀 small outline integrated circuit (SOIC) 리드 프레임에 발생한 휘스커 (Photos Courtesy of Peter Bush, State University New York at Buffalo)

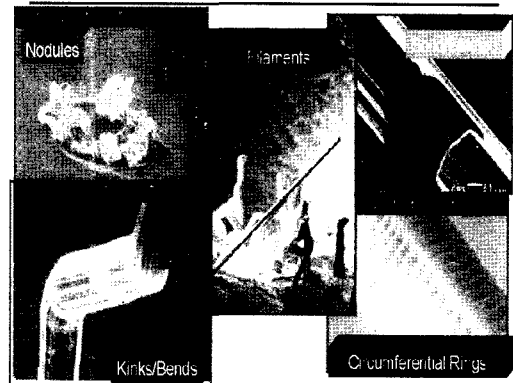


Fig. 14 다양한 휘스커 형상

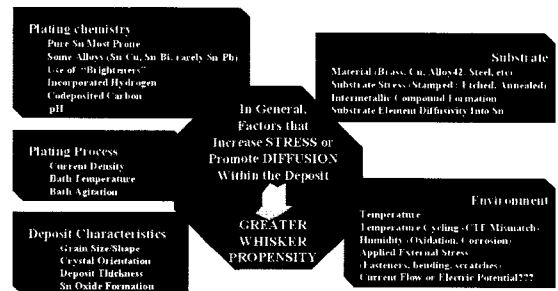


Fig. 15 휘스커 발생 및 성장의 영향인자

되고 있다.

일반적으로 알려진 휘스커의 발생원인은 하지도금인 구리(Cu)와 주석도금이 사용 중 상호간의 상호확산(inter-diffusion)으로 경계면에 불균일한 구리와 주석이 발생하게 되어 주석 도금층에 압축응력(Compressive stress)이 가해진다. 이러한 압축응력을 해소하기 위해 주석 단결정 휘스커가 발생한다. Fig. 16은 휘스커의 주사전자현미경사진이다.

아직까지 확실하게 규명된 휘스커 발생 메카니즘은 보고되지 않았으며, 단지 몇 가지 이론들이 제안되고 있다. 일반적으로 받아들여지는 이론은 주석 도금층 내에서의 응력완화(stress relief)의 반대급부로 생성되는 휘스커의 발생 메카니즘이며, 또한 주석 도금층의 결정립 구조에 영향을 받는 재결정화(recrystallization)



Fig. 16 휘스커의 전자현미경 사진

및 비정상 결정립성장(abnormal grain growth) 메카니즘이 제시되었다. 일반적으로 인식된 주석 도금층 내의 응력유발 인자는 다음과 같다.

- 주석 도금층 내의 잔류응력 (Residual stresses within the tin plating)
- 금속간화합물 생성 (Intermetallic formation)
- 외부에서 인가된 압축응력 (Externally applied compressive stresses)
- 굽힘 혹은 늘임 (Bending or Stretching)
- 긁힘 혹은 흠 (Scratches or nicks)
- 열팽창계수의 불일치 (Coefficient of thermal expansion mismatches)

현재까지 완전한 휘스커 방지책은 보고된 바 없으며, 단지 발생을 완화시키는 방법이 제안되고 있다. 일반적으로 보고된 휘스커 발생의 억제방법은 다음과 같다.

- 주석합금도금 : 주석-은(Sn-Ag), 주석-구리(Sn-Cu), 주석-비스무스(Sn-Bi) 합금 도금
- Matte Sn도금 : 입자가 작고 도금시 투입되는 유기물 첨가제양이 많은 Bright Sn에 비해 유기물 함량 및 상호확산(inter-diffusion) 경로가 작아 상대적으로 휘스커 발생율이 낮아 관심이 고조되고 있는 도금
- 열처리 : 제조중에 열처리를 통하여 구리와 주석사이에 균일한 금속간화합물을 생성시키므로써, 사용중에 상호확산을 막는 확산방지층역할을 하여 불균일한 금속간화합물 생성을 억제하여 주석 도금층에 작용하는 압축응력의 근원을 제거하는 방법이나, 열처리공정이 추가됨으로써 생산원가가 높아지고, 주석표면이 산화됨으로써 솔더링 특성을 저하시킬 우려가 있다.
- 니켈(Ni) 하지 도금 : 니켈과 주석의 금속간화합물은 주석 도금층에 인장응력을 작용시켜 휘스커 발생을 완화시키는 것으로 알려져 있다.

4. 결 론

본 고에서는 전자 패키징의 기능과 플립칩, 연성인쇄 회로기판, 3차원 실장, 휘스커 등 최근의 마이크로 시스템 패키징 기술 동향을 간략히 소개하였다. 패키징에 있어서 회로 선폭과 칩 크기의 감소 및 경박단소화의 추세에 따라 패키징에 대한 전기적·열적 요구도 새로운 상황을 맞이하게 되었다. 앞으로 패키징은 기판, 재료, 공정을 망라하는 새로운 시대를 맞이하게 될 것이며, 패키징 자체뿐만 아니라 패키지가 장착되는 주기판 장착공정에 따른 디자인이나 조인트 공정 및 성능 또한 감안되어야 할 것이다. 이러한 패키징은 공정, 재료, 구조 등을 모두 포함하는 종합학문으로서 그 해결책을 찾아가야 하리라 생각된다. 또한 기존에 전자 부품의 패키징을 위해 사용되어 오던 주석-납(Sn-Pb)솔더와 HASL(Hot Air Solder Leveling)처리에 대한 환경 규제나 수입규제에 대비하여야 할 것이다. 이러한 전자 업계가 당면한 과제를 근본적으로 해결하기 위해서는, 솔더, 기판, 도금층, 웨이퍼와 같은 재료와 공정에 대한 명확한 이해 및 공정 요구 기술의 확립과 함께 신뢰성 평가기술이 선행되어야 할 것으로 생각된다.

후 기

본 연구의 일부는 산업자원부 지방기술혁신사업(RTI04-01-01)의 연구비 지원에 의하여 수행되었으며, 연구비 지원에 감사드립니다.

참 고 문 헌

1. J.H. Lau : Low Cost Flip Chip Technologies, McGRAW HILL BOOK Co., 2001, 1-17, 27-90.
2. J.H. Lau : Solder Joint Reliability of BGA, CSP, Flip Chip, and Fine Pitch SMT Assemblies, McGRAW HILL BOOK Co., 1997, 1-9
3. H. Ye, C. Basaran, D.C. Hopkins : Damage mechanics of microelectronics solder joints under high current densities, International Journal of Solids and Structures, **40**, (2003), 4021-4032
4. J. Kloeser, P. Coskina, R. Aschenbrener : Bump formation for flip chip and CSP by solder paste pringing, Microelectronics Reliability, **42**, (2002), 391-398
5. D.G. Kim, J.W. Kim, J.G. Lee, H. Mori, D.J. Quesnel, S.B. Jung : Solid state interfacial reaction and joint strength of Sn-37Pb solder with Ni-P under bump metallization in flip chip application, Journal of Alloys and Compounds, (2005) (in press)
6. web site: www.fpcb.com

- 7. 전자부품연구원 전자정보센터 (web site:eic.re.kr)
- 8. web site: www.sip-c.com
- 9. 3차원 실장기술 SiP의 기술동향, 전자부품연구원 전자정보센터 (web site:eic.re.kr)

- 10. K. Tanida, M. Umemoto, N. Tanaka, Y. Tomita, K. Applied Physics, 43, (2004), 2264-2270
- 11. web site: www.aset.or.jp
- 12. web site: http://nepp.nasa.gov/whisker



- 윤정원(尹貞元)
- 1977년생
- 성균관대학교 신소재공학과
- 전자 패키징, 패키지 신뢰성
- e-mail : jwy4918@skku.edu



- 정승부(鄭承富)
- 1959년생
- 성균관대학교 마이크로 전자 및 반도체 패키징 기술개발 사업단
- 전자 패키징, 패키지 신뢰성, 마찰교반접합
- e-mail : sbjung@skku.ac.kr



- 문원철(文元鐵)
- 1967년생
- 성균관대학교 마이크로 전자 및 반도체 패키징 기술개발 사업단
- 나노 패키징, 실리콘 MEMS
- e-mail : wcmoon@skku.edu