

반도체생산자동화 연구회

반도체 제조장치 및 공정의 최신 동향

김 두 형, 황 경 현
한국기계연구원 지능형정밀기계연구부

1. 서론

IT 기술로 대변되는 정보통신산업의 급격한 발전으로 관련 시장이 급팽창함과 더불어, 소자의 크기가 점점 작아지고 패턴이 미세화 되면서 이와 동반된 제조장치와 공정 기술의 개발 및 재료에 대한 요구조건도 까다로워지고 있다. 대체적인 기술발전의 상황은 미세 가공기술이 현재 제품에서는 110nm의 제품이 주류를 이루고 있으나, 기술적으로는 90nm에서 65nm를 지나 45nm를 목표로 하고 있고, 이를 위한 lithography 기술이 진보하고 있다. Device 구조에 있어서 초 shallow 와 초 박형화가 진행되고, process에서는 저온화와 저 damage 화가 관건이라 하겠다. CMOS transistor의 고 성능화와 더불어 소자 구조 내에 새로운 재료의 도입이 연구되고 있다. 제조 공정에 있어서는 새로운 원리를 도입한 장비의 개발과 공정의 모듈화가 진행되고 있으며, 300mm wafer에 의한 소자의 양산이 활발히 행하여져 향후 400mm 또는 450mm의 선택을 놓고 고심 중에 있으며 대략 450mm가 우세한 상황이다.

결국 반도체 제조장치에서의 새로운 개념도입의 필요성이 어느 때 보다도 중요한 시점에서 본 고에서는 이러한 장치와 공정의 최신 기술적 동향을 각 제조공정별로 알아보려 한다.

2. 첨단 device의 구조

현재 연구 개발되고 있는 65nm구조의 소자에 있어서 대표적인 MOS transistor, 다층배선구조, system LSI의 구조적인 특징을 다음 그림1부터 그림3에 나타낸다.

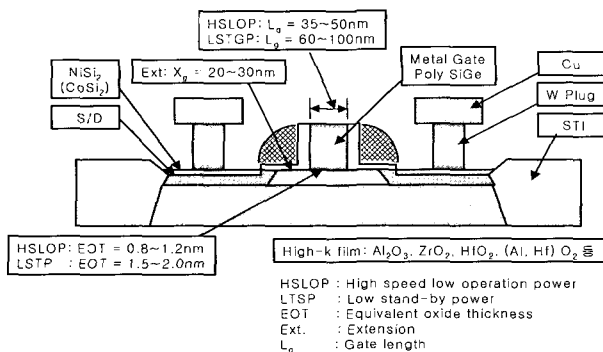


그림 1. MOS transistor 구조.

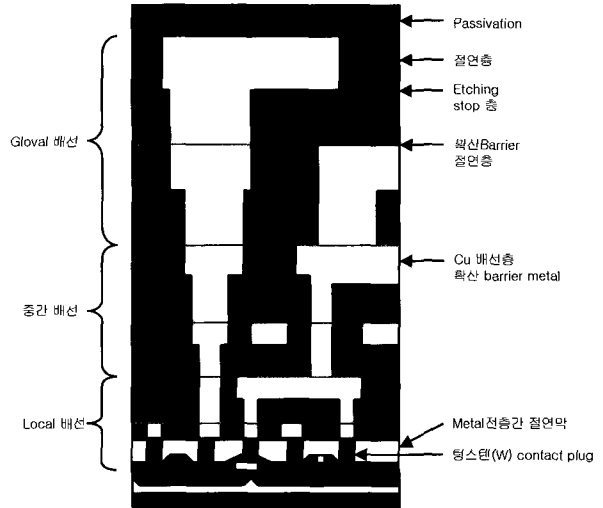


그림 2. 다층배선 구조.

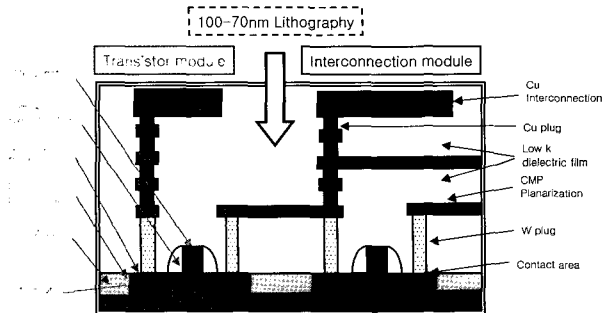


그림 3. System LSI 구조.

3. 반도체 제조의 공정

반도체 제조 공정에 있어서 기본공정과 모듈공정 및 기판 공정(front-end)과 배선공정(back-end)에 관하여 간단히 설명한다.

3.1. 기본 공정

반도체 제조의 기본공정은 다음 그림4와 같이 제품이 되는 실리콘 기판에 대한 공정과, 패턴 형성을 위한 photomask 공정으로 대별할 수 있고, photomask 공정은 보통 device 업체가 아닌 별도의 전문업체에서 제작하여 공급된다.

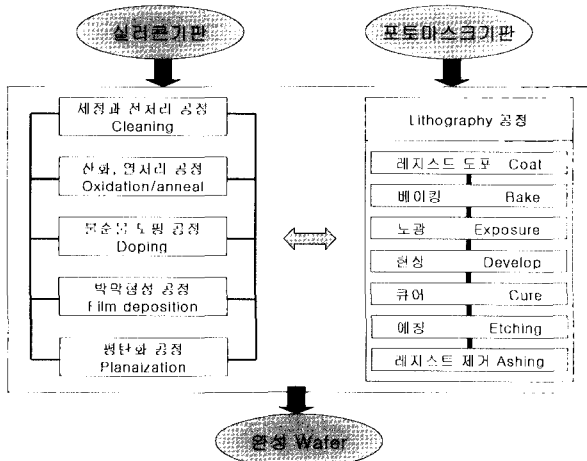


그림 4. 반도체 제조의 기본공정.

3.2. 모듈 공정

반도체 제조에서 모듈 공정은 대별하여 front-end 공정의 기판공정과, back-end 공정의 배선공정으로 나누어진다. 다음 그림5와 그림6과 같이 각각의 모듈 공정은 기판공정에서 배선공정으로 이행되며, 배선공정에서는 pattern의 형상과 층수에 따라 층간 절연막 형성공정과 평탄화공정사이의 공정이 여러 번 반복하여 수행된다.

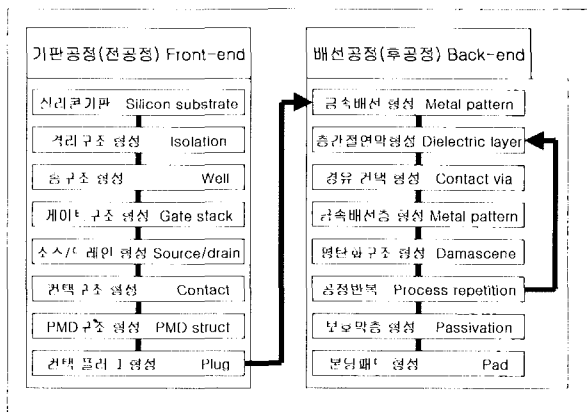


그림 5. 반도체 제조의 공정모듈.

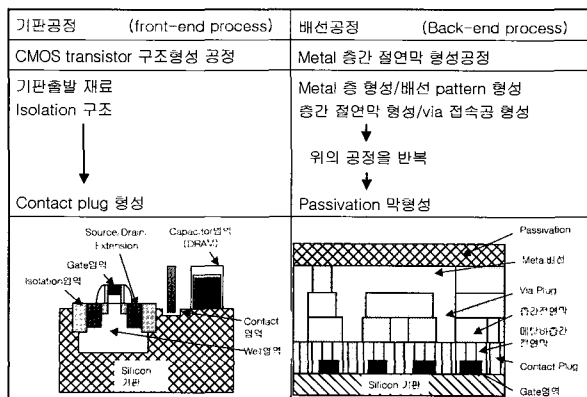


그림 6. 기판공정(front-end)와 배선공정(back-end).

3.3. 모듈공정과 기본공정과의 관계

다음 그림7은 각각의 모듈 공정과 소자의 구조에 관련된 기본 공정간의 관계를 나타낸다.

| 공정 모듈의 예 | 격리 구조 (Isolation) | 게이트 구조 (Gate stack) | 동배선 구조 (Cu metalization) |
|----------------------------------|-------------------------------------|--|--|
| 세정, 전처리 공정 (Cleaning) | 각종 세정공정 | 각종 세정공정 | 각종 세정공정 |
| 산화, 열처리 공정 (Oxidation/annealing) | 열산화막 형성 | 열산화막 형성 | annealing |
| 불순물 도핑공정 (Impurity doping) | 이온 침투 | 이온 침투 | |
| 박막형성 공정 (Film deposition) | 절화막 형성 산화막 형성 silicide 막형성 | High k 막형성 Poly silicon 막형성 Cu 막형성 | Low k 막형성 Etch-stopper 막형성 Cu 확산 barrier 막형성 |
| 리소 공정 (Lithography) | Isolation pattern Trench etching | Gate pattern Gate etching | Via/배선영역 pattern Low k 막 etching |
| 평탄화 공정 (Planarization) | CMP | - | CMP(Cu damascene) |

그림 7. 기본공정과 모듈공정의 관계.

4. 기본 공정기술의 동향

여기서는 3.1의 그림4에서 표시한 각 기본공정에 있어서의 최근의 기술적 동향에 관하여 설명한다.

4.1. 세정과 전처리 기술

세정기술에 있어서는 65nm의 미세 pattern과 고 aspect 비에 대응하기 위한 기술과, Cu를 비롯한 gate 전극재료, high k 막, low k 막 등의 신 재료에 대응한 세정기술 및 기판배선과 모서리 부분에 부착된 오염의 제거와 더불어 오염물질을 부착시키지 않도록 하는 예방세정이 필요하다.

세정기술은 자연 산화막의 제어와 기판 표면의 물성제어 기술이 필요하며, 장치에 있어서는 batch 세정에서 매엽식 세정으로 활발히 전환되고 있고, 초미세 유체의 응용과 플라즈마, 레이저 등을 이용한 건식 세정기술이 일부 도입되고 있으며, 이와 더불어 보다 미세한 particle과 오염의 계측 기술이 난관의 문제로 대두되고 있다.

또한 세정공정은 이전부터 화학약품과 순수의 소비량의 저감을 위한 노력과 신 세정 화학약품과 공정sequence의 확립에 관하여 연구개발이 계속되고 있다.

4.2. 산화 및 열처리 기술

산화 및 열처리 기술에 있어서는 극 박막의 열산화막 형성 제어기술과 장치 및 공정의 integration을 통한 자연 산화막 제어기술이 연구되고 있다. 또한 열의 소비량 저감과 대규격 wafer, 초 shallow contact에 대응하기 위한 공정의 저온화와 열공정 단축이 시도되고 있고, 초 shallow 화와 초 박막화

에 대한 결합제어에 관한 연구와, 열 질화, 플라즈마 질화, high k 막에의 응용 등 초 박막 gate 절연막 구조 형성에 대한 연구 및 RTP(급속 승강 온도 공정)에의 응용연구가 수행되고 있으며, 대량의 batch furnace에서 소량의 batch furnace으로 이동되고 있는 추세에 있다.

4.3. 불순물 doping 기술

불순물 doping 에서는 source와 drain과 extension 부분의 형상구조에 필요한 초 shallow 접합형성 대책으로서 sheet의 저항 저감과 급격한 불순물 농도 profile에 대한 대책 및 lateral 방향의 농도 재 분포 제어에 대한 연구가 수행되고 있고, 향후 새로운 공정의 개발과 저 에너지 이온에 의한 implantation, 플라즈마 도핑과 이온 도핑 등이 가능한 장치기술의 개발과 pre-amorphous화가 가능한 새로운 공정의 개발에 기대를 걸고 있다. 또한 furnace에서 RTP로 전환하여 결정 결함의 저감이 가능한 저온 활성화 anneal에 대한 연구와 SOI (Silicon on Insulator) 구조와 고 에너지 이온 implantation등에 의한 이온 implantation의 새로운 응용 전개가 기대되고 있다.

4.4. 박막 형성 기술

박막에 있어서는 high k 박막, low k 박막과 silicide, metal 등의 신 gate 전극재료 및 barrier metal, sheet metal 등과 Cu를 사용한 배선금속과 같은 신 재료 박막의 형성기술이 연구되고 있다. 새로운 박막 형성 기술로서는 ALD(원자층 CVD)가 일부 활용되고 있고, 초임계 유체의 응용한 deposition 이 차세대 기술로서 연구되고 있다. 박막형성에 있어서 핵심적인 기술은 가장먼저 step coverage의 향상을 들 수 있고, 열 유동화와 유동성 CVD의 개념에 의한 공정개발 및 새로운 성막공정 기술이 고 aspect 비를 가진 trench나 via의 gap-fill을 달성하기 위하여 개발되고 있다. 대체적인 기술추세는 막 형성의 저온화, 막 두께, 막 조성의 정밀제어와 장치의 재현성, maintenance성, 제어성 등의 안정성 향상에 관한 연구가 있고, 최종적으로 이러한 각 장비 및 기기들 간의 process integration이 필요하다고 하겠다.

4.5. 노광 기술

노광기술에는 90nm-65nm-45nm를 잇는 각 세대마다의 노광기술의 선택이 필요하며, 세부적으로는 ArF-F2-EUV로 이어지는 광원의 선택과 그 안정성이 중요하며 hardware의 개량에 관하여 각 장치 maker에 의해 개발이 진척되고 있으며, 최근에는 액 침투기술(immersion lithography)의 등장에 의하여 roadmap의 변화가 예상된다.

신기술로는 전자빔 노광, X-선 노광기술이 일부 시험용으로 도입되고 있으며, 노광용 photo-resister 재료기술의 진척도 필요하며, 이는 각 광원에 대응한 개발의 필요성과

dry etching에 대한 내성 향상과 공정의 유연성을 가진 재료개발이 필요하다.

노광기술이 당면한 문제점으로는 장치의 고가격화와 장치 maker에의 의존도가 증대되고 있고 mask의 고가격화와 동반하여 mask-less 노광기술이 기대되고 있다. 한편 상당히 고가인 노광장비에 대해서 반도체 소자 생산에 있어서 경제성의 영향 검토가 반드시 필요하다.

4.6. Etching 기술

Etching 기술은 반도체의 각 세대마다 변하는 photo-resister에 대응하고, dry etching에 있어서 각 photo-resister의 취약성을 보강한 내성의 연구도 수반하여, 미세 pattern의 etching 기술을 확립해야 할 것이다.

최근 들어 high k 막, low k 막과 각종 metal, 도전막 등에 사용하는 신 재료에 대한 etching 기술개발과 etching gas의 탐색과 etching 시의 화학 반응해석에 대한 연구가 수행되어 왔다.

한편 gate stack 구조, low k/Cu 적층구조, 금속배선 구조에 있어서의 다중 적층막의 etching 기술과 contact와 via 및 층간 절연막 etching 기술이 중요하다 하겠다. Etching에서 소자의 양, 불량률을 좌우하는 damage-less의 etching 기술이 중성 beam을 응용한다든가, wet etching을 병용하거나 soft plasma 에 의한 etching을 병용하여 해결하고자 하고 있다. 또한 미세 gate의 전극구조 형성에 있어서 노광기술의 좋고 나쁨과는 무관하게 항상 일정한 미세 pattern을 얻을 수 있는 etching 기술이 논의되고 있다.

4.7. 평탄화 기술

평탄화를 위한 CMP기술은 재현성과 균일성 및 300mm wafer 대응과 유지 보수성측면에 있어서 공정과 장치기술이 많이 성숙되었다. 현재는 low k 막의 취약성에 대응할 수 있는 soft CMP와 전해연마 기술의 응용 및 Cu plating과 CMP를 병용하는 low k 와 Cu damascene을 위한 구조의 integration이 시도되고 있다.

평탄화 공정의 당면 문제점으로서 CMP 공정에 있어서의 결합제어와 slurry 등의 소모재료의 표준화와 cost 저감 및 in-process monitoring기술 등이 보완되어야 할 것이다.

5. 모듈 공정기술의 동향

여기서는 소자 모듈에 있어서 isolation, gate stack, 금속배선 등의 구조형성기술에 대하여 간단히 다루고자 한다.

5.1. 실리콘 기판재료

실리콘 기판재료는 transistor의 특성 향상과, SOI

(Silicon on Insulator) 구조의 기판에서 carrier 이동도의 향상을 위해서 channel 영역에 stress를 도입한다거나, 선택 epitaxy와 hetero-epitaxy 등이 원활하도록 하기 위해서 금후 그 중요성이 증대되고 있다. SOI 구조의 실용화를 위해서는 SIMOX (Separation by Implantation of Oxygen, 산소주입 분리법)기술이 IBM에서 개발되었고, 또한 wafer 접합기술, cutting 기술 및 결함의 제어기술이 필요하다. 또한 실리콘 기판기술을 전공정(front-end)에 도입하는 것에 대해서도 활발히 연구 중이다.

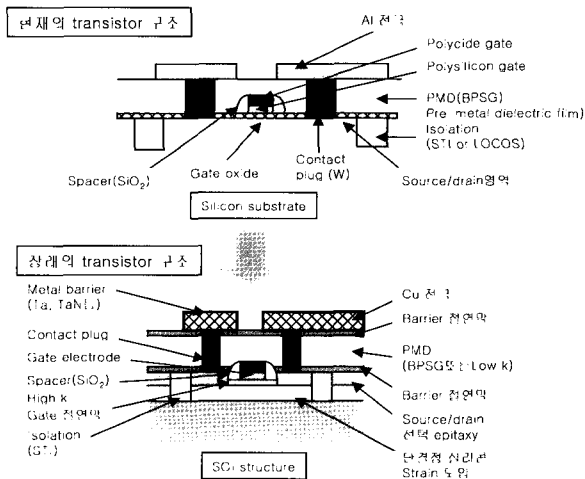


그림 8. 소자의 배선구조 동향.

5.2. Isolation 구조

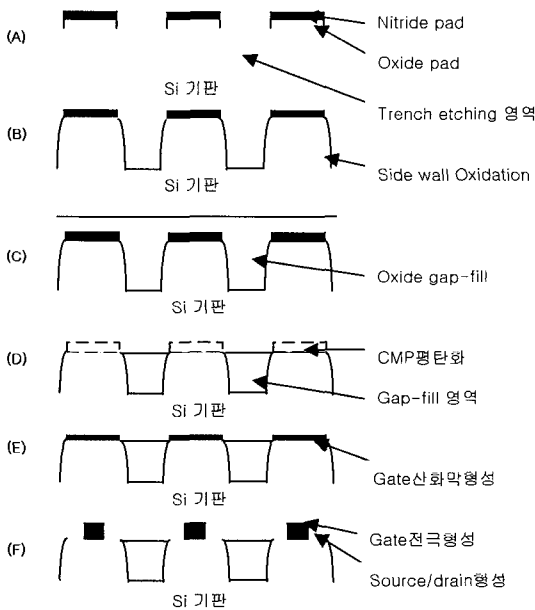


그림 9. STI(Shallow Trench Isolation)구조의 형성과정.

Isolation 기술은 기존의 LOCOS(Local Oxidation of Silicon) 구조에서 STI(Shallow Trench Isolation)

구조로 전환되고 있으며, process의 integration과 최적화를 실시와, trench etching의 형상 제어기술, 미세 trench 내부의 청정화 기술, trench내 stress/결함의 제어기술, 고밀도 플라즈마 CVD, O₃/TEOS CVD등에 의한 미세 trench 내의 절연막 삽입기술과 CMP 평탄화 공정에의 대응 기술이 개발되고 있고, 금후의 소자 pattern의 미세화에 더욱 더 대응해야 한다.

5.3. Gate 전극 구조

Gate 전극은 transistor의 고 성능화를 위한 기본적인 부분으로서 실효 channel 길이가 축소되는 경향을 보이고 있다. 산화막, 산질화막의 한계와 high k 막의 도입을 고려하여 gate 절연막의 scale down이 행해지고 있다. High k 막은 HfO₂ 와 SiO₂ 의 복합 산화막을 이용하거나 ALD를 응용하여 막 형성을 시도하고 있다.

Gate 전극의 재료로서는 n형, p형 분리 doping 에 의한 poly-silicon gate 구조와, poly-silicon/silicide 적층 구조에서 silicide 또는 metal gate 로 전환이 이루어지고 있고, poly-SiGe를 응용하는 예도 있으며, trimming 또는 slimming 수법에 의한 미세 gate 전극의 형성도 시도 되고 있다.

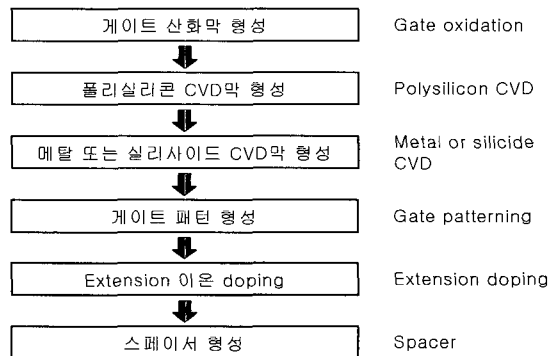
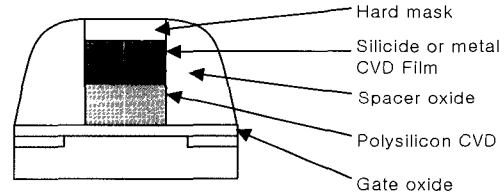


그림 10. Gate stack 구조.

5.4. Source/drain 구조

Source/drain 공정은 source/drain 영역과 channel 영역에서 overlap을 저감하고, LDD (Lightly Doped Drain) 구조에 있어서 spacer 폭을 감소시키는 것이 중요하며, 적절한 extension 영역의 형성기술이 개발되어야 한다.

Extension 형성기술은 초 shallow, 저 저항, 횡 방향 확산 제어가 중요하고 저 에너지 이온 implantation과 plasma doping의 가능성이 시험되고 있다.

Source/drain 구조의 장래기술로는 그림11과 같은 elevated source/drain 구조에 대한 기술로서, 얇은 접합에의 저저항 contact 형성과 silicide contact과 얇은 접합간의 barrier 문제 및 선택 epitaxy 또는 선택 poly-silicon 형성이 연구되고 있다.

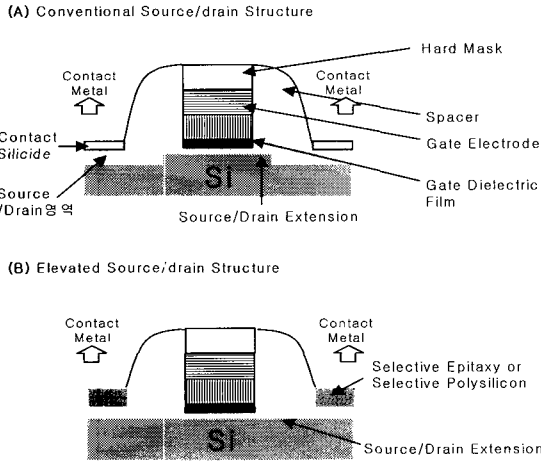


그림 11. Elevated source/drain 구조.

5.5. PMD 구조

PMD(pre-metal dielectric) 구조의 중요성은 SAC (Self-align contact) 형성 공정에서 gate 전극 바로위의 삽입된 물질의 평탄화와 gate 영역에서의 damage 저감 및 미세영역에의 절연막의 gap-filling을 용이하게 하기 위함이다.

Gap-filling 절연막은 미세하고 aspect 비가 큰 gap에의 filling과, void와 seam을 없애는 것이 중요하고, 열적 비용의 제약과 BPSG (boro-phosphosilicate glass)공정에서 열 flow의 한계를 검토해야 하며, gate stack 구조가 etching 형상에 의존하게 된다. Self-align contact 구조에서는 etching의 선택비 제어가 중요하다. 다음 그림12는 PMD 구조와 공정순서를 나타낸 것이다.

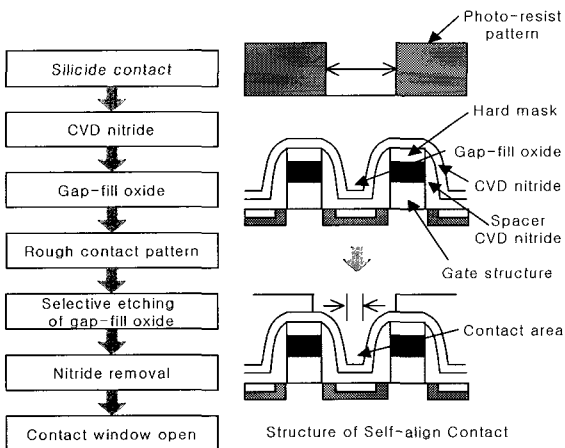


그림 12. Pre-metal dielectric 구조.

5.6. Contact/plug 구조

Contact/plug 구조의 기술적 요소로서는 얇은 접합에서의 ohmic contact 형성과 W-CVD 법에 의한 plug 형성이 있다.

얇은 접합에서의 contact은 $TiSi_2$, $TaSi_2$ 에서 $COSi_2$ 로 대체된 후, 저저항 contact과 열적 비용의 제약으로 $COSi_2$ 에서 $NiSi_2$ 가 연구 시험되고 있다. Contact이 형성된 후의 process는 저온화가 불가결하다.

W(tungsten) plug는 대부분 sputter로 성막된 TiN 바탕에 blanket W-CVD에 의해서 형성되고 있고, TiN의 contact hole 내부의 step coverage와 W-CVD의 gap-filling의 한계를 극복하는 것이 과제이며, W-CVD 막의 평탄화는 CMP와 etching중에서 선택이 필요하다.

그림13은 contact/plug의 구조와 공정순서를 나타낸 것이다.

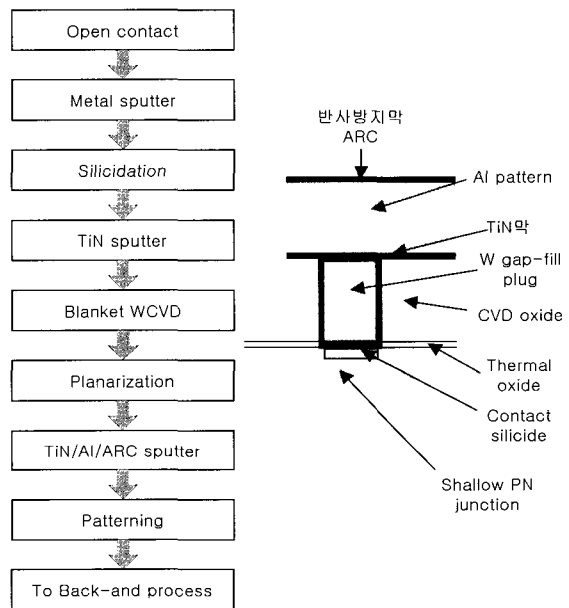


그림 13. Contact/plug 구조.

5.7. Low k 층간 절연막 구조

현재 층간 절연막의 low k 화에서의 과제로서는 무기재료, 유기재료, 복합재료 등 재료에 있어서 다양한 선택이 필요하고 CVD, 폴리머 중합법 등 성막 방법에 있어서도 다양한 선택이 필요하며 process integration의 과제도 남아 있다. SiOF 및 폴리머 계에 의한 실용화가 진행 중에 있으며 anneal 등에 의한 low k 막의 개질이 연구되고 있다.

Process integration에 있어서의 과제는 CMP와 Cu damascene 공정과의 정합성문제와 low k 막의 강도, 탄성의 향상, low k 막의 안정성과 신뢰성 및 Cu 확산 barrier와 etch stopper용 절연막의 실효적인 비 유전율의 저하가 필요하다. 향후 65-45nm세대에 실효적인 k로서 2.4 이하가 불가결하다고 한다.

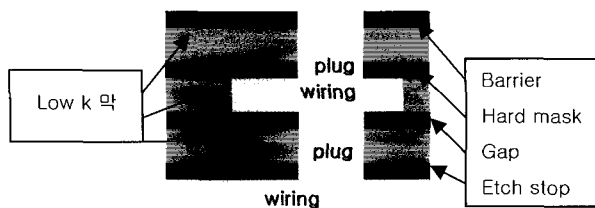


그림 14. Low k integration 구조.

5.8. Cu 배선 구조

Cu 배선구조의 기술요소는 plating에 의한 Cu의 성막과 plating sheet 층의 sputter에 의한 형성과 Cu 확산 barrier 막의 sputter에 의한 형성기술 및 low k 막과의 integration 기술 등이 있다.

Cu 막의 형성은 plating에 의한 방법과 그의 개량 기술인 전해연마기술의 응용, plating기술과 CMP의 병용, 무전해 도금의 가능성 등이 있을 수 있으며, CVD에 의한 Cu 막 형성의 가능성은 기술적인 break through 가 필요하고 sheet 층의 형성에도 응용을 기대할 수 있다.

또한 sputter에 의한 sheet 층과 barrier 층의 coverage의 한계 때문에 CVD의 응용 또는 sputter 장비 및 공정 기술의 개량이 필요하다. Low k 막과의 integration은 soft CMP, 전해연마에 의한 etching 등을 들 수 있다. 그림15는 Cu/Low k damascene 구조를 보여주고 있고, 그림16은 65nm용의 Cu/Low k 배선 모듈의 개념도이다.

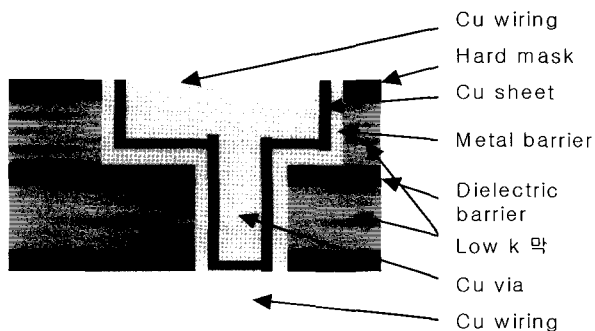


그림 15. Cu/Low k damascene 구조.

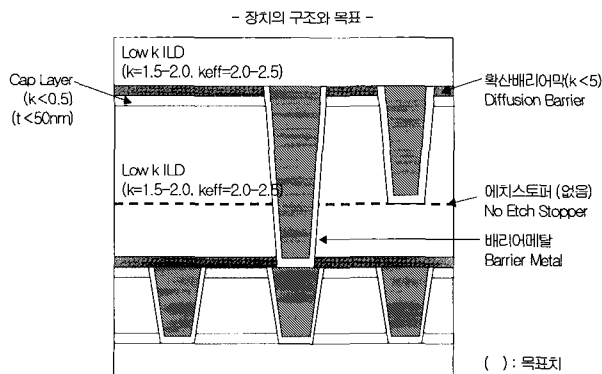


그림 16. 65nm용 Cu/Low k 배선 모듈.

4. 결론

지금까지 반도체 장치와 공정기술의 최신 동향을 여러 분야에 걸쳐 부족한 감이 있으나 간단하게나마 훑어보았다. 위에서 기술한 기본공정과 모듈공정의 기술동향을 간단히 정리하면 다음 표와 같다.

표 1. 기본공정 기술동향의 key points.

| 기본공정 | 기술동향의 key points |
|---------------|--|
| 세정·전처리 공정 | RCA 세정에서 신 세정 chemistry 로 전환 Batch 세정에서 매엽식 세정으로 대규격 wafer에 있어서 에너지 절약/경제성 향상 대책 초임계 유체의 응용 |
| 산화·열처리 공정 | 정밀 산화·초 박형 산화막 형성기술 공정온도의 저온화·열적 비용의 저감 대규모 batch에서 소량 batch 로 Furnace에서 RTP 로 |
| 불순물 doping 공정 | 초 shallow 접합 형성 저 에너지 이온 implantation Plasma doping 또는 ion doping이 응용 Anneal 의 저온화 |
| 박막형성 공정 | 신재료의 박막형성기술(low k, High k, 금속전극재료 등) 미세/고 aspect비 gap filling 기술 ALD 방법에 의한 박막의 coverage 개선 |
| 노광공정 | 65nm-45nm대용 노광기술의 폭립 액침기술 응용에 의한 해상도 향상 노광장치 hardware 의 진보 각 세대의 광원에 대응한 photo-resister 개발 Mask cost 상승에의 대응 |
| Etching 공정 | 고 aspect 비의 미세 trench/hole 형성 고밀도 plasma 원에 의한 고정도 etching Plasma damage 감소 Technology node를 밀도는 선평의 가공기술 |
| 평탄화 공정 | Low k 막 및 다른 공정과의 integration CMP 공정·장치의 완성도 향상 CMP damage control Post-CMP 기술의 검토 |

표 2. 모듈공정 기술동향의 key points.

| 모듈 공정 | 기술동향의 key points |
|-------------------|--|
| 실리콘 기판 | SOI 기판구조의 형성 방법 Hetero-epitaxy 와 선택 epitaxy Strain의 도입 |
| Isolation 구조형성 | 초미세/고 aspect STI 구조 절연막 filling 기술 결합과 stress 제어 |
| Well 구조형성 | 저온 공정에 의한 가열비용 저감 결정결합제어와 profile 제어 |
| Gate stack 구조형성 | High k gate/신 전극재료의 선택 저온 정밀 열산화·열안정화 기술 고성능 transistor 용 초미세 gate 장 전극 형성법 |
| Source/drain 구조형성 | 초shallow 접합형성과 extension 영역형성 Elevated source/drain 구조 |
| Contact 구조형성 | 초 shallow 접합 contact silicide 재료 내열성 향상과 가열비용 제약 |
| PMD 구조형성 | 저온 공정/가열비용 제약 미세영역에의 절연막 filling 법 |
| Contact/plug 구조형성 | W filling CVD 의 한계 고 aspect pattern에서 metal 층의 step coverage |
| 다층배선 구조형성 | Low k/절연막 barrier integration (k 저감) Cu/seed metal, barrier metal integration Cu/low k 막 구조 형성의 최적화 도금 및 CMP에 관한 공정 integration |
| Passivation 구조형성 | 실장공정과 관계 다층배선공정과 관계 |

반도체의 생산에서 현재 주류를 점하고 있는 110nm에서 65nm와 45nm로의 발전을 위하여 더욱더 기본 공정의 중요성이 인식되고 있고, 모듈공정의 진전으로 미세가공과 박막 기술에 의해서 device가 진보될 것이며, 필요에 따라 획기적인 신 개념에 의한 공정의 필요성이 대두될 수도 있다. 재료기술에 있어서는 신 재료가 지속적으로 도입되기 위해서는 material science가 중요하고 타 분야 기술도 흡수해야 할 것이다.

반도체 제조장치는 점점 고성능화와 고가로 치닫고 있어 module 화의 개념이 도입되어야 하고, process기술의 개발 성과를 반영하여 device maker가 참여하는 공동 개발을 추진하여야 하며, 경제성과 생산성을 따져 보아야 할 시점이 다가오고 있다.

장비와 공정에 있어서 새롭고 혁신적인 기술적 breakthrough가 필요하며, 이업종의 기술을 흡수하고 소화하여 응용한다거나 옛 기술의 부활과 활성화도 고려해 볼 만 하다.

참고문헌

1. SEMICON Japan 2004 전시회 자료.
2. 한국반도체 연구조합, "반도체 나노공정분야 기술동향집", 2004. 8.

..... 저자약력



《김 두 형》

- 1982년 서울대학교 기계설계학과 (공학사).
- 1990년 한국과학기술원생산공학과 (공학석사).
- 2003년 한국과학기술원 기계공학과 (공학박사).
- 1982년~현재 한국기계연구원 지능형정밀기계연구부 로봇제어그룹 책임연구원.
- 주요업무: 로봇 및 자동화기술개발, PDP 및 반도체 생산 장비개발연구.
- 학위논문: Kinematic-Dynamic Analysis and Control of Container Crane with Auxiliary Cables.



《황 경 현》

- 1976년 서울대학교 기계공학과 (공학사).
- 1978년 한국과학기술원기계공학과 (공학석사).
- 1986년 오하이오 주립대 기계공학과 (공학박사).
- 1978년~현재 한국기계연구원 지능형정밀기계연구부 나노공정그룹 책임연구원.
- 주요업무: 레이저 응용기술, 미세가공.
- 학위논문: Some Problems of Localized Crack Closure due to Nearby Concentrated Loads.