

전력설비를 위한 디지털보호계전기의 FPGA 구현

(A FPGA Implementation of Digital Protective Relays for Electrical Power Installation)

김종태* · 신명철

(Jong-Tae Kim · Myong-Chul Shin)

요 약

보호계전기는 고장에 의해 과생되는 단락·지락 사고로부터 전력 시스템을 보호하기 위하여 널리 사용되고 있다. 전통적으로 디지털보호계전기는 디지털신호처리 프로세서 혹은 마이크로프로세서로 구현되는데 본 연구는 이를 고성능·고효율·다기능의 단일칩으로 구현하기 위한 하드웨어 설계 기술에 관해 다룬다. 제작된 디지털보호계전기는 FPGA(Field Programmable Gate Array)로 구현하였고 16KSPS이상의 처리 성능을 가지며 평균 오차율 0.03[%]미만으로 보호계전알고리즘을 수행할 수 있다.

Abstract

Protective relays provide important features to electrical power systems for protecting against faults and consequent short circuits. This research presents a novel VLSI design of the digital protective relay, which overcomes today's uP/DSP-based relays. This design features good cancellation of DC/k-th harmonic components, noticeable error performance and flexible protection behavior in the minimized core area. The proposed design was successfully implemented by a FPGA(Field Programmable Gate Array) device and can concurrently process over 16KSPS at less 0.03[%] error rate.

Key Words : digital signal processing, protective relay

1. 서 론

디지털보호계전기는 초기에 전량 외국 제품을 수입하여 국내 계통에 적용하였으며 최근 국산화를 위해 많은 투자와 개발이 진행되고 있다. 그러나 국내에서 개발한 디지털 보호계전기의 핵심 부품은 여전히

히 해외 제작사의 소자를 사용하고 있다. 특히 디지털 신호 처리의 핵심 소자인 DSP(Digital Signal Processing) 프로세서는 모든 디지털 보호계전기에 사용되고 있으나 전량 외국에서 개발한 소자에 의존하고 있는 실정이다.

디지털보호계전기를 FPGA와 같은 하드웨어로 직접 구현할 경우 이를 위한 소자·부품 기술의 확보 및 관련 소자의 집적화로 전체 보호계전시스템의 소형·경량화를 추구할 수 있어 설치 장소와 기구물에 대한 제약으로부터 자유로워질 수 있다. 또한 보

* 주저자 : 성균관대학교 전자전기공학과 교수
Tel : 031-290-7130, Fax : 031-290-7179

E-mail : jtkim@skku.ac.kr
접수일자 : 2005년 1월 3일
1차심사 : 2005년 1월 4일
심사완료 : 2005년 1월 21일

전력설비를 위한 디지털보호계전기의 FPGA 구현

호계전기의 핵심 부품을 국산화하여 수입대체효과를 가져올 수 있으며 단일칩에 다기능·고효율로 집적할 수 있기 때문에 생산비용을 절감할 수 있다. 이와 같은 관점에서 본 논문에서 제안된 디지털보호계전기는 다음과 같은 특징을 갖는다.

- 높은 처리 속도와 적절한 복잡도를 가지는 고성능 디지털 필터부(128샘플/주기, 1샘플=16bit)
- 낮은 오차의 정밀한 기능을 수행하는 계측부
- 다기능 보호계전부(OCR, OVR, UVR, UFR)의 하드웨어 구현
- 보호계전 알고리즘의 다양한 한시 특성과 부수적인 파라미터 제공 및 정밀 동작 보장
- FPGA로 구현된 디지털보호계전기의 유지·보수·재활용을 위한 모듈화된 설계

2. 사양 정의 및 연산알고리즘 선정

일반적인 디지털보호계전기의 구조는 그림 1과 같이 크게 디지털 필터부, 계측부, 보호계전 알고리즘부로 나눌 수 있으며, 계측 데이터의 저장을 위한 메모리가 적재되어 있다. 본 장에서는 이와 같은 구조를 기준으로 보호계전기를 위한 사양과 기능을 정의하고 이에 따른 알고리즘을 선정하였다.

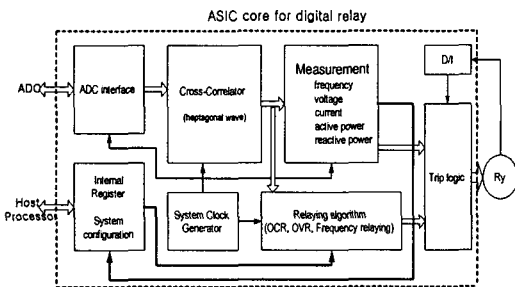


그림 1. 일반적인 보호계전기의 블록다이어그램
Fig. 1. Block diagram of the digital protective relay

2.1 사양 정의

표 1에는 본 연구에서 개발된 디지털보호계전기의 주요 사양이 제시되었다. 입력의 주기당 샘플 수

가 128개이고, 입력 16비트 대비 디지털 필터의 출력과 계측 데이터의 해상도는 각각 32 비트와 48비트로 지정되어 모든 계산 값을 충분히 표현할 수 있도록 하였다.

2.2 CORDIC 알고리즘

표 1. 디지털 보호계전기의 세부 사양
Table 1. Specification of the digital protective relay

Data specification	
Bit width	16 bit
Sampling rate	128 samples/second
Filter output width	32 bit
measured data width	48 bit
# of input channels	2 (1 V/I pair)
Features	
Measurement	frequency, magnitude, phase, re-/active power, power factor
Protection algorithm	over-current, over-voltage, under-voltage, under-frequency
External interface	general data I/O, external RAM Interface

본 절에서는 보호계전기의 계측·계전 알고리즘을 설명하기에 앞서 필수 연산기에 해당하는 CORDIC (Coordinate Rotation Digital Computing) 알고리즘을 설명한다. CORDIC 알고리즘은 1950년 후반에 Volder에 의해 처음 발표되었으며, 이후에 일반화된 CORDIC 알고리즘은 다음과 같다[1].

$$\begin{aligned}
 x^{(i+1)} &= x^{(i)} - \mu d_i y^{(i)} 2^{-i} \\
 y^{(i+1)} &= y^{(i)} + d_i x^{(i)} 2^{-i} \\
 z^{(i+1)} &= z^{(i)} - d_i e^{(i)}
 \end{aligned}
 \tag{1}$$

여기에서 i 는 i 번째 CORDIC 반복회수를 의미하며, $d_i \in \{-1, 1\}$ 이지만, 동작 모드(rotation, vectoring)에 따라 y 혹은 z 가 0으로 수렴될 수 있다

록 두 수 중에서 선택한다. 또한 $e^{(i)}$ 는 미리 계산되어 LUT에 저장된다. CORDIC 알고리즘은 [1]에서 나타나듯이 식(1)에 따라서 서로 다른 6가지의 동작 모드로 수행되며, 많은 기초 연산 함수를 계산할 수 있다. 본 연구에서는 CORDIC의 기초 함수의 일부를 이용하여 디지털보호계전기의 핵심 연산 대부분이 계산된다.

2.3 데이터 계측에 관한 알고리즘

그림 1에서 입력 데이터가 칩으로 인가되면, 실질적인 신호 계측을 수행하기 전에 디지털 필터를 통과하여 신호의 기본파(60Hz)를 추출한다. 이는 [2]에서와 같은 DFT(Discrete Fourier Transform) 방식을 이용하며 2.1에 제시된 데이터 사양으로 양자화(quantization)하여 계산한다. 디지털 필터를 통과하고 나면 신호의 실효치와 위상각을 측정하게 된다. 이들은 모두 CORDIC 연산의 형태와 동일하며 같은 동작 모드에서 계산되므로, 한 번의 CORDIC 연산으로 신호의 실효치와 위상각을 모두 구할 수 있다.

주파수 계측은 디지털 필터의 우수한 잡음 제거 특성으로 인해 단순히 필터 출력의 영교차수를 세어서 신호의 기본 주파수를 계측하는 것만으로 충분하다. 표 1에서 주기당 샘플수가 128개이므로 기존 디지털 보호계전기의 주기당 샘플수가 16-32 정도인 것을 감안하면, 훨씬 정확한 주파수 계측을 수행할 수 있다.

신호의 무효 전력과 유효 전력은 일반적으로 디지털 필터 출력의 유효 성분과 무효성분에 대하여 곱셈과 덧셈 연산 혹은 뺄셈 연산을 통해 구해지므로, CORDIC 연산으로부터 32비트 이상의 곱셈과 덧셈 그리고 뺄셈 연산을 쉽게 수행할 수 있다.

2.4 보호계전 알고리즘

본 연구에서는 한시보호계전 알고리즘으로 IEEE 한시 특성 표준[3]을 사용하였으며 표준식에 대하여 [4]의 디지털 계산법을 적용하여 구성하면 그림 2와 같은 한시특성 알고리즘 순서도를 그려볼 수 있다. I_m 과 I_{pu} 는 각각 입력 신호의 실효치와 기준값을 의

미하고 $k, c, tr, Crst$ 는 계전기의 특성 파라미터들[3]을 나타낸 것이다. 특성식에서 c 항을 고려하는 것과 복귀 특성을 고려하였다는 점, 그리고 CORDIC 연산을 이용하였을 때 어떤 근사(approximation) 방법을 쓰지 않고도 알고리즘을 정확하게 구현할 수 있다는 점에서 기존 연구와의 차이점을 살펴볼 수 있다.

3. 보호계전기를 위한 하드웨어구조

본 장에서는 2장에서 정의된 사양의 보호계전기를 FPGA로 구현하기 위한 각 블록별 알고리즘의 RTL(Register Transfer Level) 구조를 설명하며, 성능과 면적 면에서 분석하였다.

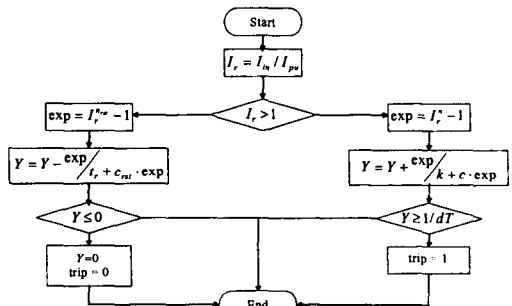


그림 2. 보호계전기의 한시특성알고리즘 순서도
Fig. 2. Inverse-time protective algorithm flow

3.1 DFT 필터의 하드웨어 구조

그림 3은 곱셈과 덧셈 연산을 매 필터 탭마다 모두 사용하는 일반적인 FIR(Finite Impulse Response) 필터 구조와는 달리 모든 연산기들이 공유되어 있다. 즉 단일의 곱셈기와 누적기만 있으면 60Hz의 기본파 성분 추출에 적합한 하드웨어 구조가 된다. 또한 FPGA 디바이스 기술에 따라 단일 채널의 신호 입력뿐만 아니라 다중 채널까지도 충분히 지원할 수 있는 연산 능력을 가지고 있으며 같은 상의 전압, 전류의 무효 성분과 유효 성분을 손실 없이 계산할 수 있다. 그 이유는 다음 식에서,

$$L_{input} = \frac{1}{N_{sample} \times N_{channel} \times f_0} = \frac{1}{128 \times 2 \times 60 \text{hz}} \approx 65.1 \mu\text{s} \quad (2)$$

전력설비를 위한 디지털보조계전기의 FPGA 구현

이다. N_{sample} 은 주기당 샘플수, $N_{channel}$ 은 계전기의 입력 채널수이다. 즉, 주기 당 128샘플, 2채널이라는 사양의 데이터 프로세싱 블록을 사용하더라도 단지 65.1us의 데드라인을 만족시키면 단일 필터 구조만을 이용하여 샘플 데이터의 손실 없이 완전한 데이터 프로세싱을 수행할 수 있다.

3.2 CORDIC 연산기의 하드웨어 구조

CORDIC은 수렴형 알고리즘이므로 수렴조건을 만족시키기위해 전통적인 CORDIC 구조의 앞뒤에 정규화와 비정규화 처리 블록을 추가해야 한다. 이 구조는 그림 4와 같이 구성할 수 있으며, CORDIC의 기초함수와 이에 대한 정규화 · 비정규화과정을 각각 제공하고 있다. 사용된 하드웨어는 기존의 CORDIC 연산에서 사용했던 배럴 시프터와 레지스터를 그대로 공유하여 사용하므로 면적에 효율적이다. 총 소요 연산 클럭 수는 $48+2=50$ 으로써 추가적인 2클럭은 정규화와 비정규화 프로세스에 의해 소모된다.

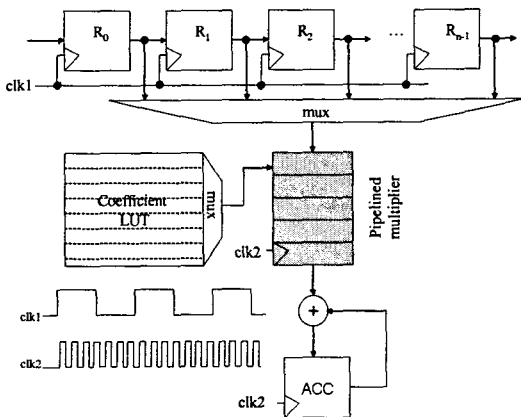


그림 3. 연산기가 완전 공유된 DFT 필터
Fig. 3. An achitecture of DFT sharing resources

3.3 데이터 계측부의 하드웨어 구조

데이터 계측부의 연산은 전적으로 블록 외부의 드웨어 구조는 그림 5와 같이 계측 결과 값의 저장 CORDIC 연산기를 통해 이루어지므로, 이 블록의 하

레지스터들과 이를 연속적으로 저장할 수 있는 외부 RAM 인터페이스를 위한 블록과 FSM(Finite State Machine)으로 구성할 수 있다. 또한 주파수 계측을 위해서 입력의 유효 성분단에서 영교차수를 세어, 주파수를 계측하는 구조를 볼 수 있다. 이 블록의 총 계산 소요시간은 다음과 같이 계산된다.

$$T_{measure} = N_{ops_{measure}} \times C_{cordic} \times N_{channel} \times T_{clk} / 2N_{cordic}$$

$$= 10 \times 50 \times 2 \times T_{clk} / 2N_{cordic}$$

$$= 500 T_{clk} / N_{cordic} \quad (3)$$

여기서 $N_{ops_{measure}}$ 는 계측 블록에서 한 쌍의 V와 I에 필요한 연산수이고, C_{cordic} 은 CORDIC 연산기에서 소요되는 클럭 수, T_{clk} 는 시스템의 클럭 주기를 나타낸다. 또한 N_{cordic} 은 계측부에 전적으로 할애되는 CORDIC 연산기의 개수이다.

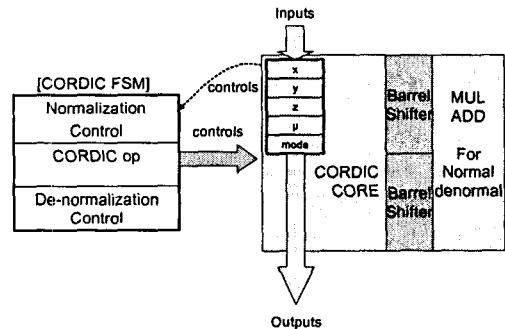


그림 4. 정규화/비정규화를 이용한 CORDIC의 구조
Fig. 4. A CORDIC architecture using de-/normalization

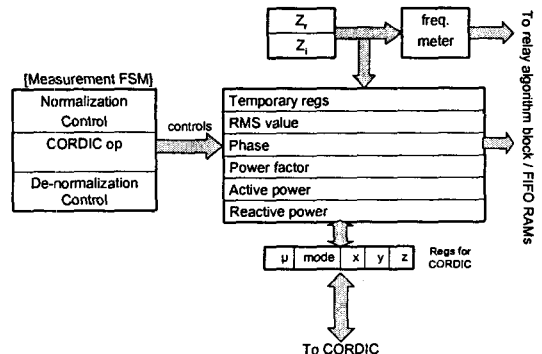


그림 5. CORDIC 연산을 이용한 계측부의 구조
Fig. 5. A measurement block using external CORDIC

3.4 보호계전 알고리즘의 하드웨어 설계

디지털보호계전기의 네 가지 계전알고리즘 OCR, OVR, UVR, UFR(I, V)은 모두 같은 형태의 한시특성과 순시특성을 따르기 때문에 레지스터 파일을 바탕으로 코어를 공유하는 방법을 사용하여 구성한다. 이 블록의 나눗셈, 자연 로그, 지수, 덧셈 함수의 실행은 외부에 존재하는 CORDIC 연산기에 의해 이루어진다. 한시 알고리즘이 OCR, OVR에만 적용된다고 가정하면, 최대 연산 소요시간은 다음과 같다.

$$\begin{aligned}
 T_{rrelay} &= C_{cordic} \times N_{ops,rly} \times N_{channel} \times T_{clk}/N_{cordic} \\
 &= 50 \times 8 \times 2 \times T_{clk}/N_{cordic} \\
 &= 800 T_{clk}/N_{cordic}
 \end{aligned}
 \tag{4}$$

여기서 C_{cordic} 은 CORDIC 연산기에서 소요되는 클럭 수이고 N_{ops} 는 보호계전 알고리즘(한시)당 필요한 연산수이다.

4. 실험 결과

본 장에서는 간단한 보호계전기 테스터를 이용하여 제안된 하드웨어 구조를 기반으로 구현된 시작품의 기능과 성능을 측정할 결과를 나타내었다.

4.1 디지털보호계전기의 FPGA 구현결과

FPGA 검증을 위한 디지털보호계전기는 3장에서 설계된 하드웨어 구조를 RTL의 VHDL로 설계하여 Synopsys Design Compiler에서 논리합성한 뒤, Xilinx ISE에서 이를 다시 컴파일하였고, XC2V3000 디바이스에 다운로드하여 완성하였다. 표 2에는 ISE에서 최종 측정된 결과를 요약하였다. 5,000개 이내의 슬라이스를 이용하여 구현되었고 임계경로 지연이 50ns를 만족하므로 표 1에 정의된 시스템 사양을 충분히 만족할 수 있다.

4.2 FPGA기반 디지털보호계전기의 검증

테스터는 디지털 계전기의 성능 시험을 위해 아날로그 파형을 생성하는 시스템으로 시뮬레이션 엔진, PC, DAQ Device 및 오실로스코프로 구성된다(그림

6). PSCAD/EMTDC를 기반으로 실제통 모델에 대한 시뮬레이션을 수행한 후 LabVIEW7.1을 사용하여, NI-6733 DAQ Device 2개를 사용하여 사고 파형을 아날로그 형태로 출력하였다. 그 다음 FPGA에서 출력된 신호를 PSCAD 파형과 비교하는 과정으로 실험을 진행하였다.

표 2. XC2V3000에서 구현한 보호계전기의 합성 결과
Table 2. Logic synthesis results on XC2V3000 device

	DFT filter	CORDIC	Measure	Relay algorithm
# of Slices	831	1,482	412	1,771
critical path(ns)	11.229	11.121	12.502	11.556

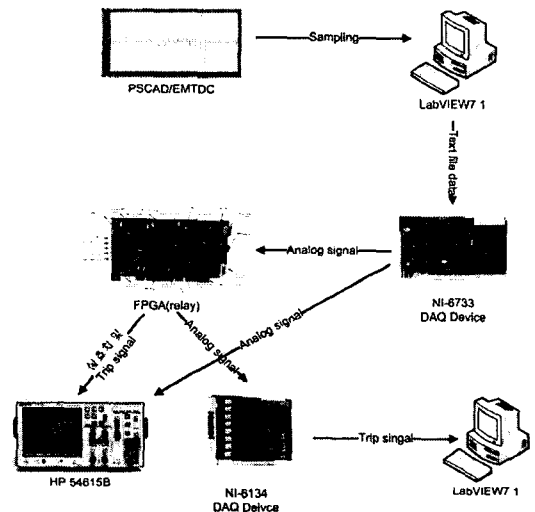


그림 6. FPGA로 구현된 계전기를 위한 테스터 구성도
Fig. 6. A Testing configuration for the protective relay

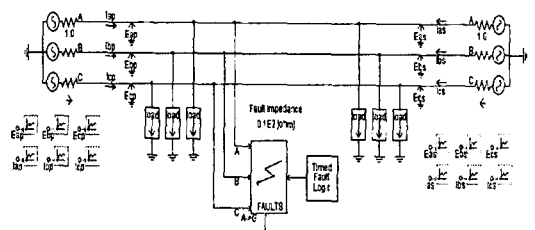


그림 7. 1선지락사고시 과전류 발생 모델 계통도
Fig. 7. A system model for over-current generation in single line-to-ground fault

전력설비를 위한 디지털보호계전기의 FPGA 구현

그림 8과 9는 실험 결과의 예로 그림 7의 1선 A상 지락 사고(과전류)일 때 FPGA에서 출력된 실효치와 트립신호를 각각 나타낸 것이다. 마찬가지로 그림 11, 12에는 그림 10의 1선 A상 지락사고(과전압)일 때의 결과를 나타내었다. 결과 파형들은 PSCAD 파형과 비교하였을 때 차이가 없고, 신호의 크기와 기준치에 따라 올바르게 트립 신호를 출력한다.

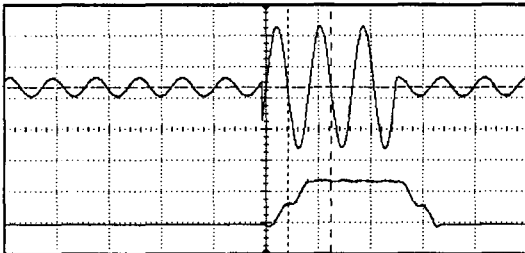


그림 8. A상 지락사고의 A상(전류) 파형과 실효치
Fig. 8. The A phase fault current/magnitude wave

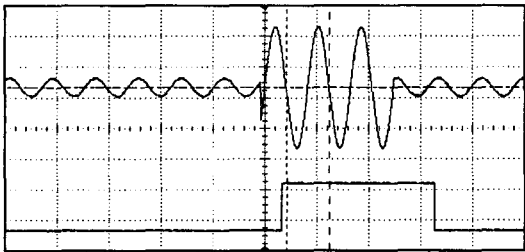


그림 9. A상 지락사고의 A상(전류)과 트립 신호
Fig. 9. The A phase fault current/trip wave

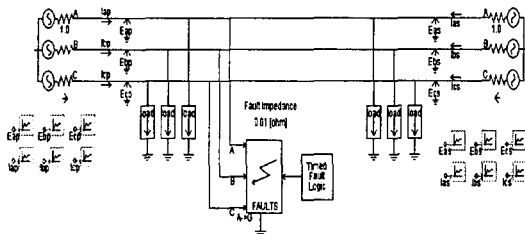


그림 10. 1선지락사고시 과전압 발생 모델 계통도
Fig. 10. A system model for over-voltage generation in single line-to-ground fault

[5]와 [6]에서는 본 논문에서 제안된 보호계전기와 같이 다양한 특성 곡선을 제공하지만, LUT가 필요하고 평균 오차율이 각각 1.25[%], 1.095[%]이다. 10,000세트의 난수 데이터를 이용한 실험 결과, 본

보호계전기의 한시특성의 최대 절대 오차는 0.0431[%] 이내이고 평균 오차가 0.0240[%] 이내로 나타났으며, 이전 결과에 비해 평균적으로 약 98[%] 정도 개선된 결과이다.

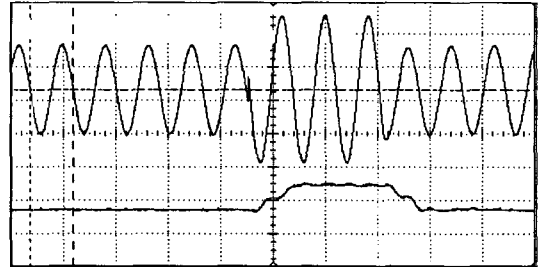


그림 11. A상 지락사고의 B상(전압)과 실효치
Fig. 11. The B phase fault voltage/magnitude wave

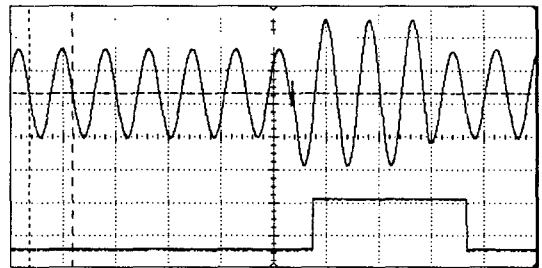


그림 12. A상 지락사고의 B상(전압)과 트립 신호
Fig. 12. The B phase fault voltage/trip wave

3. 결론

본 연구에서 제안된 FPGA를 위한 디지털 보호계전기는 CORDIC 연산기와 같은 고정밀 연산 회로로 대부분의 연산을 수행하면서 매우 정교적인 구조를 가진다. 이로 인해 오차율 0.03[%] 미만의 정밀한 계측과 보호계전을 수행할 수 있으며, 이는 이전 연구 결과들에 비해 오차율이 약 98[%] 개선된 결과이다. 또한 디바이스 특성상 설계의 모듈성이 보장되어 추후 설계의 유지, 보수에 매우 도움이 된다. 제작된 보호계전기는 V/I 2채널입력을 주기당 128 샘플단위로 처리할 수 있는 고성능(16KSPS)을 가지며 시뮬레이션 대비 정상 동작을 검증하였다. 하나의 칩으로 설계된 디지털보호계전기는 다양한 보호계전기능을 적재하고 있기 때문에 추후 상품화시 가격 경쟁력을 가질 수 있다.

References

- [1] B. Parhami, "Computer Arithmetic: Algorithms and Hardware Designs", Oxford University Press, 1999.
- [2] 마이크로프로세서를 이용한 전자식 배전반 개발(II), 과학기술처, 1990.
- [3] IEEE Std C37.112-1996, "IEEE Standard Inverse-Time Characteristic Equations for Over-current Relays", 1997.
- [4] G. Benmouyal, "Design of a Digital Multi-curve Time-overcurrent Relay", IEEE Trans. On Power Delivery, Vol. 6, No. 2, pp.656-665, 1991.
- [5] H. A. Darwish, M. A. Rahman, A. I. Taalab, and H. Shaaban, "Digital model of Overcurrent Relay Characteristics", IAS '95, Vol. 2, pp.1187-1192, 1995.
- [6] T. S. Sindu,, M. S. Sachdev and H. C. Wood, "A computer aided design tool for developing digital controllers and relays", IEEE trans. on Industry Applications, Vol. 28, No. 6, pp.1376-1383, 1992.

◇ 저자소개 ◇

김종태 (金鍾兌)

1959년 11월 11일생. 1982년 성균관대학교 전자공학과 졸업(공학사). 1987년 University Of California at Irvine, 전기 및 컴퓨터공학과 대학원 졸업(석사). 1992년 University Of California at Irvine, 전기 및 컴퓨터공학과 대학원 졸업(박사). 1991~1993년 The Aerospace 연구원. 1993~1995년 전북대학교 컴퓨터공학과 교수. 1995년~현재 성균관대학교 전자전기공학전공 교수.

신명철 (申明澈)

1947년 4월 3일생. 1970년 성균관대학교 전기공학과 졸업(공학사). 1973년 연세대학교 대학원 전기공학과 졸업(석사). 1978년 연세대학교 대학원 전기공학과 졸업(박사). 2000~2001년 펜실바니아 주립대학 방문교수. 현재 성균관대학교 전자전기공학전공 교수. 대한전기학회 회장. 전기에너지 신기술 센터장. 성균관대학교 부총장.