

논문 2005-42SD-4-1

Halo 구조의 MOSFET에서 이동도 감소 현상

(The Behavior of the Mobility Degradation in Pocket Implanted MOSFETs)

이 병 현*, 이 기 영**

(Byung-Heon Lee and Kie-Young Lee)

요 약

소오스와 드레인 근처에 포켓이온이 주입된 halo구조의 MOSFET에서 전송자의 이동도 감소는 포켓이온주입의 조건에 따라 이온화된 불순물의 증가에 따른 쿨롱(Coulomb)산란율의 증가에 의한 이동도의 감소량보다 큰 이동도의 감소가 관측될 수 있다. 게이트 바이어스에 대한 이동도의 특성변화도 기존의 일차적인 쿨롱산란의 증가효과에 의한 해석과 비교하여 상이한 결과가 나타날 수 있음이 실험적으로 확인되고 있다. 본 연구에서는 포켓이온 주입에 의하여 쿨롱산란원이 되는 유효불순물 농도의 증가에 따른 일차적인 이동도의 감소효과를 벗어난 이동도 특성을 분석하여 이동도의 감소현상을 일반적으로 설명할 수 있는 개선된 해석적 모델을 제시하였다. 해석적인 결과를 도출하기 위하여 일차원 영역구분의 근사방법을 적용한 결과, 포켓이온 주입에 의하여 포논산란율 및 표면산란율(surface roughness scattering rate)의 증가도 이동도감소에 기여함이 보여 졌다. 채널의 전송자분포가 드레인 전류에 영향을 미치게 되므로 포켓이온에 의해 유발된 전송자분포의 효과를 분석하여 유효이동도가 추가적으로 감소함을 확인하였다.

Abstract

The increased effective impurity due to the pocket ion implantation is well known to give rise to a reduction of the effective mobility of halo MOSFETs. However, further decrease of the effective mobility can be observed in pocket implanted MOSFETs above the mobility reduction due to the Coulomb impurity scattering and the gate bias dependency of the effective mobility can also differ from the simple model describing the mobility behavior in terms of the effective impurity. Phonon scattering and surface scattering as well as impurity Coulomb scattering are also shown to be effective in the degradation of the carrier mobility of pocket implanted MOSFETs. Using the 1-D regional approximation the effect of the distribution of the inversion charge density along the channel on the drain current is investigated. The inhomogeneous channel charge distribution due to pocket implantation is also shown to contribute to the further reduction of the effective mobility in halo MOSFETs.

Keywords: Effective mobility, Effective impurity density, Scattering rate, Regional approach

I. 서 론

Scale-down된 MOSFET 소자에서 발생할 수 있는

문턱전압의 roll-off, punchthrough 등과 같은 short 채널효과를 억제하기 위하여 근래에는 포켓이온주입 방법이 short채널의 소자 구현에서 보편적으로 이용되고 있으며, 대체적인 포켓이온주입의 전기적 효과와 그에 대한 해석도 알려져 있는 편이다. MOSFET소자의 중요한 물리량인 문턱전압은 MOSFET의 해석모델에서 바이어스의 변화에 무관한 상수로 취급되는 일반 경향이 있으며, 그 크기의 중요성에 따라 포켓이온이 주입된 경우에 물리적 근거를 갖는 문턱전압을 정의하기 위한 여러 모델들이 제시되어 있다^[1-6]. 트랜스컨덕턴스파라미터는 MOSFET 소자의 또 다른 중요한 물리량이며,

* 학생회원, 충북대학교 대학원 전자공학과
(School of Electrical Engineering Chungbuk National University)

** 정회원, 충북대학교 전기전자컴퓨터공학부
(School of Electrical and Computer Engineering Chungbuk National University), 교신저자

※ 이 논문은 2004년도 충북대학교학술지원사업의 연구비 지원에 의하여 연구되었음.

접수일자: 2004년12월6일, 수정완료일: 2005년3월26일

내부의 주요 인자인 전송자이동도는 바이어스 의존도를 갖고 있음이 잘 알려져 있다. 채널의 길이가 충분히 긴 소자에서 드레인 전압이 작은 경우에 정의되는 채널 전송자의 저전계 이동도는 게이트 바이어스 전압 또는 채널의 수직방향으로 형성된 유효전계의 세기의 함수로 그 특성이 설명되고 있다. Scale-down된 MOSFET 소자 및 포켓이온이 주입된 소자에서의 이동도도 일반적인 산란기작에 근거하여 그 바이어스 의존도가 해석된 결과도 있다^[7,8].

Scale-down된 MOSFET 소자에서는 well 또는 기판 도핑농도 N_b 가 비교적 높은 값을 갖고 있으며, 따라서 이온화된 불순물에 의한 산란효과의 기여도도 크게 된다. 이온화된 불순물 산란 또는 쿨롱 산란, 포논 산란, 및 표면 산란(surface roughness scattering) 등 각 물리적 산란기작들이 MOSFET 소자에 기여하는 바이어스 의존도가 분석되어 있으며, 여러 도핑농도 N_b 값을 갖는 경우에 채널 전송자의 유효이동도에 대한 특성이 잘 분석되어 있다^[9-10]. 이동도특성의 중요성에 따라 계면상태에 의한 쿨롱산란이 유효이동도에 기여하는 효과도 논의된 바 있다^[11]. BSIM3v3 및 BSIM4 등 SPICE 이동도 모델에서는 이와 같이 쿨롱산란효과가 증가된 경우 등의 물리적 모델들이 아직 포함되지 않고 있는 실정이다^[12]. 포논산란 및 표면산란기작들은 일차적으로 채널의 수직방향의 전계의 세기로 그 산란율을 나타낼 수 있음이 잘 알려져 있지만, 공핍영역 전하의 공유효과가 큰 short채널의 MOSFET에서는 반전층내 전송자의 이동도를 명시할 수 있는 적합한 평균 유효전계의 세기가 요구된다. 전하공유효과를 고려하면 기존의 모델을 직접 적용하기가 어려우며, 이 경우를 포함하는 이동도의 바이어스 의존도에 관해서는 일반성을 갖고 있는 결과가 없는 편이다.

근래의 short채널 MOSFET이 구현되는 경향에 따라 포켓이온이 주입된 소자에서는 포켓이온주입에 의해서 채널의 평균 기판농도가 증가하며, 이는 이온화된 불순물의 쿨롱산란율을 증가시키게 되고, 따라서 이동도가 감소하게 됨을 보여줄 수 있다. 한편, 포논산란 및 표면산란율의 크기를 결정하는 채널에 수직한 유효전계의 세기는 전송자의 표면밀도와 공핍층 전하량에 비례하는 두 개의 항으로 구성되며, 기여도도 잘 알려져 있다. 포켓이온이 주입된 경우에는 각 전하량들이 채널에 따라 변할 수 있으므로 유효한 평균 전계의 세기도 정의하기가 어렵게 된다. 따라서, 포켓이온주입에 의한 유효도핑농도의 변화로 이동도의 감소 및 그 바이어스 의존도

가 부합되는 경우가 있을 수 있으나^[7], 포켓이온주입의 양 및 에너지 등 이온주입조건에 따라서는 보다 다양한 결과가 관측될 가능성이 높다. 지속적인 MOSFET 소자 규격의 축소에 따라 전송자의 이동도도 감소하는 경향이 있으며, 이를 낮은 게이트 바이어스전압의 범위까지 정확히 측정하려는 보고가 있다^[13]. 하지만, 포켓이온주입에 의해 채널의 도핑농도가 균일하지 않은 경우에서의 이동도 특성에 대한 일반적인 해석에 관해서는 이동도가 갖고 있는 물리적 중요성에 비하여 보편타당성을 갖는 구체적인 결과가 제시되지 않은 편이다.

다음 II장에서는 포켓이온이 주입된 halo MOSFET에서 영역구분근사 방법을 사용하여 이동도를 정의하는 채널전류 또는 드레인 전류의 모델링 결과를 간단히 소개하고, 이로부터 이동도 해석 기법을 정리하고자 한다. III장에서는 이론적으로 도출된 이동도 모델과 포켓이온이 주입된 MOSFET 소자에서 실험적으로 추출한 결과와 비교하여 본 연구에서 제시한 이동도모델의 타당성을 검증하고자 한다.

II. 영역구분근사에 의한 Halo구조 MOSFET 소자의 이동도 해석

포켓이온이 주입되어 소오스와 드레인 근처에서의 도핑농도가 중간영역의 기판 또는 well 도핑농도에 비하여 높은 halo 구조의 n-채널 MOSFET 소자를 대상으로 논의하기로 한다. 또, 대상 시료는 도핑농도가 높고 낮은 두 영역으로 구분이 될 수 있어서 소오스와 드레인 근처의 포켓이온이 주입된 영역을 각각 영역 1과 3, 도핑농도가 낮은 중간영역을 영역 2라고 정의하기로 한다. 문턱전압의 roll-off가 억제될 수 있는 포켓이온주입의 조건에서는 영역 1과 3에서 공핍영역의 전하공유를 고려하여도 포켓이온이 주입된 영역에 게이트 전압에 의해 유도된 전자밀도는 영역 2에서의 전자밀도보다 낮게 된다. 본 연구에서는 해석적인 결과를 유도하기 위하여 각 영역에서의 기판도핑농도가 일정하다고 가정하는 일차원 영역구분 근사를 취하고자 한다. 그러면 포켓이온이 주입된 n-채널 MOSFET 소자에 게이트전압이 충분히 낮게 인가되었을 때 유도된 전자밀도의 분포는 그림 1과 같은 개략도로 나타낼 수 있다. 이러한 반전층의 전하분포는 영역별로 문턱전압을 정의할 때, 포켓이온이 주입된 영역에서의 문턱전압이 영역 2에서의 문턱전압보다 높음을 시사한다. 이러한 관점에서 halo MOSFET을 그림 2에서와 같이 3-트랜지스터 모델로

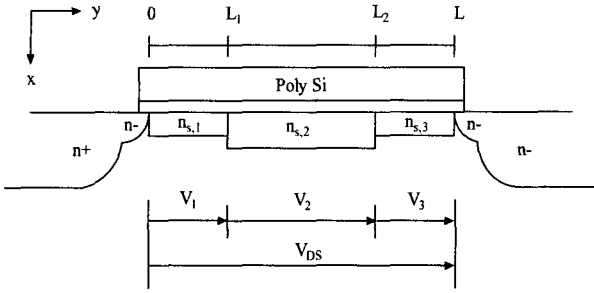


그림 1. 포켓이온이 주입된 halo MOSFET 소자의 단면도와 게이트전압에 의해 영역별로 상이하게 유도된 채널전자밀도의 개념도

Fig. 1. A schematic diagram of halo MOSFETs showing regionally distinctive carrier concentrations induced by gate voltage and potential differences for small drain bias.

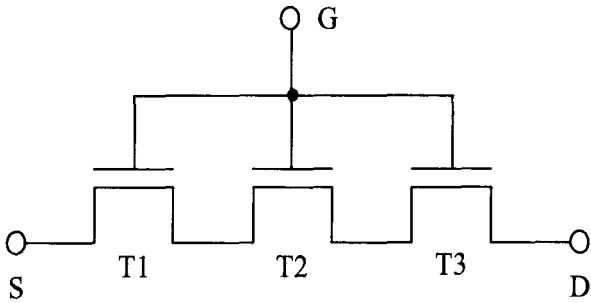


그림 2. 포켓이온이 주입된 MOSFET에서 영역별로 서로 다른 채널전자밀도를 나타낼 수 있는 포켓이온이 주입된 MOSFET의 3-transistor 모델

Fig. 2. A 3-transistor pocket implanted MOSFET model in which 3 distinctive threshold voltages are defined.

취급하여 소자의 특성을 해석한 보고도 있다^[4].

MOSFET에서 채널의 위치에 따라 이동도가 변하는 경우에 드레인 전류 I_d 는 일반적으로 잘 알려진 드레인 전류의 표현방법에 따라 triode 영역에서 다음과 같이 쓸 수 있다^[5,14].

$$I_d = C_{ox} W \frac{\int_0^{V_{ds}} [V_{gs} - V_T(x) - mV] dV}{\int_0^L \frac{1 + E/E_c}{\mu_n} dx} \quad (1)$$

여기서 V_{gs} 와 V_{ds} 는 각각 MOSFET에 인가된 게이트 전압과 드레인전압이며, C_{ox} 는 단위 면적당 게이트 캐패시턴스이고, m 은 몸체효과를 나타내는 상수이고, L 과 W 는 각각 소자의 게이트 길이와 폭이며, $V(x)$ 와 $V_T(x)$ 는 각각 채널위치 x 에서 의사 페르미전위와 문

턱전압이다. μ_n 과 E 와 각각 채널방향 전기장의 세기와 채널전자의 이동도이며, E_c 는 임계전계로서 채널전자의 포화속도를 v_s 라고 하면 E_c 는 $2v_s/\mu_n$ 가 된다. 문턱전압이 상수인 경우에 1식은 다음과 같이 정리됨이 잘 알려져 있다^[14].

$$I_d = \mu_{eff} C_{ox} \frac{W}{L} [V_{gs} - V_T - \frac{m}{2} V_{ds}] V_{ds} \quad (2)-a$$

$$\mu_{eff} = \left[\frac{1}{L} \int_0^L \frac{1}{\mu_n(x)} dx \right]^{-1} \quad (2)-b$$

포켓이온주입의 조건에 따라 영역 1과 3에 유도된 전자 밀도가 영역 2에 정의된 전자밀도에 비해 크게 상이한 경우에는 1식이 2식과 같이 간단히 정리될 수 없게 된다. 해석적 결과를 도출하기 위해 일차원 영역구분 근사방법을 사용하기로 하자. 이제 각 영역별로 서로 다른 문턱전압과 이동도를 가정하고, 전류의 연속성을 고려하면 halo MOSFET 소자의 드레인전류 I_d 는 다음과 같이 간단히 정리될 수 있다^[5].

$$I_d = \mu_{nh} C_{ox} \frac{W}{L} \frac{V_{gs} - V_{Th} - mV_{ds}/2}{1 + V_{ds}/E_{ch}L} V_{ds} \quad (3)$$

여기서 E_{ch} 는 $2v_s/\mu_{nh}$ 를 의미하게 된다. 각 i 번째 영역에서 문턱전압과 채널전자의 이동도를 각각 V_{T_i} 와 $\mu_{n,i}$ 라고 하면, halo MOSFET의 유효문턱전압 V_{Th} 와 유효이동도 μ_{nh} 는 다음과 같이 쓸 수 있다.

$$V_{Th} = \frac{V_{T1} + r_V V_{T2} + V_{T3}}{2 + r_V} \quad (4)$$

$$r_V = \frac{\mu_{n1}}{\mu_{n2}} \frac{L_2}{L_1} \frac{V_{gs} - V_{T1}}{V_{gs} - V_{T2}} \quad (5)$$

$$\mu_{nh}^{-1} = \frac{1}{L} \sum_{i=1}^3 \frac{L_i}{\mu_{n,i}} \quad (6)$$

여기서 L_i 는 각 영역의 채널길이이며, 영역 1과 3의 전기적 성질이 같다고 가정하였다.

포켓이온이 주입된 halo MOSFET 소자의 유효이동도 μ_{nh} 는 6식과 같이 각 영역에서의 이동도로 나타낼 수 있으며, 2식과 동일한 의미를 갖고 있다. 각 영역에서의 유효이동도는 다음과 같은 관계식을 갖고 있다^[8-10].

$$\mu_{n,i} = \left[\frac{1}{\mu_{c,i}} + \frac{1}{\mu_{ph,i}} + \frac{1}{\mu_{s,i}} \right]^{-1} \quad (7)$$

여기서 $\mu_{c,i}$ 는 이온화된 불순물의 쿨롱산란에 의한 이동도이며, $\mu_{ph,i}$ 와 $\mu_{s,i}$ 는 각각 포논산란과 표면산란에 의한 이동도들을 나타낸다. 각 산란기작에 의한 이동도는 비교적 잘 알려져 있으며, 여러 모델 중에서 일반적으로 잘 알려진 이동도 모델식을 구체적으로 소개하면 다음과 같다^[7,9,10].

$$\mu_{c,i} = \mu_{co} \frac{L_s/L_{DH}}{N_{B,i}L_{th}} \left[1 + \frac{L_{th}}{L_s} \right]^2 \quad (8)\text{-a}$$

$$\mu_{ph,i} = \frac{\mu_{phB}}{1 + [E_{eff,i}/E_o]^{\alpha_{ph}}} \quad (8)\text{-b}$$

$$\mu_{s,i} = \frac{\delta \exp[-(T/T_o)^2]}{E_{eff,i}^2} \quad (8)\text{-c}$$

여기서 N_B 는 각 영역에서의 기판농도이며, T 는 절대 온도이고, L_s 는 $[L_{TF}^2 + L_{DH}^2]^{1/2}$ 이고, L_{th} , L_{TF} , 및 L_{DH} 는 각각 열길이, Thomas-Fermi 길이와 Debye-Huckel 길이로서 $2\epsilon_{si}kT/qQ_s$ 로 정리되며, E_{eff} 는 게이트전압에 의해 형성되는 채널에 수직인 방향의 유효전계의 세기로써 다음과 같은 모델 식으로 잘 정의되어 있다^[16].

$$\begin{aligned} E_{eff,i} &= \frac{1}{\epsilon_{si}} \left[Q_{dep} + \frac{1}{2} Q_s \right] \\ &\approx \frac{V_{gs} - V_{T,i}}{6t_{ox}} + \frac{V_{T,i} + V_{Z,i}}{3t_{ox}} \end{aligned} \quad (9)$$

여기서 ϵ_{si} 는 기판인 실리콘의 유전상수이고, L_s 는 게이트 산화막의 두께이며, Q_{dep} 와 Q_s 는 각각 채널에 수직 방향으로 일차원 근사된 경우에서 공핍층의 전하와 채널전자전하의 단위 면적당 크기이다. 8과 9식에서 기타 물리량들은 상수 또는 파라미터이며, 각 크기는 다음 장에서 논의하기로 한다.

포켓이온이 주입되지 않은 long채널의 MOSFET에서도 소자의 문턱전압은 상수가 아니고 게이트전압의 함수이나, 간단한 MOSFET의 모델식을 사용하는 일반론에 따라 게이트전압의 변화에 따른 문턱전압의 변화는 이동도의 변화로 변환하여 취급하고 있다^[15]. 포켓이온이 주입된 경우 드레인 전류는 3~5식에서 기술한

바와 같이 문턱전압의 게이트전압 의존도가 크게 된다. 이러한 경향은 채널의 길이가 짧아질수록 심하게 나타남을 예측할 수 있다. 이와 같은 문턱전압의 물리적인 바이어스 의존도는 아직 일반적으로 심각하게 인지되고 있지 않으며, MOSFET 해석에 대한 기존 모델의 관행에 따라 외삽법으로 측정된 문턱전압으로써 단순 상수로 취급되는 실정이다. 이러한 관행에 따르게 되면, 포켓이온이 주입된 MOSFET에서는 6식으로 기술된 순수한 MOSFET 이동도의 바이어스 의존도 외에 문턱전압의 바이어스 의존도가 중첩되게 된다. 따라서 관측되는 이동도는 다음과 같이 나타낼 수 있다.

$$\begin{aligned} I_d &= \mu_{nH} C_{ox} \frac{W}{L} [V_{gs} - V_{on} - m V_{ds}/2] V_{ds} \\ &\text{for small } V_{ds} \end{aligned} \quad (10)$$

$$\begin{aligned} \mu_{nH}^{-1} &= \frac{1}{L} \sum_{i=1}^3 \frac{L_i [V_{gs} - V_{on}]}{\mu_{n,i} [V_{gs} - V_{T,i}]} \\ &\text{for } V_{ds} \rightarrow 0 \end{aligned} \quad (11)$$

여기서 μ_{nH} 는 포켓이온이 주입된 MOSFET에서 관측되는 유효이동도이며, V_{on} 는 외삽법으로 측정되는 소자의 문턱전압이다.

윗 식에서 정리된 바와 같이 포켓이온이 주입된 MOSFET 소자의 이동도는 6식으로 정리되는 이동도의 바이어스 의존도가 전송자의 분포에 의해 11식과 같이 변형되어 나타나게 된다. 포켓이온주입의 조건에 따라 문턱전압의 게이트 바이어스 의존도가 크지 않을 경우에는 채널전자의 분포 효과가 크지 않으며, 상수의 문턱전압 근사가 적용될 수 있다. 따라서 이 경우에는 유효이동도도 6식과 같이 쓸 수 있다. 하지만, 여러 다양한 포켓이온주입 상황을 전제할 때, 문턱전압의 게이트전압 의존도를 5식과 같이 고려하여야 하며, 이에 따른 이동도의 의존도도 위에서 제시한 해석을 따르게 된다. 위의 11식으로 제시된 이동도는 일반 MOSFET이나 포켓이온주입이 적절한 경우에는 기존의 결과와 동일하게 된다. 따라서 여기서 제시한 이동도 해석방법은 기존의 결과를 포함한 일반적인 결과로 볼 수 있다.

III. 실험 결과

본 연구에서 사용된 MOSFET 시료소자는 double

poly, twin well과 LOCOS isolation의 $0.3\mu\text{m}$ 제조공정기술로 제작된 n+폴리게이트의 n-채널 MOSFET들이다. 문턱전압을 조절하기 위하여 BF_2 이온이 40 keV의 에너지와 $1.5 \times 10^{12} \text{cm}^{-2}$ 의 dosage로 주입되었고, LDD영역은 비소이온의 주입으로 형성되었다. 게이트 산화막의 두께 t_{ox} 는 약 9.0nm이다. 포켓이온주입 영역은 BF_2 이온을 30° 경사각으로 $6 \times 10^{12} \text{cm}^{-2}$ 의 dose량과 100keV의 에너지로 주입하여 형성하였으며, 이 경우에 포켓영역의 길이는 약 $0.09\mu\text{m}$ 로 추정된다. $L=0.25\mu\text{m}$ 의 게이트 길이까지 여러 유효게이트 길이를 갖는 시료소자에 대해 측정·분석하였다. MOSFET 소자의 전기적 특성은 HP4156 소자특성분석 장치를 사용하여 측정하였다. 그림 3은 $L=0.3\mu\text{m}$ 의 유효게이트길이를 갖고 있는 시료에서의 $I_d - V_{ds}$ 특성을 보여주고 있다. 그림에서와 같이 일반적으로 잘 정의된 트랜지스터의 성질을 갖고 있다. 그림 3의 드레인 출력특성은 일반적으로 잘 정의된 트랜지스터의 성질을 보여 주고 있으며, 본 측정시료소자에서는 누설전류의 크기가 무시될 수 있다. dc 드레인 특성으로부터 이동도를 추출할 경우에 누설전류는 이동도에 큰 오차를 유발할 수 있다. 본 연구의 시료에서는 dc 및 ac 특성으로 추출된 이동도들이 오차의 범위 정도 내에서 일치하는 크기를 갖고 있다. 그림 4에서는 여러 게이트 길이에 따른 문턱전압의 변화를 보여주고 있다. 그림에서 점은 외삽법으로 측정된 문턱전압의 크기이며, 실선은 4식으로 계산된 문턱전압으로써 광범위의 유효게이트 길이에서 실험특성과 일치함을 보여주고 있다. 이러한 특성은 본 연구의 영역구분근사법의 적용타당성을 시사한다.

포켓이온이 주입된 MOSFET의 이동도특성을 체계적으로 분석하기 위하여 우선, 영역별로 서로 다른 문턱전압이 주는 효과가 무시되는 경우를 고려하여 보자. 채널 전 영역에서 동일한 문턱전압을 가정하면, 11식과 같이 영역별로 상이한 유효전계의 세기가 정의될 필요가 없으며, 따라서 8-b와 8-c식으로 주어진 포논산란과 표면산란에 의한 이동도는 전 채널위치에서 동일하며, 8-a식으로 주어진 쿨롱산란효과만 영역별로 다르게 된다. 이 경우에는 참조문헌 7과 같이 2와 8식으로부터

$$\text{유효 불순물농도 } N_{\text{Beff}} = \int_0^L N_B(x) dx / L \text{ 을 정의하여}$$

이동도를 구할 수 있다. 단, 여기서 불순물농도 $N_B(x)$ 는 포켓이온 주입에 의한 농도변화 뿐 아니라 문턱전압조절을 위한 이온주입공정에 따른 농도의 변화

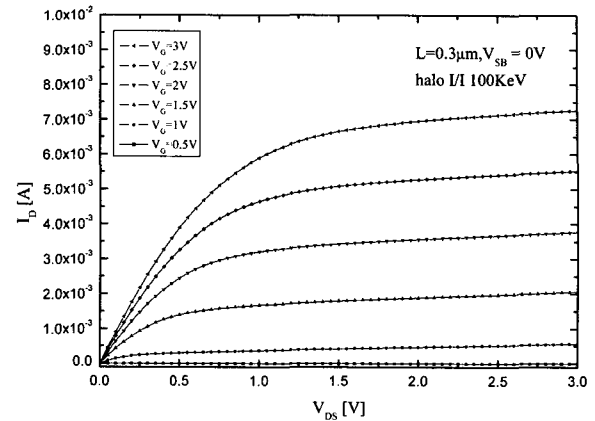


그림 3. 유효게이트 길이가 $0.3\mu\text{m}$ 인 n-채널 MOSFET 소자에서 드레인 전류의 출력특성
Fig. 3. Drain output characteristics for n-channel MOSFET with effective gate length of $0.3\mu\text{m}$.

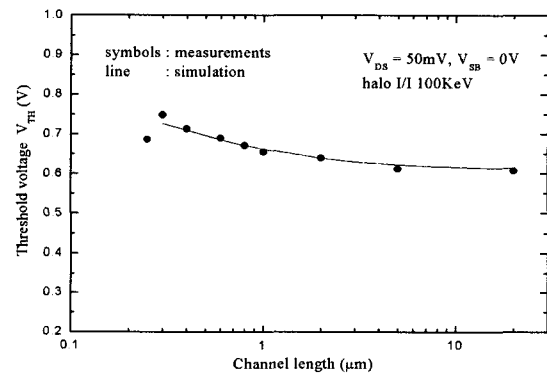


그림 4. 선형영역에서 외삽법으로 측정된 MOSFT 문턱전압과 4식으로 계산된 문턱전압의 채널길이에 따른 특성
Fig. 4. Variation of the measured threshold voltage using extrapolation method in the linear region and theoretical values calculated using eqn. 4 with effective gate length.

를 포함한다. 이러한 방법으로 계산된 게이트 바이어스 전압에 따른 이동도 특성은 그림 5와 같다. 8식으로 소개한 각 산란 기작에 따른 이동도모델들에서 필요한 상수 값으로서는 $\mu_{co} = 1.1 \times 10^{11} \text{ T cm}^2 / \text{VsK}$, $L_{th} \approx 25 \text{ \AA}$, $\mu_{phB} = 1470 \text{ cm}^2 / \text{Vs}$, $\alpha_{ph} = 0.2 \sim 1/3$, $\delta = 8.8 \times 10^{14} \text{ V/s}$, $T_o = 500 \text{ K}$ 등 기존의 연구에서 일반적으로 이용되는 수치를 기준으로 사용하였다^[7,9,10]. 상기한 상수들의 값 중에서 표면산란의 크기를 결정하는 δ 의 값은 제조공정에 크게 의존하므로 상기한 값을 기준으로 하여 변화가 가능하다. 그림 5(a)에서는 상기한 값으로 계산된 결과와 실험특성을 비교하여 보았다.

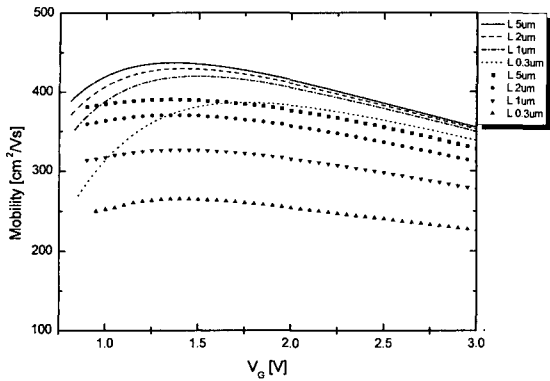
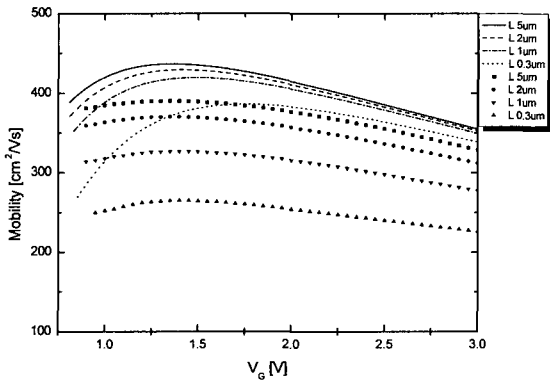
(a) $\delta = 8.8 \times 10^{14} \text{ V/s}$ 인 경우(b) $\delta = 6.6 \times 10^{14} \text{ V/s}$ 인 경우

그림 5. 문턱전압이 영역별로 상이하진 않다고 가정하였을 경우에 여러 게이트길이의 소자에서 이동도의 게이트 바이어스에 대한 특성. 실선 및 각 점선은 유효불순물 농도에 의한 이동도의 변화만 고려한 해석적 결과이며, 각 기호의 점은 실험결과이다.

Fig. 5. Mobility characteristics with gate bias under the assumption of uniform threshold voltage for various gate lengths. Solid and dotted lines represent analytical results taking into account the only the effective impurity density affecting mobility term due to Coulomb impurity scattering and various symbol dots for experiments.

그림의 특성에서 보듯이 이론적인 이동도의 크기가 실험치에 비해 매우 크며, 게이트전압 및 게이트의 길이에 대하여 특성이 서로 매우 상이하다. 그림 5(b)에서는 표면산란율의 평균크기를 δ 의 변화로 증가시켜서 계산된 결과를 보였다. 전반적인 이동도이론치가 낮아져서 특정 게이트길이의 소자에서 측정된 실험값과 근사하게 될 수 있지만, 여러 유효 게이트길이의 소자에서 바이어스의존도 특성이 실험결과와는 상이함을 알 수 있다. 그림 5의 특성비교에서부터 낮은 게이트전압에서의 이동도에 영향을 미치는 유효 불순물농도에 의한 쿨롱산

란만을 고려한 동도특성은 실험과 부합하지 못함을 알 수 있다. 따라서 이러한 접근방법은 적용의 한계성을 갖고 있다. 또, 그림 5(b)의 특성으로부터 영역 1과 3의 포켓이온주입 영역에서는 영역 2에서와 다른 포논 또는 표면 산란율이 정의되어야 게이트전압이 큰 경우의 이동도가 설명될 수 있음을 알 수 있다.

한편, 외삽법으로 측정되는 문턱전압 V_{on} 은 표면전위가 $2\phi_f$ 일 때의 문턱전압 $V_{T,2\phi_f}$ 에 비해 열전압 V_{th} 의 3 ~ 4배 정도 큰 사실이 잘 알려져 있다^[14,15]. 본 연구에서는 문턱전압에 근접함에 따른 수치적 오차를 개선하기 위하여 다음과 같이 문턱전압이 상수가 아닌 게이트 바이어스 전압의 함수로 나타내어 특성을 조사하기로 한다^[15].

$$\begin{aligned} Q_n &= qn_s = C_{ox} [V_{gs} - V_T(V_{gs})] \\ &= C_{ox} [V_{gs} - V_{T,2\phi_f} - 2V_{th} \ln(1 + \frac{V_{gs} - V_{T,2\phi_f}}{2V_{th}})] \end{aligned} \quad (12)$$

위 식으로 표현된 문턱전압 근사에서는 폴리게이트의 공핍효과가 고려되지 않았다. 본 연구의 시료소자들은 폴리게이트의 도핑농도가 높아서 게이트 공핍층의 효과가 무시될 수 있는 경우로 근사하기로 한다.

포켓이온이 주입된 MOSFET의 이동도는 문턱전압이 영역별로 서로 상이한 경우에 6식과 같은 영역별 이동도의 단순한 평균과 달리 11식과 같이 영역별로 유도되는 채널전자의 농도에 의하여 영역별 이동도가 가중된 평균이 된다. 그림 6에 보인 이동도의 게이트 바이어스에 대한 특성에서 11식의 모델에 의한 해석이 실험 특성과 매우 유사함을 보여 주고 있다. 영역별로 문턱전압의 차이가 없는 경우에는 유효전계의 세기가 낮은 드레인 전압에서 채널의 위치와 무관한 상수이나, 여기서는 유효전계의 세기가 영역별로 서로 달라서 쿨롱산란에 의한 이동도뿐 아니라 포논 및 표면산란에 의한 이동도도 영역별로 서로 다름을 이용하였다. 9식으로 소개한 유효전계의 세기는 첫 번째항에 의해 문턱전압이 상이할 때 낮은 게이트 전압에서 영역별로 크게 다르다. 또, 9식 전압파라미터 $V_{z,i}$ 는 보통 $-V_{fb} - 2\phi_f$ 로 알려져 있지만, 유효전계의 세기를 정의하는 일차원 근사접근법이 공핍층전하의 공유효과가 큰 short 채널 소자에서는 적용의 제한성을 갖게되므로 파라미터로 취급될 수 있다^[16]. 따라서 본 연구의 계산에서도 charge sharing 효과가 큰 halo 영역의 $V_{z,i}$ 는 포켓이온이 주

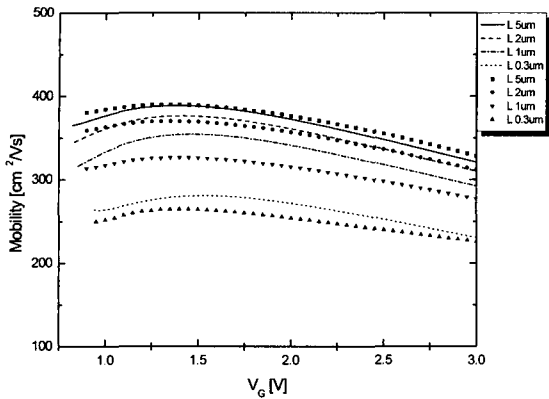


그림 6. 여러 유효 게이트길이의 MOSFET 소자에서 11 식으로 해석되는 이동도의 게이트바이어스에 대한 특성. 실선 및 각 점선은 영역별 문턱전압이 상이한 효과가 고려된 이동도의 해석결과를 나타내고, 여러 기호의 점들은 실험특성이다.

Fig. 6. Mobility characteristics with gate bias for various effective gate lengths using the presented analytical model 11. Solid and various lines represent the presented analytical model and various symbol dots for experiments.

입되지 않은 영역의 $V_{z,2} \approx -V_{fb} - 2\phi_f$ 와 상이하다.

그림 6에서는 $V_{z,1} = V_{z,3} = 0.6 V$ 와 $V_{z,2} = 0.3 V$ 의 값을 써서 11식의 모델 식을 계산하였다. 그림 6의 이동도특성은 본 연구에서 제시한 이동도의 해석모델이 실험적인 특성과 근사함을 보여주고 있다. 유효게이트의 길이가 $L = 1.0 \mu m$ 인 소자에서는 유효이동도의 이론값이 측정값에 비해 최대 10%의 오차를 갖는 영역이 있지만, 본 연구에서 사용한 여러 파라미터의 수치변경으로 오차가 작아질 수 있으며, 기존의 포켓이온이 주입된 소자의 이동도 특성 모델에 비추어 본 연구의 해석이 실험적인 특성을 반영하고 있음을 알 수 있다.

IV. 결 론

포켓이온이 주입된 MOSFET 소자는 이온주입 조건에 따라서 소자의 문턱전압이 게이트 바이어스전압에 의존하는 정도가 다르게 된다. 포켓이온이 주입된 MOSFET의 문턱전압과 유효이동도를 드레인 전류로부터 정의하여 영역구분 근사방법으로 유효이동도의 특성을 비교적 간단한 모델식으로 정리하여 해석하였다. 포켓이온의 주입에 의한 쿨롱산란율의 증가뿐 아니라, 포논산란 및 표면산란율의 증가에 의한 이동도 감소가 포켓이온주입에 의해 유발될 수 있음이 확인되었다. 본

연구의 시료소자와 같은 포켓이온주입 조건에서는 문턱전압의 게이트전압 의존도가 크며, 이 경우에는 각 산란을 증가에 따른 이동도감소에 채널전자의 분포효과가 중첩되어 추가적인 이동도 감소가 유발됨이 분석되었다. 본 연구의 해석적 모델은 시료소자의 이동도특성과 매우 유사한 결과를 보여주고 있으며 기존의 해석결과를 포함하므로 본 연구의 이동도 해석모델은 이동도의 특성분석에 대한 일반적인 해석으로 볼 수 있다.

참 고 문 헌

- [1] B. Yu, C. H. Wann, E. D. Nowak, K. Noda, and C. Hu, "Short Channel Effect Improved by Lateral Channel Engineering in Deep-Submicrometer MOSFETs," *IEEE Trans. on Elec. Dev.*, TED44, pp. 627-633, 1997.
- [2] R. Gwoziecki, T. Skotnicki, P. Bouillon, and P. Gentil, "Optimization of V_{th} Roll-off in MOSFETs with Advanced Channel Architecture -Retrograde Doping and Pockets," *IEEE Trans. on Elec. Dev.*, TED 46, pp. 1551-1561, 1999.
- [3] N. Miura, Y. Abe, K. Sugihara, T. Oishi, T. Furukawa, T. Nakahata, K. Shiozawa, S. Maruno, and Y. Tokuda, "Junction Capacitance Reduction due to Self-Aligned Pocket Implantation in Elevated Source/Drain NMOSFETs," *IEEE Trans. on Elec. Dev.*, TED 48, pp. 1969-1974, 2001.
- [4] R. Rios, W-K. Shih, A. Shah, S. Mudanai, P. Packan, T. Sandford, and K. Mistry, "A Three-Transistor Threshold Voltage Model for Halo Processes," *IEDM Tech. Dig.*, pp. 113-116, 2002.
- [5] Hoewoo Koo, Kieyoung Lee, Kyungho Lee, T. A. Fjeldly, and M. S. Shur, "Analysis of the Anomalous Drain Current Characteristics of Halo MOSFETs," *Solid State Electron.*, 47, pp 99-106, 2003.
- [6] K. M. Cao, W. Liu, X. Jin, K. Green, J. Krick, T. Vrotsos, and C. Hu, "Modeling of Pocket Implanted MOSFETs for Anomalous Analog Behavior," *IEDM Tech. Dig.* pp 171-174, 1999.
- [7] P. Klein and S. Chladek, "A New Mobility Model for Pocket Implanted Quarter Micron n-MOSFETs and Below," *Electronics, Circuits and Systems*, 2001. ICECS 2001, pp. 1587-1590, 2001.
- [8] F. Babarada, M. D. Profirescu, A. Rusu, "MOSFET Mobility Degradation Modeling," *Semiconductor Conf. CAS 2003*, pp. 301-304, 2003.

- [9] C. Yue, V. M. Agostinelli, Jr., G. M. Yeric, Al F. Tasch, "Improved Universal MOSFET Electron Mobility Degradation Models for Circuit Simulation," IEEE Trans. Computer-Aided Design, 12, pp. 1542-1546, 1993.
- [10] S. Villa, A. L. Lacaita, L. M. Perron, and R. Bez, "A Physically-Based Model of the Effective Mobility in Heavily-Doped n-MOSFET's," IEEE Trans. on Elec. Dev., TED 45, pp. 110-115, 1998.
- [11] F. Gamiz, J. A. Lopez-Villanueva, J. Banqueri, and J. e. Carceller, "Influence of the Oxide-Charge Distribution Profile on Electron Mobility in MOSFET's," IEEE Trans. on Elec. Dev., ED-42, pp. 999-1004, 1995.
- [12] W. Liu, *MOSFET Models for SPICE Simulation including BSIM3v3 and BSIM4*, JohnWiley & Sons, 2001.
- [13] K. Romanjek, F. Andrieu, T. Ernst, and G. Ghibaudo, "Improved Split C-V Method for Effective Mobility Extraction in Sub-0.1-um Si MOSFETs," IEEE Electron Device Lett., vol. 25, pp. 583-585, 2004.
- [14] Y. Tsvividis, *Operation and Modeling of the MOS Transistor*, 2nd Edns., McGraw-Hill, p. 184, 1999.
- [15] Y. Taur and T. H. Ning, *Fundamentals of Modern VLSI Devices*, Cambridge Univ., 1998.
- [16] R. S. Muller and T. I. Karmins with M. Chan, *Device Electronics for Integrated Circuits*, 3rd Edns., John Wiely & Sons, p. 454, 2003.

 저 자 소 개

이 병 헌(학생회원)

이 기 영(정회원)

제 41권 SD편 제 3호 참조

 제41권 SD편 제3호 참조
 현재 충북대학교 전기전자컴퓨터공학부 교수