

DFT 연산 FPGA 모듈에 기반한 위상 측정 알고리즘의 구현

論 文

54D-3-9

FPGA Implementation of Recursive DFT based Phase Measurement Algorithm

安炳善* · 金炳一** · 張泰奎†

(Byoung-Sun Ahn · Byoung-Il Kim · Tae-Gyu Chang)

Abstract - This paper proposes a phase measurement algorithm which is based on the recursive implementation of sliding-DFT. The proposed algorithm is designed to have a robust behavior against the erroneous factors of frequency drift, additive noise, and twiddle factor approximation. Four channel power-line phase measurement system is also designed and implemented based on the time-multiplexed sharing architecture of the proposed algorithm. The proposed algorithm's features of phase measurement accuracy and its robustness against the finite wordlength effects can provide a significant impact especially for the ASIC or microprocessor based embedded system applications where the enhanced processing speed and implementation simplicity are crucial design considerations.

Key Words : Sliding-DFT, 위상측정, 유한비트근사, 위상 오차, FPGA

1. 서 론

본 논문에서는 단일 톤 신호의 위상측정에 적합한 순환형 sliding-DFT기법을 제안하였다. 제안한 수정된 sliding-DFT 알고리즘은 순환구조에 있어서 N 포인트 DFT 계수 모두를 사용함으로써 오차 누적을 현저하게 줄였다. 또한, 제안한 알고리즘을 유한 비트 근사 계수로 구현함으로써 얻어지는 페이저 측정값에 있어서 위상 오차는 크기 오차에 비해 훨씬 작은 값을 가짐을 알 수 있었다. 제안한 알고리즘의 강인성은 유한 비트 근사 구현에 의해 발생하는 성능 열화를 반영하는 close-form으로 유도된 식에 의해 해석적으로 증명되었다. 제안한 알고리즘을 FPGA를 이용한 하드웨어에 게이트 소요량을 최소화 할 수 있는 형태로 구현하였으며 주파수 변이, 누적 잡음과 계수의 유한 비트 근사 등에 대한 오차 영향에 강인한 위상 측정 결과를 확인하였다.

2. 위상 측정 알고리즘

단일 톤 신호의 phasor는 샘플링 주파수가 단일 톤 주파수의 정수 M배이고 DFT 구간 길이 N이 이라는 가정아래 신호의 DFT 성분 중 l번째 bin 주파수 성분으로 얻을 수 있다. 이는 DFT를 설명하는 다음 식 (1)과 (2)가 각각 샘플링된 이산신호, $x(n)$ 과 l번째 bin 주파수 성분, $X_l(n)$ 에 대하여

설명해준다.

$$x(n) = \frac{X}{2} \left(e^{j\left(\frac{2\pi}{M}n + \phi\right)} + e^{-j\left(\frac{2\pi}{M}n + \phi\right)} \right) \quad (1)$$

$$X_l(n) = \sum_{m=n-N+1}^n x(m) W_N^{-ln} \quad (2)$$

위상 측정을 위한 순환 sliding DFT 알고리즘은 식 (2)를 사용하여 $X_l(n)$ 과 $X_l(n-1)$ 의 관계로부터 얻을 수 있다. 이러한 순환 sliding DFT 알고리즘을 다음 식 (3)에 나타내었다.

$$X_l(n) = W_N^l \{ X_l(n-1) + x(n) - x(n-N) \} \quad (3)$$

where, $W_N = \exp[j2\pi/N]$

식 (3)의 알고리즘은 N-point DFT의 계수 N개들 중 단지 한 개의 계수만을 사용하고 순환 과정을 거치게 됨으로써 N개의 계수가 적용되는 효과를 얻는다. 그러나 이 계수를 유한 비트로 근사하여 구현할 경우, 순환 과정을 통하여 근사되는 다른 DFT 계수들은 심각한 누적 오차를 겪게 된다. 또한 DFT 블록이 sliding 함에 따라서 페이지는 매번 반시계 방향으로 $2\pi/N$ 만큼씩 돌아가는 형태로 나타나게 된다. 따라서 본 논문에서는 순환 과정에 따른 계수의 누적 오차에 강인하면서 블록의 sliding에 따른 회전 위상을 보정하는 알고리즘을 다음과 같이 설계하였다.

회전 위상을 보정하며 실시간으로 정확한 위상을 측정하기 위해 매 블록에 대해 $2\pi/N$ 만큼을 보정해 주어야 하므로 $X_p(n) = X_l(n) W_N^{-n}$ 을 위의 식 (3)에 적용하면 다음 식 (4)와 같다.

† 교신저자, 正會員 : 中央大學校 電子電氣工學部 教授

E-mail : tgchang@cau.ac.kr

* 學生會員 : 中央大學校 電子電氣工學部 博士課程

** 學生會員 : 中央大學校 電子電氣工學部 博士課程

接受日字 : 2004年 11月 16日

最終完了 : 2005年 1月 7日

$$X_p(n) = X_p(n-1) + \hat{W}_N^{-ln} \cdot \{x(n) - x(n-N)\} \quad (4)$$

제안한 위상 측정 알고리즘은 기존 알고리즘에서 요구하는 연산부담은 같으나, N개의 DFT 계수를 사용하여 기존 알고리즘의 단일 계수 사용에 따른 심각한 오차의 누적을 개선하였다. 또한 DFT 윈도우의 이동에 따라 위상이 회전을 보상하여 정밀한 실시간 위상 측정에 적합하도록 하였다.

3. 구현한 알고리즘의 오차영향 해석

본 논문에서 제안한 위상 측정 기법에 대한 계수 근사 영향을 해석하기 위해 계수 근사를 적용하면 식 (4)로부터 식 (5)과 같이 비순환 누적형태로 나타낼 수 있다.

$$\hat{X}_p(n) = \sum_{m=0}^n \hat{W}_N^{-lm} u(m) \quad (5)$$

where, $u(n) = x(n) - x(n-N)$

식의 일반성을 유지하면서 식 (5)의 l 을 1로 할 때, 페이지 $\hat{X}_p(n)$ 는 두 이산신호 \hat{W}_N^{-n} 과 $u(n)$ 의 곱에 대한 누적으로 해석할 수 있다. 입력에 Δf 의 위상 변이가 존재하면 N 샘플 떨어진 입력의 차이신호 $u(n)$ 은 $f + \Delta f$ 의 주파수를 가진다. 참값의 계수항, \hat{W}_N^{-n} 는 단일 톤 성분인 반면, 근사된 계수항, \hat{W}_N^{-n} 은 식 (6)과 같이 첫째 및 셋째 harmonic의 합으로 근사할 수 있다.

$$\hat{W}_N^{-n} = \frac{w_{N-1}}{N} e^{-j\frac{2\pi f}{T}n} + \frac{w_3}{N} e^{j\frac{2\pi 3f}{T}n} \quad (6)$$

식 (5)의 $\hat{X}_p(n)$ 는 $f + \Delta f$ 의 주파수를 가진 단일 톤 신호, $u(n)$ 과 $f, 3f$ 성분을 가진 계수 신호, \hat{W}_N^{-n} 을 곱하고 누적한 것이다. 두 성분의 곱에서 주파수 합으로 나타나는 고주파 항들은 그 크기가 주파수에 반비례하므로 근사화 생략이 가능하다. 따라서 식 (6)과 U(n)의 곱을 통해 식(5)는 식 (7)과 같이 참값의 계수성분에 의해 얻어지는 항과 계수 근사에 의해 얻어지는 항으로 나타낼 수 있다.

식 (7)을 통해 최대 위상 오차는 식 (8)과 같이 Δf 성분에 대한 $2f - \Delta f$ 성분의 크기 비의 역 tangent로 얻을 수 있다. Harmonic 크기 비는 근사 비트에 따른 비로 식 (8)에서와 같이 근사 비트와 주파수 변이로 나타낼 수 있다. 그러므로 제안된 위상 측정 알고리즘은 유한비트 근사에 의한 오차 영향에 강한 특성을 갖는다.

$$X(n) = \frac{1}{2\pi} \frac{1}{N} \left(\frac{w_{N-1}}{\Delta f} e^{-j\frac{2\pi \Delta f}{T}n} + \frac{w_{N-1}}{2f + \Delta f} e^{-j\frac{2\pi(2f + \Delta f)}{T}n} + \frac{w_3}{2f - \Delta f} e^{-j\frac{2\pi(2f - \Delta f)}{T}n} \right) \quad (7)$$

$$\hat{\theta}_{error} = \tan^{-1} \left(\frac{w_3}{w_{-1}} \frac{\Delta f}{2f} \left(\frac{2f + \Delta f}{2f - \Delta f} \right) \right) \approx \frac{2^{-bu-1/2}}{1 - 2^{-bu-1/2}} \frac{\Delta f}{2f} \left(\frac{2f + \Delta f}{2f - \Delta f} \right) \quad (8)$$

4. 시뮬레이션과 4채널 위상측정 시스템의 FPGA 구현

4.1 시뮬레이션

시뮬레이션은 제안한 알고리즘의 계수의 유한 비트 근사 영향에 대한 강인성을 증명하기 위해 실행되었다. 실제 응용에서 오차의 주된 원인인 주파수 변이, 누적 잡음, 그리고 계수 근사의 오차영향이 시뮬레이션에 포함되었다.

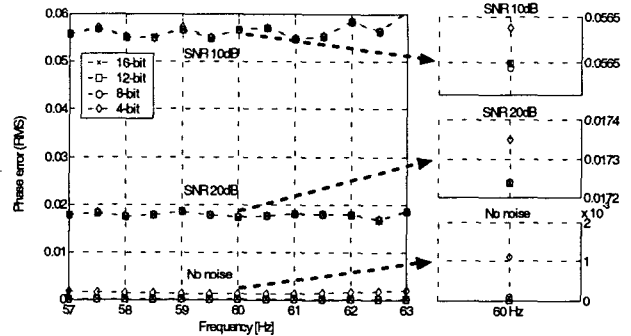


그림 1. 서로 다른 비트 수와 잡음 레벨, 주파수 변이에 대한 시뮬레이션 결과

Fig. 1. Summary of phase measurement errors simulated by varying twiddle factor bit length, noise level, and frequency deviation

표적 입력은 60Hz의 전력 시스템 버스 전압이며 DFT 블록 샘플수는 32개, 샘플링주파수는 입력의 32배인 1.92kHz로 하였다. 시뮬레이션에 반영된 주파수 변이의 범위는 3Hz이며, 이것은 작은 fractional Hz보다 낮은 nominal 동작 범위에 포함될 만큼 충분히 넓다. 제안한 위상 측정 알고리즘에서 계수의 유한비트 근사에 의한 영향은 4~16의 표현 비트 수를 변화해 가면서 시뮬레이션을 수행하였다. 제안한 알고리즘의 출력에서 잡음의 영향을 연구하기 위해 -10dB와 -20dB의 누적 잡음을 가지고 입력 톤 신호에 가하였다.

주파수 변이, 누적잡음 그리고 계수 근사 비트수의 변화에 따른 시뮬레이션 결과를 그림 1에 나타내었다. DFT 계수의 근사에 따른 측정위상 오차는 근사하지 않은 경우와 거의 구별할 수 없을 정도로 매우 작다는 것을 그림 1의 결과를 통해 확인하였다. 또한 순환 sliding DFT의 잡음에 대한 위상 오차는 잡음전력과 DFT 샘플수 비의 제곱근으로 나타나는 특성을 확인하였다. 즉, -20dB와 -10dB의 잡음에 대해 위상 오차는 각각 $\sqrt{(0.01/32)} = 0.0176$, $\sqrt{(0.1/32)} = 0.055$ 에 근접하여 산출되었다. DFT 계수의 각 근사 비트수별 측정위상 오차는 하나의 선으로 묶여 보일 정도로 거의 구별할 수 없을 만큼 차이가 작다는 것알 수 있다. 이는 제안한 위상 측정 알고리즘이 유한 비트 구현에 따른 오차누적에 대한 강인성을 가지고 있음을 확인하는 결과라 하겠다.

4.2 4채널 위상 측정 시스템의 FPGA 구현

순환형 sliding-DFT기반의 다채널 페이지 연산 FPGA 하드웨어를 공통적으로 사용되는 연산 모듈 중에 게이트의 소요량이 큰 곱셈기를 시간 구간별로 공유하여 구현에 필요한 게이트를 최소화할 수 있는 구조로 구현하였다. 다채널 위상 측정 장치 H/W는 각 채널별 요구되는 동일한 페이지 계산구조를 정확한 타이밍을 이용하여 동일한 SDFT 계산구조를 공유함으로써 순차적으로 채널별 출력 결과를 얻고 이를 각

각 더하는 순차 구현 방식을 적용하였다.

그림 2는 순환 sliding DFT 기반의 4채널 위상 연산 장치를 FPGA로 구현한 기능블록도를 나타내었다. 각 채널의 입력력은 60Hz의 전력 시스템버스 전압이며 샘플링 주파수는 입력력의 32배인 1.92kHz이다. 곱셈기를 공유하여 4채널 입력을 32샘플 DFT 처리하기 위해 전체 시스템의 클럭은 $1.92 \times 4 \times 32 = 245.76\text{kHz}$ 를 사용한다. 유한 비트로 근사화된 DFT 계수는 클럭의 4사이클마다 한번씩 look-up table에서 참조하여 곱셈기에 입력된다. 곱셈기는 실수 및 허수를 처리하기 위해 두개로 구현하였다.

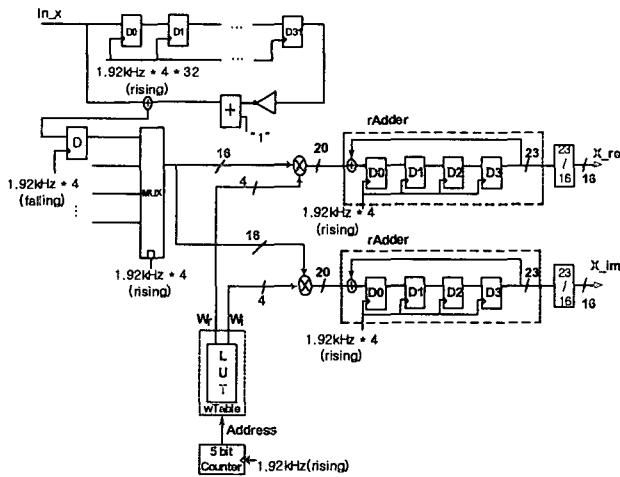


그림 2. 4채널 위상 연산 장치의 functional block diagram
 Fig. 2. The functional block diagram of 4-channel phase measurement system.

5. 결 론

본 논문에서는 sliding-DFT의 순환 구현에 기반한 단일 톤 신호의 위상 추정 알고리즘을 제안하였다. 제안한 알고리즘은 주파수 변이, 누적 잡음, 계수의 유한비트근사 영향에 강인한 특성을 갖는다. 오차영향에 강인한 특성은 해석식과 컴퓨터 시뮬레이션에 의해 검증하였다. 또한 FPGA 시스템에 제안한 알고리즘을 구현하였다.

제안한 알고리즘의 정확한 위상추정 특성과 계수의 유한비트근사 영향에 강인한 특성은 빠른 처리 속도와 간소한 구현이 주요한 설계 고려사항인 ASIC이나 microprocessor에 기반한 embedded system의 응용에 있어 중요한 효과를 제공한다.

감사의 글

본 논문은 과학재단 지정 명지대학교 차세대 전력기술연구센터의 지원에 의해 수행한 연구내용입니다.

참 고 문 헌

- [1] Jae-Hwa Kim, and Tae-Gye Chang, "analytic Derivation of Finite Wordlength Effect of the Twiddle factors in Recursive Implementation of the Sliding-DFT," IEEE Trans. on Signal Processing, Vol. 48, pp.1485-1488, May 2000.
- [2] C. T. Nguyen and K. Srinivasan, "A New Technique for Rapid Tracking of Frequency Deviation Based on the Level Crossing," IEEE Trans. On Power Apparatus and Systems, Vol. PAS-103, no.3, pp. 2230-2236 Aug, 1984.
- [3] M. S. Sachdev and M. M. Giray, "A Least Square Technique For Determining Power System Frequency," IEEE Trans. On Power Apparatus and Systems, Vol. PAS- 104, no. 2, pp.437-443, Feb 1985.
- [4] V. V. Terzija, M. B. Djuric, and B. D. Kovacevic, "Voltage Phasor and Local System Frequency Estimation Using Newton Type Algorithm," IEEE Trans. On Power Delivery., Vol. 9 no. 3, pp. 1368-1374, July 1994.