

Pipelined A/D Converter with Multiple S/H Stage Structure

趙 成 翊[†]
(Seong-Ik Cho)

Abstract - In this paper, the pipelined A/D converter with multi S/H stage structure is proposed for high resolution and high-speed data conversion rate. In order to improve a resolution and operational speed, the proposed structure increased the sampling time that is sampled input signal. In order to verify the operation characteristics, 20MS/s pipelined A/D converter is designed with two S/H stage. The simulation result shows that INL and DNL are 0.52LSB ~ -0.63LSB and 0.53LSB ~ -0.56LSB, respectively. Also, the designed Analog-to-Digital converter has the SNR of 43dB and power consumption is 18.5mW.

Key Words : Pipelined ADC, ADC, S/H, multiple S/H

1. 서 론

최근 멀티미디어 및 통신 시스템의 급속한 발전에 따라 비용 절감과 성능 향상을 위해 디지털 회로와 아날로그 회로를 동일 칩 상에 집적화 하는 추세이다. 이러한 시스템의 전단부에서 아날로그 신호를 디지털 신호로 변환하는 A/D 변환기는 높은 동작속도와 더불어 고해상도 특성이 요구되어지고 있다. 고해상도를 얻기 위한 데이터 변환 방법으로 시그마-델타(sigma-delta) 방식과 나이퀴스트(nyquist) 방식을 이용한 A/D 변환기가 사용되고 있다. 시그마-델타 방식의 A/D 변환기는 고해상도를 얻을 수 있지만 동작속도가 느린 단점을 가지고 있다. 나이퀴스트 방식을 이용한 방법에는 flash, interpolating A/D 변환기등 여러 가지 형태가 있지만 파이프라인 A/D 변환기는 고해상도 특성과 높은 동작 속도를 얻을 수 있고, 상대적으로 적은 칩 면적과 낮은 소비전력 특성을 갖는 장점을 가지고 있어 널리 사용되고 있다[1-10]. 이러한 파이프라인 A/D 변환기는 S/H단, MDAC (Multiplying Digital-to-Analog Converter), FADC(Flash Analog-to-Digital Converter) 블록으로 구성되고, 입력신호를 Sample&Hold 하는 S/H단에 의하여 해상도 및 동작 속도가 제한을 받게 된다[11].

본 논문에서는 일반적인 파이프라인 A/D 변환기의 동작 속도 및 해상도를 향상시키기 위하여 여러 개의 S/H단을 갖는 새로운 파이프라인 A/D 변환기를 제안하였다. 제안된 구조는 t_s 샘플링 시간을 갖는 S/H단을 N개로 구성하여 샘플링 시간을 $N \cdot t_s$ 로 증가시켜 S/H단에서 발생하는 샘플링

에러에 의한 A/D 변환기의 해상도 및 동작속도를 향상시킬 수 있도록 하였다. 또한 제안한 구조의 동작속도 특성을 확인하기 위하여 2개의 S/H단으로 구성된 20MS/s 파이프라인 A/D 변환기를 설계하였다

2. 새로운 파이프라인 구조 및 동작원리

일반적인 파이프라인 A/D 변환기는 그림 1과 같이 1개의 S/H단, FADC 및 MDAC으로 구성되며, 입력 신호를 Sample&Hold 하는 S/H단은 가장 높은 정밀도를 갖도록 설계되어야 한다[12].

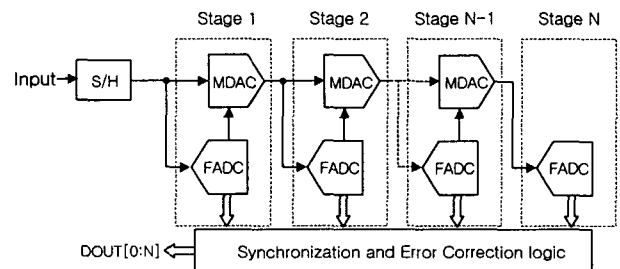


그림 1. 일반적인 파이프라인 아날로그 디지털 변환기 블록도
Fig. 1 Block diagram of general pipelined A/D converter

S/H단은 일반적으로 캐환 구조를 가지는 SC(Switched Capacitor) 회로를 사용하므로 연산증폭기의 비이상성과 스위처에서 발생하는 clock feedthrough나 charge injection에 의해 파이프라인 A/D 변환기의 해상도 및 동작속도가 제한된다[13,14].

특히 고속의 데이터 처리가 요구되는 응용 분야에서, 이

[†] 교신저자, 正 會 員 : 全北大學 電子情報 工學部 專任講師

E-mail : sicho@chonbuk.ac.kr

接受日字 : 2004年 11月 29日

最終完了 : 2005年 1月 17日

러한 S/H 블록의 문제점은 고속, 고해상도 A/D 변환기 설계에 어려움으로 작용한다. 이러한 문제점을 해결하기 위해서는 연산증폭기의 성능향상이 필요하지만, 높은 동작 주파수가 요구되는 시스템에서 적합한 연산증폭기의 설계는 쉽지 않다. 이러한 문제를 해결하기 위해서 그림 2와 같은 병렬 구조의 파이프라인 A/D 변환기가 제안되었다

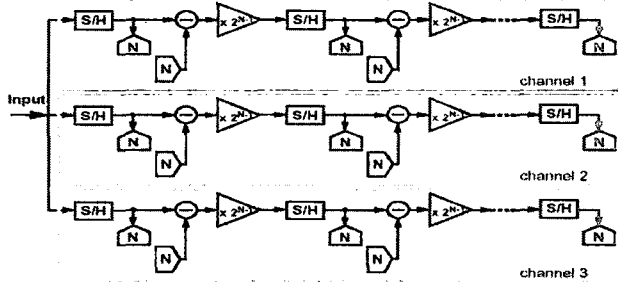


그림 2. 병렬 파이프라인 아날로그 디지털 변환기 블록도
Fig. 2 Block diagram of parallel pipelined A/D converter

병렬구조의 파이프라인 A/D 변환기는 기존의 파이프라인 A/D 변환기를 여러 개의 채널로 구성하여 시간차를 두어 동작 시키므로 기존 구조에 비하여 채널 숫자에 비례한 변환 속도를 얻을 수 있으며, S/H 설계에 완화를 얻을 수 있지만, 실제 회로를 설계할 경우 채널수에 비례하여 칩 면적 및 소비전력이 증가한다. 또한 전체적인 해상도와 직결된 채널간의 매칭 문제는 해상도를 제한하는 가장 큰 요인으로 작용한다.

따라서 본 논문에서는 파이프라인 A/D 변환기의 해상도 및 동작 속도를 제한하는 S/H 블록의 성능을 개선시키기 위해 time-interleaving 방식을 파이프라인 A/D 변환기의 S/H단에 적용하였다. 제안된 구조는 동일한 주기를 갖는 여러 개의 S/H를 이용하여 기존 파이프라인 방식의 A/D 변환기의 해상도와 동작 속도에 크게 영향을 미치는 S/H단의 정확도 및 샘플링 속도를 향상시킬 수 있도록 하였다. 그림 3은 제안된 여러 개의 S/H 단 구조를 가지는 A/D 변환기의 구조이다.

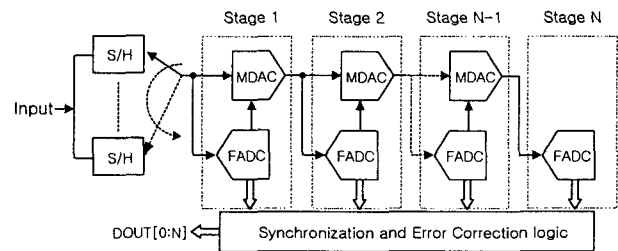
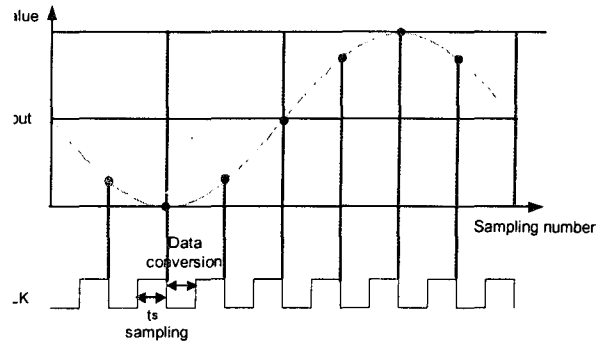
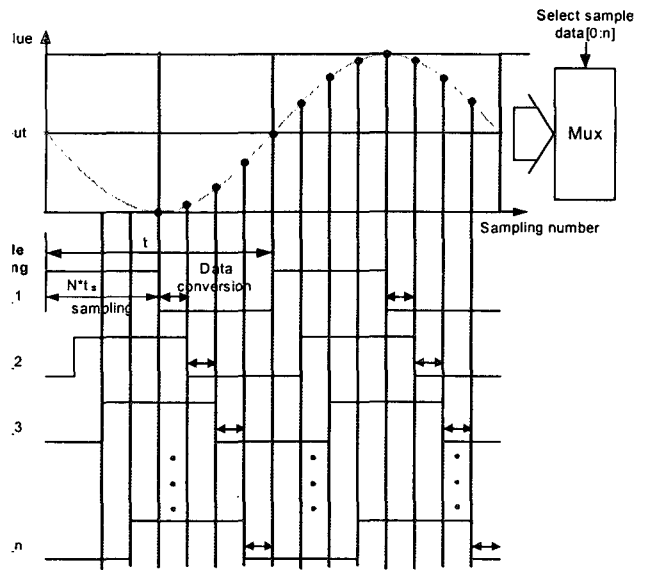


그림 3. 제안된 파이프라인 A/D 변환기 블록도
Fig. 3 Block diagram of proposed pipelined A/D converter

제안된 구조는 N개의 S/H단과 FADC 및 MDAC으로 구성되고, 그림 4와 같이 각각 t_s 만큼 지연된 클럭에 각각의 S/H단이 동작하도록 하여 중첩되지 않는 샘플링과 홀딩 신호를 출력하도록 하였다.



(a) Typical pipelined A/D converter



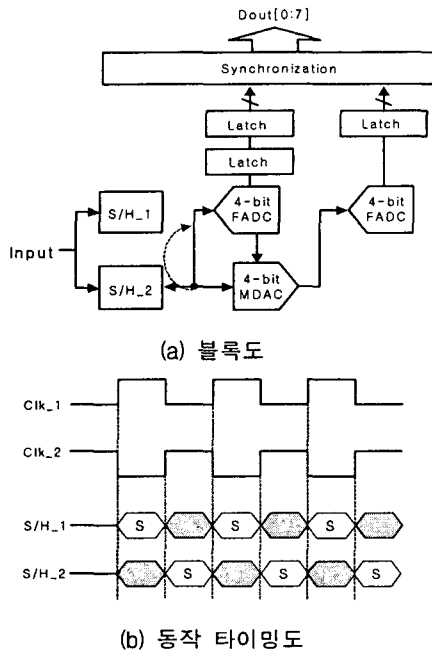
(b) Proposed pipelined A/D converter

그림 4. 입력신호 샘플링과 데이터 변환과정
Fig. 4 Input signal sampling and data conversion process

그림 4에서 입력신호의 샘플링과 데이터 변환동작으로 일반적인 구조와 제한한 구조를 갖는 파이프라인 A/D 변환기를 비교하면, 1개의 S/H단을 갖는 일반구조의 경우 t_s 시간마다 샘플링 하여야 한다. 그러나 S/H단이 여러 개의 구조인 N개를 갖도록 구성하면 t_s 만큼 지연된 클럭을 사용하여 입력신호를 $N \cdot t_s$ 샘플링시간 동안 유지하면서 샘플링하므로 S/H단의 수가 N개 증가하면 $N \cdot t_s$ 배의 샘플링시간의 향상을 얻을 수 있게 된다. 그러므로 일반적인 구조에 비해 충분한 샘플링시간을 확보할 수 있으므로 S/H단의 단점을 완하시킬 수 있다.

3. 제안된 구조를 가지는 파이프라인 A/D 변환기 설계

제안된 구조의 동작특성을 확인하기 위하여 2개의 S/H단, 2개의 4bit FADC 및 2개의 MDAC 그리고 Latch로 구성된 8비트 20MS/s 파이프라인 A/D 변환기의 블록도와 동작 타이밍도는 그림 5와 같다



(a) 블록도

(b) 동작 타이밍도

그림 5. 설계된 8비트 20MS/s 파이프라인 A/D 변환기
Fig. 5 Designed 8-bit 20MS/s pipelined A/D converter

설계된 파이프라인 A/D 변환기는 10MS/s 주기를 갖는 클럭 Clk_1과 180도 지연된 클럭 Clk_2로 입력신호를 샘플링하였다. 이와 같이 샘플링 된 입력신호를 Clk_1, Clk_2 홀드타이밍 마다 A/D 변환하면 20MS/s 데이터변환 동작속도를 가질 수 있다. 설계된 8비트 A/D 변환기의 각 단은 4비트의 해상도를 갖도록 설계 하였으며 전체 해상도인 8비트를 얻기 위해 4-4 구조를 갖도록 설계하였다. 각단의 sub A/D 변환기는 flash 구조를 사용하였으며, D/A변환기, 펄샘기 및 이득단으로 구성된 4비트 MDAC은 커패시터 어레이 방법을 이용하여 구현하였다[15]. 설계된 파이프라인 A/D 변환기는 각 단에서 생성된 전압값이 다음단의 입력으로 사용되므로 마지막 단의 데이터 변환이 이루어진 후 전체 해상도를 얻을 수 있다. 따라서 출력 된 각 단의 데이터를 동기 시켜 최종 데이터 값이 출력될 때까지 지연될 수 있도록 래치회로를 이용하여 타이밍 조정회로를 구성하였다.

4. 시뮬레이션 및 고찰

그림 6는 제안된 구조의 동작을 검증하기 위하여 그림5와 같이 2개의 S/H단으로 구성된 8비트 20MS/s 파이프라인 A/D 변환기를 설계한 후 0.35 μ m CMOS 공정 파라미터를 이용하여 시뮬레이션 한 S/H단의 출력이다. 입력신호는 크기가 1V인 1MHz 정현파를 인가하였고, 20MS/s의 동작 속도를 얻기 위해서 그림 4와 같이 10MS/s 주기를 갖는 클럭 Clk_1, 180도 지연된 클럭 Clk_2로 입력신호를 샘플링 하였다. 그 결과 1 주기에 2번 입력신호를 그림 6과 같이 연속적으로 샘플링 된 값을 얻을 수 있어 S/H단이 정상적으로 동작함을 알 수 있다.

설계된 파이프라인 A/D 변환기의 최종 8비트 특성을 확인하기 위하여 전체 입력 범위인 1V 차동 램프(ramp)신호

를 인가한 후 시뮬레이션을 수행한 결과는 그림 7과 같으며, 최하위 코드를 확대한 결과에서 나타난 것과 같이 50ns간격으로 코드가 출력되어 제안된 구조가 정상적으로 동작함을 알 수 있다.

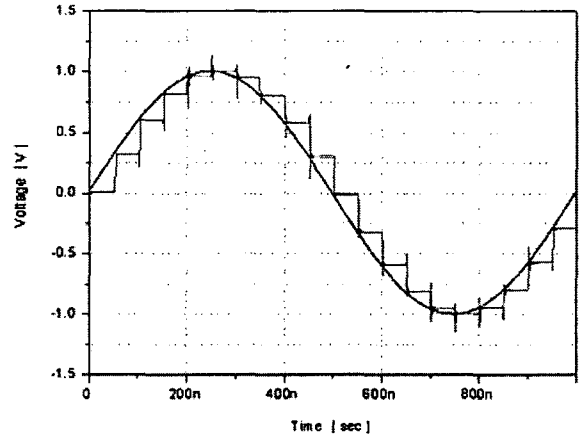


그림 6. S/H단의 출력파형
Fig. 6 Output wave of S/H stage

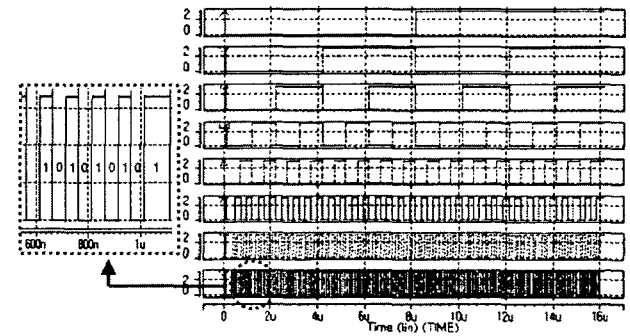
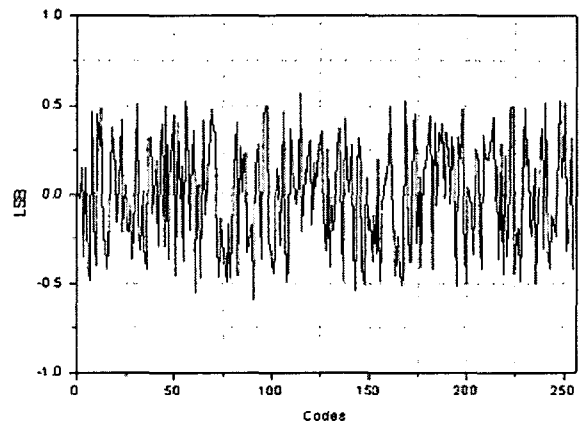


그림 7. 설계된 A/D 변환기의 디지털 출력
Fig. 7 Digital output of designed A/D converter

설계된 A/D 변환기의 INL과 DNL은 그림 8과 같고, DNL은 +0.53LSB~-0.56LSB, INL은 0.52LSB~-0.63LSB의 특성을 나타내었다.



(a) DNL

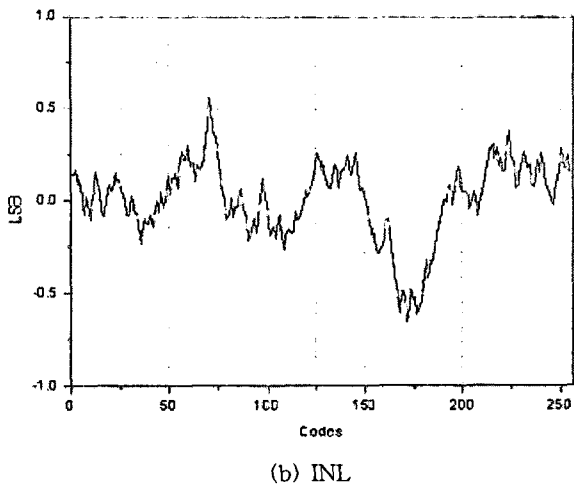


그림 8. 설계된 A/D 변환기의 DNL과 INL
Fig. 8 DNL and INL of designed A/D converter

설계된 A/D 변환기에 대해 256 point의 FFT를 수행한 결과는 그림 9와 같고, SNR은 43dB를 나타내었다.

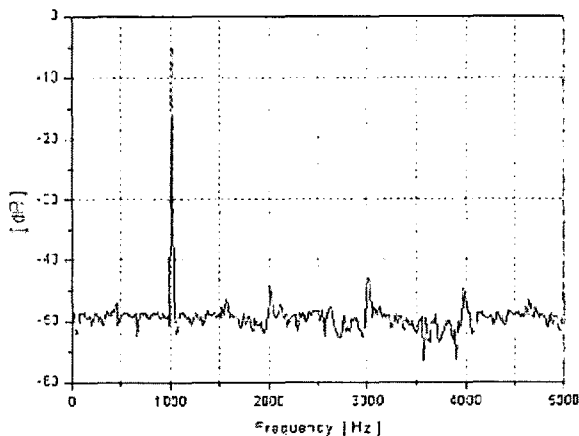


그림 9. 설계된 A/D 변환기의 FFT 결과
Fig. 9 FFT result of designed A/D converter

5. 결 론

본 논문에서는 다양한 통신 및 고속 데이터 변환 분야에서 요구되는 A/D 변환기의 동작속도 및 해상도를 향상시키기 위한 방법으로 여러 개의 S/H단 구조를 갖는 파이프라인 A/D 변환기를 제안하여 입력신호를 샘플링 하는 샘플링 시간을 증가시킬 수 있도록 하였다

S/H단을 N개 갖도록 구성하여 t_s 만큼 지연된 클럭을 사용하면 $N \cdot t_s$ 샘플링 시간을 유지하면서 입력신호를 샘플링 하므로 충분한 샘플링 시간을 확보할 수 있어 S/H단에 의한 고해상도 및 동작속도를 개선할 수 있지만 제안된 구조를 적용하기 위해서는 데이터를 변환하는 FADC 및 MDAC의 동작시간을 고려하여 N을 결정하여야 한다. 제안된 구조

의 동작을 검증하기 위해 2개의 S/H단을 갖도록 설계된 A/D 변환기의 DNL과 INL은 각각 +0.53LSB~-0.56LSB와 0.52LSB~-0.63LSB의 특성을 나타내었으며 43dB의 SNR을 나타내어 8비트의 특성 나타냄을 알 수 있어 설계한 A/D 변환기가 정상적으로 동작함을 확인하였다.

본 논문에서 제안된 구조는 다양한 신호처리분야에 적합한 고속 A/D 변환기 설계에 응용될 수 있을 것으로 사료되고, 앞으로 낮은 샘플링 클럭 주파수로 높은 데이터 변환 동작속도를 얻을 수 있도록 데이터 변환시간을 최적화하는 방법에 대하여 연구되어야 할 것이다.

참 고 문 헌

- [1] Stephen H. Lewis and Paul R. Gray, "A pipelined 5-M Sample/s 9-bit Analog-to-Digital Converter," IEEE journal of Solid-State Circuits, vol 22, no. 6, Dec. 1987.
- [2] M. Ishkiawa and T. Tsukahara, "An 8-bit 50-MHz CMOS subranging A/D converter with pipelined wide-band S/H," IEEE J. Solid-State Circuits, vol. 24, pp. 1485-1491, Dec. 1992.
- [3] Y. Lin, B. Kim, and P. Gray, "A 13-bit 2.5-MHz self-calibrated pipelined A/D converter in 3- μ m CMOS," IEEE J. Solid-State Circuits, vol. 26, no. 4, pp. 628-636, Apr. 1991.
- [4] C. Conroy, D. Cline, and P. Gray, "An 8-b 85-MS/s parallel pipelined A/D converter in 1- μ m CMOS," IEEE J. Solid-State Circuits, vol. 28, pp. 447-454, Apr. 1993.
- [5] Michio Yotsuyanagi, Toshiyuki Etoh, and Kazumi Hirata, "A 10-b 50-MHz pipelined CMOS A/D Converter with S/H," IEEE J. Solid-State Circuits vol. 28 no.3 pp. 292-300, Mar. 1990.
- [6] H. Fiedler, B. Hoeflinger, W. Demmer and P. Draheim, "A 5-bit building block for 20MHz A/D converters," IEEE J. Solid-State Circuits, vol. SC-16, no. 3, pp. 151-155, Sep. 1981.
- [7] D. G. Naim, "A 10-bit, 3V, 100MS/s pipelined ADC," in proc, IEEE Custom Integrated Circuits Conf., pp. 257-260, May 2000.
- [8] Rudy van de Plassche, Integrated Analog-to-Digital and Digital-to-Analog Converters, Kluwer Academic Publishers, 1994.
- [9] S. Sutarja and P. Gray, "A pipelined 13-bit, 250-Ks/s, 5-V analog-to-digital converter," IEEE J. Solid-State Circuits, vol. 23, no. 6, pp. 1316-1323, Dec. 1988.
- [10] M. Yotsuyanagi, T. Etoh, and K. Harata, "A 10-b 30-MHz pipelined CMOS A/D converter with S/H," IEEE J. Solid-State Circuits, vol. 28, pp. 292-300,

Mar. 1993.

- [11] U. Gatti, F. Maloberti, and G. Palmisano, "An Accurate Sample-and-Hold Circuit," *IEEE J. Solid-State Circuits*, vol. SC-27, pp. 120-122, Jan. 1992
- [12] 최희철, 장동영, 이승훈, "고정밀 CMOS Sample-and-Hold 증폭기 설계 기법 및 성능 비교," *대한전자공학회논문지*, 제 33권 A편, 제 6호, pp. 239-247, 1996.
- [13] B. J. Sheu and C. Hu, "Switch-Induced Error Voltage on a Switched-Capacitor," *IEEE J. Solid-State Circuits*, vol. SC-19, pp. 519-525, Aug. 1984.
- [14] J. H. Shieh, M. Patil, and B. J. Sheut, "Measurement and Analysis of Charge Injection in MOS Analog Switches," *IEEE J. Solid-State Circuits*, vol. SC-22, pp. 227-281, Apr. 1987.
- [15] J. Goes, J. Vital, and J. Franca, "A CMOS 4-bit MDAC with Self-Calibrated 14-bit Linearity for High-Resolution Pipelined A/D Converters", *Proc. IEEE CICC'96*, pp. 105-108, May 1996.

저 자 소 개



조 성 익 (趙 成 翊)

1961년 2월 10일생. 1987년 전북대학교 전기공학과 졸업. 1989년 동 대학원 전기공학과 졸업(석사). 1994년 동 대학원 전기공학과 졸업(공학박). 1996년~2004년 하이닉스 반도체 메모리 연구소. 2004년~현재 전북대학교 전자정보 공학부 전임강사.