

논문 2005-42SD-3-6

뉴런 모스 기반의 4치 논리게이트를 이용한 동기식 4치 카운터 설계

(Design of Synchronous Quaternary Counter using Quaternary Logic Gate Based on Neuron-MOS)

최영희*, 윤병희*, 김홍수*

(Young-Hee Choi, Byoung-Hee Yoon, and Heung-Soo Kim)

요약

본 논문에서는 다운 리터럴 회로(DLC)를 이용하여 4치 논리 게이트를 설계하였고, 이들 게이트를 이용하여 동기식 4치 up/down 카운터를 제안하였다. 제안된 카운터는 T-type 4치 플립플롭과 2×1 임계-t 멀티플렉서로 이루어져 있고, T-type 4치 플립플롭은 D-type 4치 플립플롭과 4치 논리 게이트들(모듈러-4 가산 게이트, 4치 인버터, 항등 셀, 4×1 멀티플렉서)로 구성되어 있다. 이 카운터의 모의실험 결과는 10[ns]의 지연시간과 8.48[mW]의 전력소모를 보여준다. 또한 다치논리 회로로 설계된 카운터는 상호결선과 칩 면적의 감소뿐만 아니라 디지털 확장의 용이함의 이점을 가진다.

Abstract

In this paper, quaternary logic gates using Down literal circuit(DLC) has been designed, and then synchronous quaternary up/down counter using those gates has been proposed. The proposed counter consists of T-type quaternary flip flop and 1-of-2 threshold-t MUX, and T-type quaternary flip flop consists of D-type quaternary flip flop and quaternary logic gates(modulo-4 addition gates, quaternary inverter, identity cell, 1-of-4 MUX). The simulation result of this counter show delay time of 10[ns] and power consumption of 8.48[mW]. Also, assigning the designed counter to MVL(Multiple-valued Logic) circuit, it has advantages of the reduced interconnection and chip area as well as easy expansion of digit.

Keywords: MVL, Quaternary, DLC

I. 서론

현재 사용되고 있는 디지털 논리시스템 및 이를 근간으로 하는 컴퓨터 하드웨어 분야는 2진 논리에 기초를 두고 집적회로기술의 비약적인 발전으로 회로의 형태가 VLSI, ULSI화 되어 단일 칩 상에 방대한 양의 회로를 집적할 수 있게 되었다. 이에 따라서 여러 전자 분야에 응용이 가능하고 집적도가 우수한 CMOS공정을 사용하는 주문형 반도체 회로(Application Specific Integrated Circuits : ASIC)에서 아날로그와 디지털 혼성 신호를 구현하는 혼합 신호 집적회로(mixed signal integrated circuit)가 필수 불가결하게 되었다. 그러나 회로가 대형화 될수록 상호결선은 더욱 복잡해지고, 연

산속도의 제한성, 정보전송량의 방대함에 따른 정보전송, 시간지연 및 외부 단자수의 증가로 인한 칩면적의 효율성 저하 및 단자수의 제한 등의 문제점들이 대두되기 시작하였다. 그 해결방안의 하나로 한 개의 단자수와 결선으로 2진 논리보다 더 많은 양의 정보를 처리할 수 있는 다치 논리 이론에 대한 연구가 1970년대 초부터 활발히 진행 중이며 이중 일부는 점차 실용화되고 있는 현실이다.^[1-3]

최근에 다치 논리 회로를 구현하기 위해 CMOS 기술을 많이 이용하고 있으며 그 중에서도 전류모드 방식과 전압모드 방식을 이용하고 있다. 전류모드 방식의 경우에는 다치 레벨을 표현하기 쉽기 때문에 회로 구현이 쉽고 전달지연시간이 거의 없으므로 각 입력에 해당하는 출력을 쉽고 정확하게 얻을 수 있지만 각각의 입력과 내부 회로에서 전류 값에 따라서 구동하기 때문에 대부분 전류원이 회로 내에 필요하게 되고, 실

* 정회원, 인하대학교 전자공학과
(Dept. of Electronics Engineering, InHa University)
접수일자: 2004년10월12일, 수정완료일: 2005년3월2일

제 시스템 내에서 입력 값의 통일이 어렵고, 실제 전압으로 구동하는 시스템에 적합하지 않다. 또한 전압모드 방식의 경우에는 다치 레벨을 표현하기 위해서는 다중 문턱전압이 필요하고 또한 그러한 특성을 가지는 트랜지스터를 제작하는 것이 쉽지 않기 때문에 회로 구현이 어렵고, 또한 발생하는 전달지연시간으로 인해 원하는 출력을 얻을 수도 있다. 그러나 Neuron MOS (ν MOS)의 등장으로 인하여 다치 논리 체계를 일반적인 전압모드 CMOS 기술로 구현하는 것이 용이해졌다.

Neuron MOS는 T. Shibata 와 T. Ohmi의해 최초로 제안되었다.^[4] ν MOS는 하나의 공통게이트에 다수의 입력게이트가 다치 입력 단자로 연결되어 있는 구조로 단순한 스위치의 역할을 하는 MOS에서 입력단자에 걸리는 전압의 합을 사용하여 MOS를 동작시키는 새로운 형태의 다치 소자이다. 한편, J. Shen 등은 2개의 입력게이트를 갖는 N-Channel ν MOS 하나와 2개의 입력게이트를 갖는 P-Channel ν MOS 하나씩을 결합하여 다수의 문턱전압을 갖는 뉴런모스를 이용한 다운 리터럴 회로(Down Literal Circuit : DLC)와 이를 응용한 여러 가지 회로들을 제안하였다.^[5-6] 다운 리터럴 회로는 기준전압의 조건과 입력의 전압레벨에 따라서 출력이 도통/차단되는 특성을 갖는 다치 변수 처리에 적합한 회로이다.

본 논문의 목적은 4차 조합 논리회로 구현을 위한 4차 게이트 회로설계 기법을 제안하고 이들을 이용하여 여러 순차회로들 중의 하나인 카운터 설계하고, 모의실험 결과를 통해서 회로를 검증하는 데 있다.

II. ν MOS와 DLC 회로

본 절에서는 다치 논리 회로 구현에 있어서 적합한 구조를 갖고 있는 ν MOS^[4]와 이를 응용하여 여러 가지 문턱전압 값을 갖는 회로로 구성된 DLC^[6] 회로에 대해서 다룬다.

2.1 뉴런모스(ν MOS)

뉴런모스(ν MOS)는 하나의 공통 게이트와 다수의 입력게이트를 갖는 형태의 트랜지스터로 ν MOS 트랜지스터의 기본구조는 그림 1과 같다. n개의 입력게이트는 커패시턴스 성분을 갖고 플로팅게이트와 병렬로 연결된 구조를 갖는다. 본 논문에서는 뉴런모스의 회로 구현을 위하여 플로팅 게이트를 1차 폴리, 각각의 게

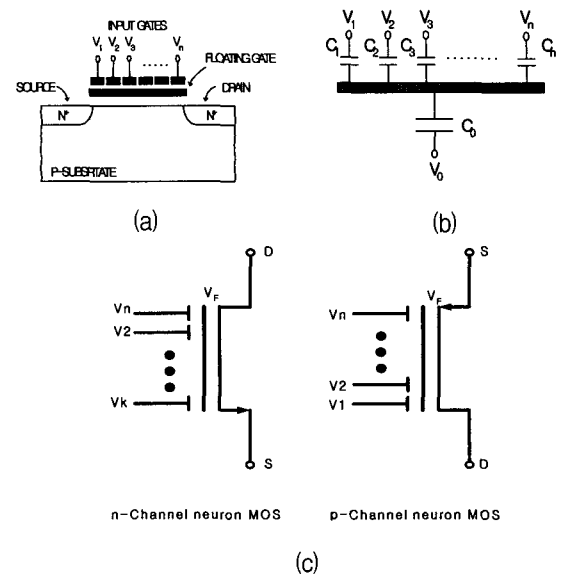


그림 1. (a) 기본적인 ν MOS의 구조
(b) ν MOS의 커패시턴스 모델
(c) ν MOS의 기호

Fig. 1. (a) The basic structure of ν MOS.
(b) Capacitance model of ν MOS.
(c) Symbol of ν MOS.

이트 입력을 2차 폴리로 사용하였다. 일반 CMOS공정 중에서 더블 폴리 공정을 사용하는 Hynix CMOS 0.35 μ m 공정을 사용하여 회로검증을 하였다.

2.2 다운 리터럴 회로 (DLC)

J. Shen 등은 2개의 입력게이트를 갖는 N-channel ν MOS와 2개의 입력게이트를 갖는 P-channel ν MOS를 결합하여 구성한 ν MOS DLC를 제안하였다. 그림 2의 DLC는 다치 논리 회로를 구현하는데 있어서 기본소자로 사용된다. 이 회로는 식 (1)의 수식과 같이 문턱전압 VTC(Circuit threshold voltage)보다 입력이 적을 경우 출력이 출력은 VDD를 출력하며, 그보다 커질 경우 0의 값을 출력한다.

다음 식 (2)는 DLC의 바이어스 전압(V_{b1} , V_{b2})에 변화에 따른 VTC를 결정하는 방정식이다. 식 (1)에서 알 수 있듯이 하나의 구현되어진 회로에서 정해진 입력에 대해 바이어스전압을 달리함으로써 그 회로의 문턱전압을 변화시킬 수 있으며 그에 따라 동일한 회로가 동일한 입력에 대하여 다른 출력 값을 가질 수 있다. 표 1에는 정전압원 제어를 이용하여 3개의 서로 다른 문턱 값을 생성하는 원리를 보였다.

$$D_i(x) = \begin{cases} r-1 & X \leq i \\ 0 & X \geq i+1 \end{cases} \quad (1)$$

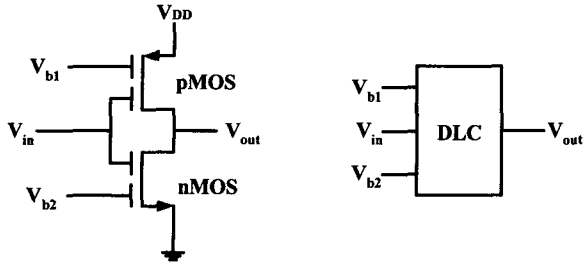


그림 2. 뉴런모스를 이용한 다운 리터럴 회로

Fig. 2. Down Literal Circuit using νMOS.

표 1. 다운리터럴 회로의 바이어스와 문턱전압

Table 1. Threshold voltages of Down Literal Circuit.

$V_{DD} = 3V$	V_{b1}	V_{b2}	$V_{b1} + V_{b2}$	V_{TC}
$D_0(x)$	3V	2V	5V	0.5V
$D_1(x)$	2V	1V	3V	1.5V
$D_2(x)$	1V	0V	1V	2.5V

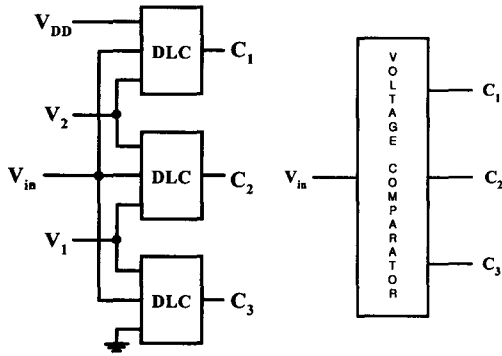


그림 3. DLC를 이용한 전압비교기

Fig. 3. Voltage Comparator using DLC.

표 2. 전압비교기의 진리표

Table 2. Truth table of Voltage comparator.

	C_1	C_2	C_3
$V_0(GND)$	3	3	3
V_1	0	3	3
V_2	0	0	3
$V_3(V_{DD})$	0	0	0

$$V_{TC} = V_{DD} - \frac{V_{b1} + V_{b2}}{2} \quad (2)$$

2.3 전압 비교기

본 논문에서 제안한 논리 게이트들은 DLC로 구성된 전압비교기를 사용하여 설계하였다. 전압비교기는 그림 3과 같다. 전압 비교기는 4치 입력을 3비트의 온도계 코드로 변환시켜주는 역할을 한다. 전압비교기의 진리 표는 표 1과 같다.

III. 4치 논리 게이트

3.1 4치 연산에 대한 정의

4치 연산에는 MIN, MAX, 리터럴 연산과 같은 논리 연산을 사용한다. 본 논문에서는 다음과 같은 리터럴 연산을 정의하였다. 연산자들의 정의는 다음과 같다. [7]

정의 1 : Low-threshold 비교 연산

$$x \underset{t}{\triangleq} \begin{cases} T & (\text{if } x < t) \\ F & (\text{if } x > t) \end{cases} \quad (3)$$

정의 2 : High-threshold 비교 연산

$${}^t x \triangleq \begin{cases} T & (\text{if } x > t) \\ F & (\text{if } x < t) \end{cases} \quad (4)$$

임계값 t는 4치 논리 레벨의 중간값(0.5, 1.5, 2.5)중 하나가 선택되어 진다.

정의 3 : 전달 연산

$$C_i * B \triangleq \begin{cases} C_i & (\text{if } B = T) \\ 0 & (\text{if } B = F) \end{cases} \quad (5)$$

C는 전달원, B는 스위칭 변수라 부른다.

정의 4 : 결합 연산

$$C_i * B_i \# C_j * B_j \triangleq \begin{cases} C_i & \text{if } B_i = T \text{ and } B_j = F \\ C_j & \text{if } B_i = F \text{ and } B_j = T \\ 0 & \text{if } B_i = B_j = F \\ \text{허용안됨} & \text{if } B_i = B_j = T \text{ and } C_i \neq C_j \end{cases} \quad (6)$$

정의 5 : 2진 출력을 갖는 threshold-t에서의 역수

$$\overline{x(t)} \triangleq \begin{cases} T & (\text{if } x < t) \\ F & (\text{if } x > t) \end{cases} \quad (7)$$

이 연산은 뉴런모스 DLC를 사용하여 구성할 수 있다.

정의 6 : 4치에서의 역수

$$\overline{x} \triangleq \begin{cases} 3 & (\text{if } x = 0) \\ 2 & (\text{if } x = 1) \\ 1 & (\text{if } x = 2) \\ 0 & (\text{if } x = 3) \end{cases} \quad (8)$$

정의 7 : Modulo-4 가산

$$x \oplus i \triangleq \text{mod}_4(x \text{ plus } i) \quad (9)$$

정의 8 : 2×1 임계-t 멀티플렉싱

$$f(y_0, y_1; x, t) \triangleq \begin{cases} y_0 & (\text{if } x > t) \\ y_1 & (\text{if } x < t) \end{cases} \quad (10)$$

정의 9 : 4×1 멀티플렉싱

$$f(y_0, y_1, y_2, y_3; x) \triangleq \begin{cases} y_0 & (\text{if } x=0) \\ y_1 & (\text{if } x=1) \\ y_2 & (\text{if } x=2) \\ y_3 & (\text{if } x=3) \end{cases} \quad (11)$$

3.2 기본 회로

3.2.1 바이어스 전압 인버터

바이어스 전압이 가해진 인버터는 그림 4와 같이 일반 인버터와 동일한 구조를 가지지만, 전원으로 V_H 와 V_L 을 가진다. 이 인버터는 입력이 V_{TC} 보다 크면 V_L 을 작으면 V_H 를 출력한다. V_{TC} 는 식 (12)와 같이 구할 수 있다.^[10]

$$V_{TC} = \frac{V_H + V_L}{2} \quad (12)$$

3.2.2 전달 게이트

전달 게이트는 정의 3의 전달연산을 수행하기 위해 필요한 소자이다. 이 소자는 그림 5와 같이 B가 True 일 때 C가 전달되는 n-type과 이와 반대로 B가 False 일 때 C가 전달되는 p-type이 있다.^[14]

3.3 4치 논리 게이트

본 논문에서 제안한 논리 게이트 들은 3.1절의 정의에 따라 설계 되었다. 정의 1에서 정의 4를 기본으로

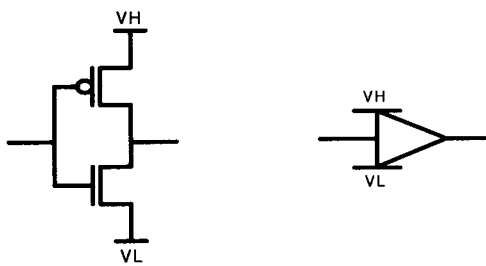


그림 4. Biased 인버터
Fig. 4. Biased inverter.

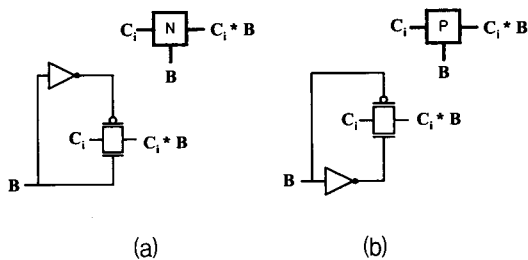


그림 5. 전달 게이트
Fig. 5. Transmission gate.
(a) n-type 게이트 (b) p-type 게이트

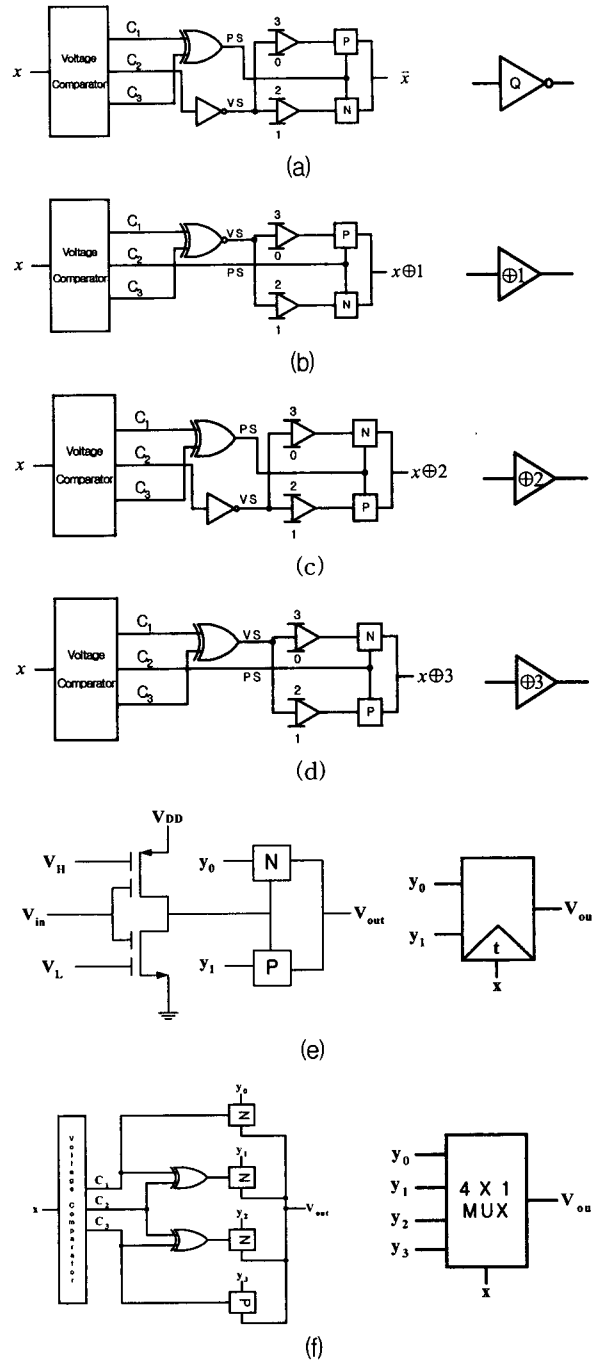


그림 6. 각 정의에 따라 설계된 4치 게이트
(a) 4치 인버터 (정의 6) (b) modulo-4 가산 ($\oplus 1$) (정의 7) (c) modulo-4 가산 ($\oplus 2$) (정의 7) (d) modulo-4 가산 ($\oplus 3$) (정의 7) (e) 2x1 임계-t 멀티플렉서 (정의 8) (f) 4x1 멀티플렉서 (정의 9)

Fig. 6. Designed Quaternary Gates through each definition.
(a) Quaternary inverter (definition 6)
(b) modulo-4 addition ($\oplus 1$) (definition 7)
(c) modulo-4 addition ($\oplus 2$) (definition 7)
(d) modulo-4 addition ($\oplus 3$) (definition 7)
(e) 4x1 threshold-t Multiplexer (definition 8)
(f) 2x1 Multiplexer (definition 9)

하여 나머지 정의들을 만족하는 게이트를 설계하였다. 이들을 그림 6에 보였다

제안된 4치 인버터와 모듈러 연산을 수행하는 게이트 그리고 다음 장에서 소개될 항등 셀은 비슷한 구조로 구성되어 있다. 이들은 4치 신호가 입력되면 전압 비교기를 통해서 온도에 코드를 얻고, 이 신호를 VS(value select)와 PS(Pass select) 신호를 만들어서 출력신호를 제어하게 된다.

2×1 임계-t 멀티플렉서는 DLC의 출력값을 이용하여 y0 값과 y1 값 중에서 하나를 선택하게 되며, 임계값 t는 VH와 VL에 의해 결정된다. 그리고 4×1 멀티플렉서는 전압비교기의 출력 값을 이용하여 4개의 값 중 하나를 선택하게 된다.

IV. 2-디지트 동기식 4치 up/down 카운터

4.1 D-type 4치 플립플롭

그림 7(a)의 항등셀은 버퍼와 같은 역할을 하며, 이 셀에 이진 D 플립플롭을 추가하여 D-type 4치 플립플롭으로 구성하였다. 이 플립플롭을 그림 7(b)에 나타내었다.

4.2 T-type 4치 플립플롭

T-type 4치 플립플롭은 D-type 플립플롭과 4×1 멀티플렉서 그리고 4치 논리 게이트들로 구성되어 있다. 이 플립플롭에 대한 진리표는 표 3에서 나타내었다.

T-type 4치 플립플롭은 Wu가 제안한 JKL Tri-flop이 출력에 의해 다음 출력 값이 결정되는 것과 달리 T

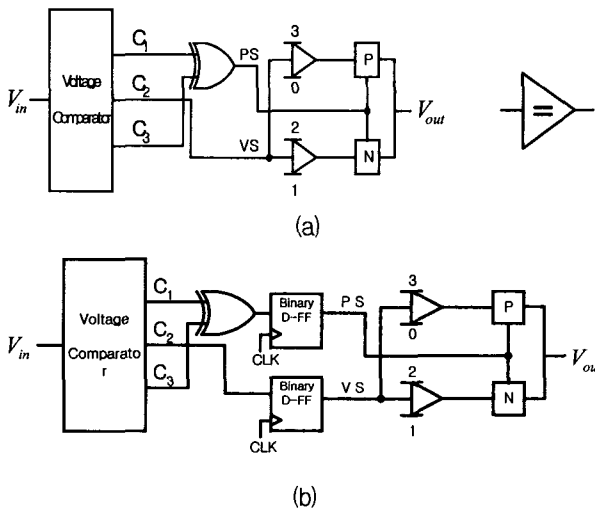


그림 7. (a) 항등 셀 (b) D-type 4치 플립플롭
Fig. 7. (a) Identity Cell (b) D-type quaternary flip-flop.

에 의해 다음 출력 값이 결정된다. JKL Tri-flop은 set(1, 2)과 clear를 위해 3개의 입력 핀을 가지고 있지만, 본 논문에서 제안된 T-type 4치 플립플롭은 set(1, 2, 3)과 clear를 위한 핀 두 개만을 가지고 있다. set이 i이면 출력 값도 i로 고정된다. set은 4치 입력이며, clear은 이진 입력이다. 그림 8에 T-type 4치 플립플롭의 회로를 보였다.

그림 8(a)에서 4×1 멀티플렉서의 입력단의 게이트들

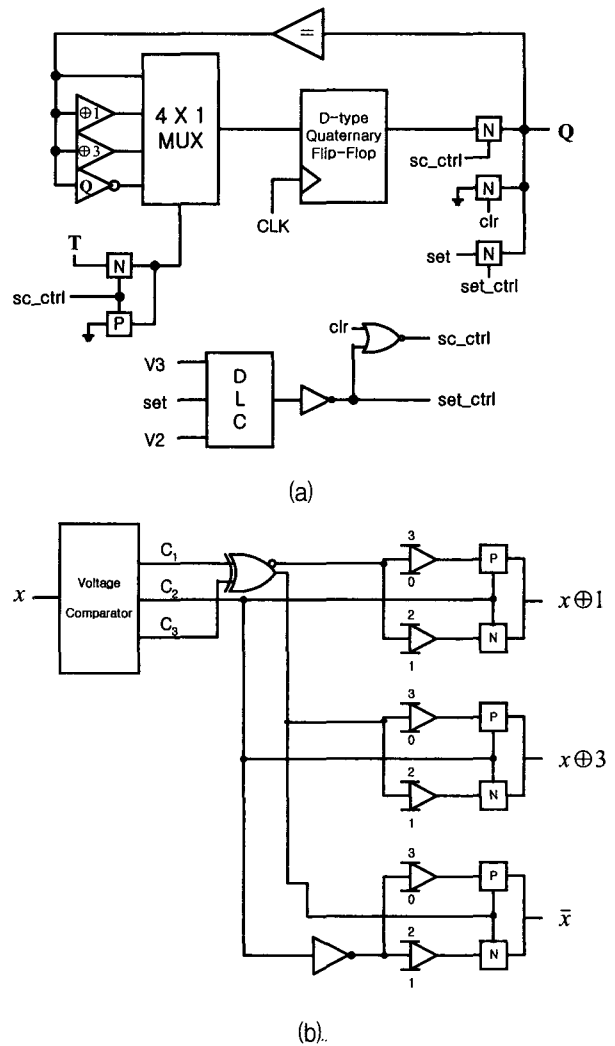


그림 8. (a) T-type 4치 플립플롭 (b) 연산 셀
Fig. 8. (a) T-type quaternary flip-flop (b) Operation cell.

표 3. T-type 4치 플립플롭의 진리표
Table 3. Truth table of T-type Quaternary flip-flop.

T	Q+
0	Q
1	$Q \oplus 1$
2	$Q \oplus 1$
3	\bar{Q}

은 같은 입력을 가지기 때문에 각 게이트의 전압비교기를 하나로 묶을 수 있다. 이를 연산 셀이라 하였고, 이를 그림 8(b)에 나타내었다.

연산 셀에서는 전압 비교기를 하나만 사용하는 것 외에도 EXOR/EXNOR 게이트를 사용하여 불필요한 게이트를 제거하였다.

4.3 동기식 4차 up/down 카운터

그림 9의 블록도는 동기식 4차 up/down 카운터의 구조를 보여주고 있다. set 단자와 출력 Q1, Q2는 4치이며, up/down 단자와 clock, clear는 이진 신호이다. 카운터는, 총 두 개의 블록으로 구성되어 있으며, 각 블록은 각각의 set과 clear 단자를 가지고 있다. up 카운트에서는 Q1이 3에서 0으로 변할 때, down 카운트에서는 Q1이 0에서 3으로 변할 때 Q2가 카운트 되도록 설계하였다. 또한 Q2 블록을 추가로 직렬로 연결하면 디지털의 확장이 가능하다. 확장 방법은 그림 9 (d)에 보였다.

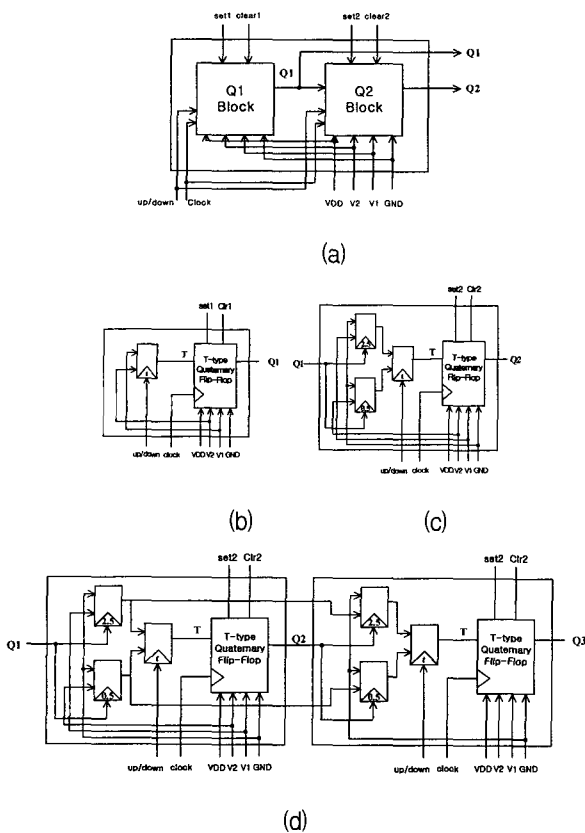


그림 9. (a) 제안된 카운터의 전체 블록도 (b) Q1 블록도 (c) Q2 블록도 (d) 확장방법
 Fig. 9. (a) Total block diagram of the proposed counter. (b) Q1 block diagram (c) Q2 block diagram (d) Expansion method.

V. 모의 실험 결과 및 레이아웃

제안된 회로들은 2-Poly 4-Metal 표준 CMOS 하이닉스 0.35um 공정 파라미터를 사용하여 HSPICE로 모의 실험하였고, 같은 공정에 따라 Cadence를 사용하여 레이아웃 하였다.

5.1 D-type 4차 플립플롭

그림 10(a)에 D-type 4차 플립플롭의 모의실험 결과를 보였다. 결과로부터 이 회로가 1[ns]의 지연시간을 가진다는 것을 알 수 있다. 이 회로의 레이아웃 그림을 그림. 10(b)에 나타내었다.

5.2 T-type 4차 플립플롭

5.2.1 연산 셀

연산 셀의 모의실험 결과 및 레이아웃은 그림 11에 보였다.

5.2.2 T-type 4차 플립플롭

연산 셀을 사용한 T-type 4차 플립플롭을 모의 실험한 결과와 레이아웃을 그림 12에 나타내었다.

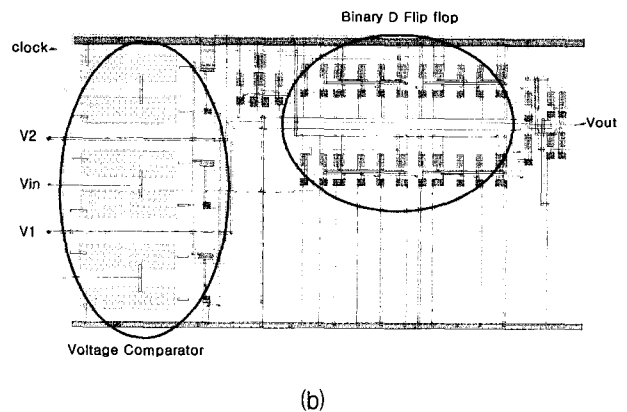
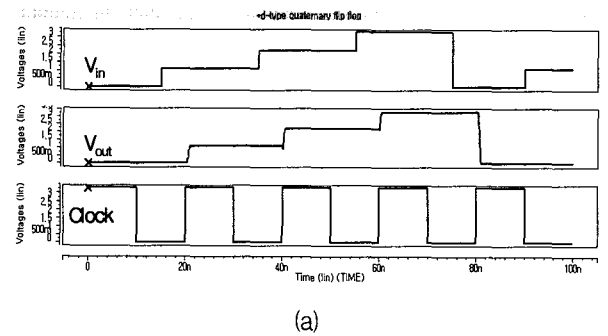
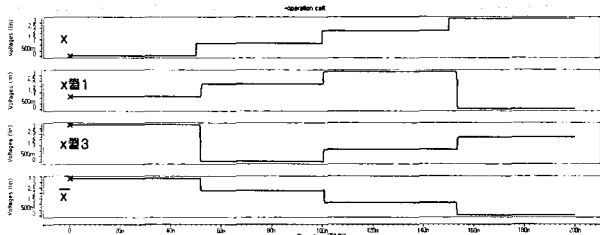
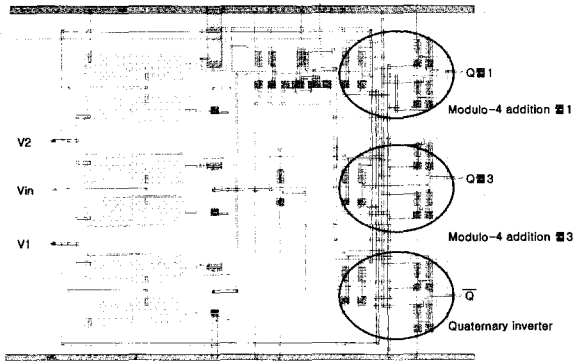


그림 10. D-type 4차 플립플롭 (a) 모의실험 결과 (b) 레이아웃
 Fig. 10. D-type quaternary flip-flop. (a) Simulation result (b) Layout

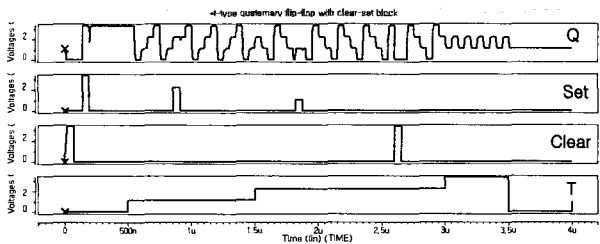


(a)

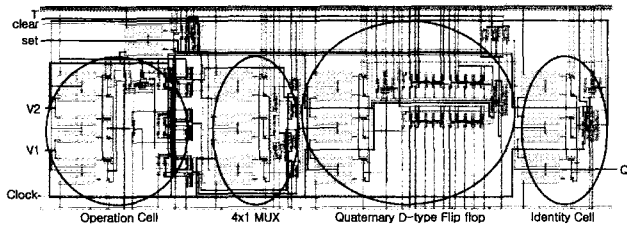


(b)

그림 11. 연산 셀 (a) 모의 실험 결과 (b) 레이아웃
Fig. 11. Operation Cell.(a) Simulation result (b) Layout



(a)

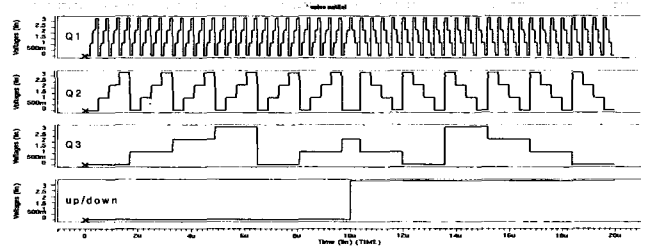


(b)

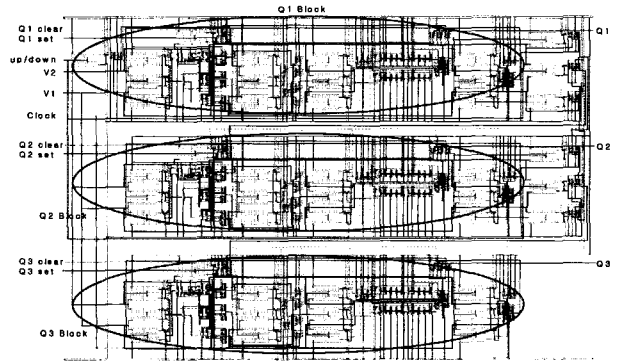
그림 12. T-type 4치 플립플롭
(a) 모의 실험 결과 (b) 레이아웃
Fig. 12. T-type quaternary flip-flop.
(a) Simulation result (b) Layout

5.3 동기식 4치 up/down 카운터

그림 13(a)에서는 본 논문에서 제안된 카운터의 모의실험 결과를 보였다. 디지털은 3으로 하였으며, 클럭 주파수는 1[MHz]를 사용하였고, 20[us] 이전까지는 up 카운트를, 20[us] 이후부터는 down 카운트를 하도록



(a)



(b)

그림 13. 3-디지털 동기식 4치 up/down 카운터
(a) 모의 실험 결과 (b) 레이아웃
Fig. 13. 3-digit synchronous quaternary up/down counter.
(a) Simulation result (b) Layout

표 4. 제안된 카운터의 성능
Table 4. Performance of the proposed counter.

Technology	CMOS n-well 0.35um
Running Time	20 [us]
Delay Time	10 [ns]
Power supply	3.3V
Power consumption	8.48 [mW]

up/down 입력 신호를 사용하였다. 지연시간은 약 10[ns]임을 모의실험 결과를 통해 확인하였다. 레이아웃은 그림 13(b)에 보였다. 표 4는 모의실험을 통해 측정된 제안된 카운터의 성능을 나타낸다.

VI. 비교 검토 및 결론

본 논문에서 제안된 4치 논리 게이트 및 2-디지털 동기식 4치 up/down 카운터는 Xunwei Wu가 제안한 3치 연산의 정의들을 4치로 확장하였고, 서로 다른 문턱전압을 가지는 MOS들을 사용하여 실제회로 구현이 불가능했던 것을 보완하여 실제회로로 구현이 가능하게끔 설계하는데 초점을 맞추었으며, 별도의 공정 추가 없이 2-Poly 4-Metal 표준 CMOS 공정에서 칩의 구현이 가능하도록 설계하였다.

제안된 회로들은 이진 회로들과 비교했을 때 상호연

결선의 감소 및 칩 면적의 감소, 저 전력 그리고 우수한 정보처리 능력 등의 장점, 그리고 기존에 발표된 다차 논리회로와 비교했을 때 빠른 속도의 장점을 갖는다.

제안된 4차 연산회로들은 4차 조합논리 회로의 구현이 가능하며, 4차 플립플롭은 레지스터 및 여러 순차회로에 적용이 가능하다. 또한 제안된 논리게이트 외에 다른 게이트들의 개발을 통해 순수한 다차 조합논리회로를 설계할 수 있을 것으로 예상된다.

참 고 문 헌

- [1] K.C Smith, "Multiple-Valued logic: a tutorial and appreciation", IEEE Computers, vol. 21, pp. 17-27, Apr. 1988.
- [2] D. Etiemble, "On the performance of the Multi-valued integrated Circuits: Past, Present an Future", Proc. 22nd ISMVL pp. 154-164, Sendai Japan, May 1992.
- [3] George Epstein, "Multiple-valued logic design an introduction", Institute of Physics Publishing Ltd. 1993.
- [4] T. Shibata and T. Ohmi, "A Functional MOS Transistor Featuring Gate-Level Weighted Sum and Threshold Operations", IEEE Electron Devices, vol. 39, 6, June 1992.
- [5] J. Shen and K. Tanno and O. Ishizuka and Z. Tang, "Application of Neuron-MOS to Current-Mode Multi-Valued Logic Circuits", Proc. 28th ISMVL pp. 128-133, Fukuoka Japan, May 1998.
- [6] J. shen and K. Tanno and O. Ishizuka, "Down Literal circuit with Neuron-MOS Transistors and Its Applications", Proc. 29th ISMVL pp. 180-185, Freiburg Germany, May 1999.
- [7] Xunwei Wu, Franklin Prosser, "Ternary CMOS Sequential Circuits", Multiple-Valued Logic, 1988, Proceedings of the Eighteenth International Symposium on, 24-26 May 1988, pp. 307 -313
- [8] Xunwei Wu; Xiexiong Chen; Prosser, F. "Multiple- Valued Logic", 1989. Proceedings, Nineteenth International Symposium on , 29-31 May 1989 pp. 58 -62
- [9] Current, K.W. "Design of a quaternary latch circuit using a binary CMOS RS latch", Multiple- Valued Logic, 2000. Proceedings. 30th IEEE International Symposium on, 23-25 May 2000, pp.377-381
- [10] Thoidis, I.M.; Soudris, D.; Karafyllidis, I.; Thanailakis, A.; "The design of low power multiple-valued logic encoder and decoder circuits", Electronics, Circuits and Systems, 1999. Proceedings of ICECS '99. The 6th IEEE International Conference on , Volume: 3 , 5-8 Sept. 1999, pp. 1623 -1626 vol.3
- [11] 한성일, 이호경, 황종학, 김홍수, "2진-4차 변환기 설계에 관한 연구", 전자공학회 논문지-SC 제40권 3호, 2003년 5월, Vol 40, No 31 pp. 60-70
- [12] Etiemble, D. Israel, M."Comparison of binary and multivalued ICs according to VLSI criteria", Computer, Volume:21 Issue:4, April 1988 pp. 28-42
- [13] Guo, Y.B. Current, K.W. "Voltage comparator circuits for multiple-valued CMOS logic", Multiple- Valued Logic, 2002. ISMVL 2002. Proceedings 32nd IEEE International Symposium on , 15-18 May 2002, pp. 67-73
- [14] Motoi Inaba, Koichi Tanno, Okihiko Ishizuka "Multi-Valued Flip-Flop with Neuron-CMOS NMN Circuits", Multiple-Valued Logic, 2002, ISMVL 2002, Proceeding 32nd IEEE International Symposium on, 15-18 May 2002, pp. 282-288

저 자 소 개



최 영 희(정회원)
1980년 2월 단국대학교
전자공학과 졸업(공학사)
1982년 8월 인하대학교 대학원
전자공학과 졸업(공학석사)
1985년 3월~현재 재능대학
정보전자 계열 교수

2000년 3월~현재 인하대학교 대학원
전자공학과 박사과정(박사수료)
<주관심분야 : 다차논리, VLSI 설계, SMPS>

김 흥 수(정회원)
제40SC권 3호 참조
인하대학교 전자공학과 교수



윤 병 희(정회원)
1997년 2월 원광대학교
전자공학과 졸업(공학사)
1999년 2월 인하대학교 대학원
전자공학과 졸업(공학석사)
1999년 3월~2004년8월 인하대학교
대학원 전자공학과 졸업
(공학박사)

2004년 8월~현재 인하대학교 전자공학과
박사 후 과정
<주관심분야 : RFID, Analog/Digital 설계>