

논문 2005-42SD-3-2

응력변형을 겪는 Si 반전층에서 전자 이동도 모델

(Electron Mobility Model in Strained Si Inversion Layer)

박 일 수*, 원 태 영*

(Il-Soo Park and Taeyoung Won)

요 약

$\text{Si}_{1-x}\text{Ge}_x$ 위의 Si 반전층에서의 이동도를 반전층에서의 양자현상(비금띠 에너지와 파동함수)과 완화시간어림셈을 고려하여 계산하였다. 반전층에서의 양자현상은 슈뢰딩거 방정식과 포아송 방정식을 자체 모순없이 계산하여 얻었다. 완화시간은 밸리내 산란과 밸리사이 산란을 고려하여 계산하였다. 그 결과 Ge 함량이 증가됨에 따라 이동도가 증가되는 이유는 4-폴드 밸리에 존재하는 전자의 이동도보다 2-폴드 밸리에 존재하는 전자의 이동도가 약 3배 정도 크며 대부분의 전자가 밸리의 분리에 의해 2-폴드 밸리에 존재하기 때문이라는 것을 알 수 있었다. 한편, 포논 산란만을 고려한 이동도를 실험치와 일치시키기 위하여 전체 이동도에는 반전층 계면에서의 산란과 쿨롱 산란을 포함시켰다. 계산된 전계, 온도, 그리고 Ge 함량에 의존하는 이동도는 실험치와 근접하도록 변형포텐셜을 설정하였으며 정확한 결과를 위해서는 Si 에너지띠의 비포물성을 고려해야함을 확인하였다.

Abstract

The mobility in strained Si inversion layer on $\text{Si}_{1-x}\text{Ge}_x$ is calculated considering a quantum effect(subband energy and wavefunction) in inversion layer and relaxation time approximation. The quantum effect in inversion layer is obtained by using self-consistent calculation of Schrödinger and Poisson equations. For the relaxation time, intravalley and intervalley scatterings are considered. The result shows that the reason for the enhancement in mobility as Ge mole fraction increases is that the electron mobility in 2-폴드 valleys is about 3 times higher than that of 4-폴드 valleys and most electrons are located in 2-폴드 valleys as Ge mole fraction increases. Meanwhile, for the phonon-limited mobility the fitting to experimental data, Coulomb and surface roughness mobilities are included in total mobility. Deformation potentials are selected for the calculated effective field, temperature, and Ge mole fraction dependent mobilities to be fitted to experimental data, and then upgraded data can be obtained by considering nonparabolicity in Si band structure.

Keywords: mobility, strain, inversion layer, self-consistent calculation

I. 서 론

Si은 X 밸리에 극소 에너지를 가지며 X 방향에서 6개의 밸리가 축퇴되어있다. 한편, Si과 Ge은 약 4%의 격자불일치(lattice mismatch)를 가지기 때문에 Si을 $\text{Si}_{1-x}\text{Ge}_x$ 버퍼 위에 성장시키면 버퍼의 Ge 함량에 따라 Si은 응력변형을 겪게 된다.

이때, 성장방향이 $[001]$ 일 경우, 축퇴되었던 6개의 밸리는 $[001]$, $[00\bar{1}]$ 방향의 2-폴드 밸리와 $[100]$, $[\bar{1}00]$, $[010]$, $[0\bar{1}0]$ 방향의 4-폴드 밸리로 분리된다. 이는 응력변형을 겪는 Si에서의 이동도를 증가시키는 효과를 가져온다. 한편, 벌크 Si의 전기적특성과 MOSFETs의 반전층(inversion layer)에서의 전기적 특성은 양자효과에 의한 서브밴드 에너지(subband energy)와 파동함수에 의해 서로 달라질 수밖에 없다. MOSFETs에서의 전기적 특성을 알기 위해서 반전층에서의 이동도는 매우 중요한 파라미터이다. 따라서, 응력변형을 겪는 Si 반전층에서의 이동도는 응력변형을 겪

* 정희원, 인하대학교 전기공학과
(Department of Electrical Engineering, Inha University)

※ 본 연구는 대학 IT연구센터육성지원사업의 결과로 수행되었음.

접수일자: 2005년1월5일, 수정완료일: 2005년2월24일

는 Si을 이용한 소자 개발에 필수적으로 고려되어야 한다.

현재까지, 응력변형을 겪는 Si 반전층에서의 이론적 연구^[1-4]와 실험적 연구^[5-9]가 계속되고 있으나 소자 전 산모사에 적용할 수 있는 단계에는 아직 이르지 못한 상황이다. 본 논문에서는 Takagi^[11]의 이론적 방법을 따랐으나 그 이론의 몇 가지 오류를 수정함으로써 서로 다른 결과 및 결론을 도출하였다.

본 논문에서는 1차원 슈뢰딩거 방정식과 포아슨방정식을 자체모순없는 계산 (SCC : self-consistent calculation)을 이용하여 반전층에서의 서브밴드 에너지와 파동함수를 계산하였으며 그로부터 포논 산란 (phonon scattering)에 의한 완화시간을 얻었다. 또한, Mathiessen 법칙을 적용하여 포논 산란에 의한 이동도에 표면 거칠기 (surface roughness) 산란과 쿨롱 산란을 포함시켰으며 그 결과를 Welser의 실험결과^[6]와 비교하였다.

II. 수치 해석적 모델

1. 서브밴드 에너지와 파동함수

MOSFETs 반전층에서의 서브밴드 에너지와 파동함수를 얻기위하여 1차원 슈뢰딩거 방정식을 이용하였으며 계산방법은 아래와 같은 개선된 슈팅 방법^[10]을 적용하였다.

$$\psi_i(z + \delta z) = \psi_i(z) + \delta z m_n \tilde{\psi}_i(z) \quad (1a)$$

$$\begin{aligned} \tilde{\psi}_i(z + \delta z) &= \tilde{\psi}_i(z) \\ &+ \delta z \frac{2}{\hbar^2} [V(z) - E_i] \psi_i(z) \end{aligned} \quad (1b)$$

여기서 $\psi_i(z)$ 와 E_i 는 각각 2- 또는 4-폴드 벨리에 대한 파동함수와 서브밴드 에너지이고, m_n 은 성장방향에 대한 법선방향의 유효질량, δz 는 유한차분방법(FDM : finite difference method)에 적용되는 미소길이, $V(z)$ 는 퍼텐셜에너지이다. 이때, $V(z)$ 는 아래와 같다^[11,12].

$$V(z) = V_d(z) - e\phi(z) + \Delta E_{strain} \quad (2a)$$

$$V_d(z) = \frac{e^2 N_{depl}}{\epsilon_{Si} \epsilon_o} z \left(1 - \frac{z}{2z_d} \right), 0 \leq z \leq z_d \quad (2b)$$

$$N_{depl} = z_d N_A \quad (2c)$$

$$z_d \approx \left[\frac{2\epsilon_{Si}\epsilon_o (E_{gap} - E_{fb})}{eN_A} \right]^{1/2} \quad (2d)$$

여기서 $V_d(z)$ 는 고정된 공간전하에 의한 퍼텐셜에너지, $e\phi(z)$ 는 유기된 전하에 의한 퍼텐셜에너지이다. ΔE_{strain} 은 축퇴되었던 6개의 벨리가 응력변형에 의해 분리되는 에너지 값으로 0.67x^[13]를 사용하였다. 여기서 x 는 Si_{1-x}Ge_x 버퍼에서 Ge 함량이다. 식 (2b)에서 N_{depl} 은 결핍층(depletion layer)에서의 표면전하농도, z_d 는 결핍층 두께이다. 식 (2c)에서 N_A 는 기판농도이고, 식 (2d)에서 E_{gap} 은 에너지 갭, E_{fb} 는 벌크에서의 페르미 에너지이다.

식 (2a)에서 $\phi(z)$ 는 포아슨 방정식으로부터 계산되어지며 유한차분방법을 이용한 표현은 아래와 같다.

$$\begin{aligned} \phi_{k-1}(z) - 2\phi_k(z) + \phi_{k+1}(z) \\ = - \frac{e(\delta z)^2}{\epsilon_{Si}\epsilon_o} [N_A(z) - n(z)] \end{aligned} \quad (3)$$

한편, $n(z)$ 는 위치에 따른 전자농도이며, 식 (1)로부터 얻은 $\psi_i(z)$ 와 E_i 를 이용하여 아래와 같이 계산된다.

$$n(z) = \sum_i [N_2^i \psi_{2i}^2(z) + N_4^i \psi_{4i}^2(z)] \quad (4a)$$

$$N_2^i = \frac{2m_d k_B T}{\pi \hbar^2} \ln \left(1 + e^{\frac{E_i - E_2}{k_B T}} \right) \quad (4b)$$

$$N_4^i = \frac{4m_d k_B T}{\pi \hbar^2} \ln \left(1 + e^{\frac{E_i - E_4}{k_B T}} \right) \quad (4c)$$

여기서 N^i 와 m_d 는 각각 2- 또는 4-폴드 벨리에 대한 i 번째 서브밴드 에너지에서의 표면농도와 상태밀도 유효질량이고, E_{fs} 는 $\sum_i N_i = N_s$ 조건이 성립될 때의 반전층에서의 페르미 에너지이고, 여기서 N_s 는 표면에서의 캐리어 농도이다.

식 (1)-(4)를 자체 모순없는 계산을 수행하면 반전층에서의 서브밴드 에너지와 파동함수에 대한 수렴된 값이 얻어지며 계산 순서는 그림 1에 나타내었다. 계산에 사용되는 파라미터는 표 1에 수록하였다.

2. 완화시간(Relaxation time)

완화시간 계산에는 밸리내 (intravalley) 포논 산란과 밸리사이 (intervalley) 포논 산란이 포함된다^[1,14]. 2- 또는 4-폴드 밸리에 대한 밸리내 포논 산란은 다음과 같다.

$$\frac{1}{\tau_{ac2}^i(E)} = \sum_j \frac{1}{\tau_{ac2}^j} U(E - E_j) \quad (5a)$$

$$\frac{1}{\tau_{ac2}^i} = \frac{n_{ac2} m_{d2} D_{ac}^2 k_B T}{\hbar^3 \rho s_l^2} W_{22} \quad (5b)$$

$$W_{ij} = \int \psi_i^2(z) \psi_j^2(z) dz \quad (5c)$$

$$\frac{1}{\tau_{ac4}^i(E)} = \sum_j \frac{1}{\tau_{ac4}^j} U(E - E_j) \quad (5d)$$

$$\frac{1}{\tau_{ac4}^i} = \frac{n_{ac4} m_{d4} D_{ac}^2 k_B T}{\hbar^3 \rho s_l^2} W_{44} \quad (5e)$$

여기서 $U(x)$ 는 계단함수이고, n_{ac} 는 2- 또는 4-폴드 밸리의 밸리내 산란과 관계되는 축퇴수로서 n_{ac2} 와 n_{ac4} 는 각각 2와 4이다. D_{ac} 는 소리(acoustic) 포논 변형퍼텐셜(deformation potential), ρ 는 질량밀도(mass density), s_l 은 소리속도(sound velocity), 그리고 W 는 파동함수에 의해 결정되는 형상요소다.

2- 또는 4-폴드 밸리에 대한 밸리사이 포논 산란은 다음과 같이 표현된다.

$$\frac{1}{\tau_{inter2}(E)} = \sum_j \frac{1}{\tau_{inter2}^j} U(E \mp E_k - E_j) \quad (6a)$$

$$\frac{1}{\tau_{inter2}^j} = \frac{1}{2\hbar\rho E_k} (D_f^2 n_{inter24f} m_{d4} W_{24} + D_g^2 n_{inter22g} m_{d2} W_{22}) \left(N_k + \frac{1}{2} \pm \frac{1}{2} \right) \quad (6b)$$

$$N_k = \frac{1}{e^{\frac{E_k}{k_B T}} - 1} \quad (6c)$$

$$\frac{1}{\tau_{inter4}(E)} = \sum_j \frac{1}{\tau_{inter4}^j} U(E \mp E_k - E_j) \quad (6d)$$

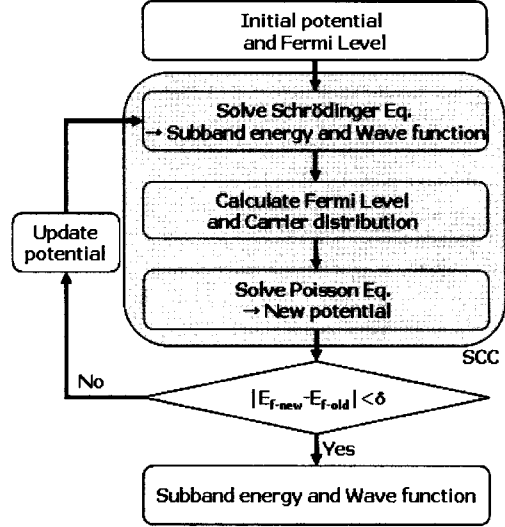


그림 1. 슈뢰딩거와 포아송 방정식에 대한 자체 모순없는 계산을 위한 프로그램 순서
Fig. 1. Program flow for self-consistent calculation of Schrödinger and Poisson equations.

$$\frac{1}{\tau_{inter4}^j} = \frac{1}{2\hbar\rho E_k} (D_f^2 n_{inter44f} m_{d4} W_{44} + D_g^2 n_{inter44g} m_{d4} W_{44} + D_f^2 n_{inter42f} m_{d2} W_{42}) \left(N_k + \frac{1}{2} \pm \frac{1}{2} \right) \quad (6e)$$

여기서 n_{inter} 는 2- 또는 4-폴드 밸리의 밸리사이 산란과 관계되는 축퇴수로서 $n_{inter24f}$, $n_{inter22g}$, $n_{inter44f}$, $n_{inter44g}$, $n_{inter42f}$ 는 각각 4, 1, 2, 1, 2이다. 이때, 밸리사이 산란이 발생하는 두 밸리 사이의 각도가 90°와 180° 일 경우 각각 첨자 f 와 g 를 사용한다. D_f 와 D_g 는 광(optical) 포논 변형퍼텐셜이고, E_k 와 N_k 는 각각 광 포논 에너지와 차지수(occupation number)이다. 한편, E_k 는 응력변형이 증가됨에 따라 증가되는 값으로 완화된 Si의 경우, 64.5 meV의 값을 사용했고 Ge 함량이 증가됨에 따라 4x meV가 증가된 값을 사용했다^[7,15].

2- 또는 4-폴드 밸리에 대한 i 번째 서브밴드 에너지에서의 전체 완화시간은 아래와 같이 식 (5)와 (6)을 이용하여 계산되어진다.

$$\frac{1}{\tau_2^i(E)} = \frac{1}{\tau_{ac2}^i(E)} + \frac{1}{\tau_{inter2}^i(E)} \quad (7a)$$

$$\frac{1}{\tau_4^i(E)} = \frac{1}{\tau_{ac4}^i(E)} + \frac{1}{\tau_{inter4}^i(E)} \quad (7b)$$

3. 이동도(Mobility)

2절의 결과로부터 얻은 완화시간은 2- 또는 4-폴드 밸리에 대한 i 번째 서브밴드 에너지에서의 이동도를 얻기 위한 것이며 그 표현식은 아래와 같다.

$$\mu_{ph} = \frac{\sum_i (\mu_2^i N_2^i + \mu_4^i N_4^i)}{N_s} \quad (8a)$$

$$\mu_2^i = \frac{e \int_{E_i}^{\infty} (E - E_i) \tau_2^i(E) f_o(1 - f_o) dE}{m_{e2} \int_{E_i}^{\infty} (E - E_i) f_o(1 - f_o) dE} \quad (8b)$$

$$\mu_4^i = \frac{e \int_{E_i}^{\infty} (E - E_i) \tau_4^i(E) f_o(1 - f_o) dE}{m_{e4} \int_{E_i}^{\infty} (E - E_i) f_o(1 - f_o) dE} \quad (8c)$$

식 (8)은 포논 산란만을 고려했을 경우의 이동도이고 실제 소자에서의 이동도는 Mathiessen 법칙을 적용하여 반전층 계면에서의 산란과 쿨롱 산란을 고려해야 한다^[16].

$$\frac{1}{\mu_{tot}} = \frac{1}{\mu_{ph}} + \frac{1}{\mu_{SR}} + \frac{1}{\mu_{Coulomb}} \quad (9a)$$

$$\mu_{SR}(E_{eff}) = \frac{\delta}{E_{eff}^2} 10^{15} \quad (9b)$$

$$E_{eff} = \frac{e}{\epsilon_o \epsilon_{Si}} \left(N_{depl} + \frac{N_s}{2} \right) \quad (9c)$$

표 1. 계산에 사용되는 파라미터
Table 1. Parameters used in the present calculation.

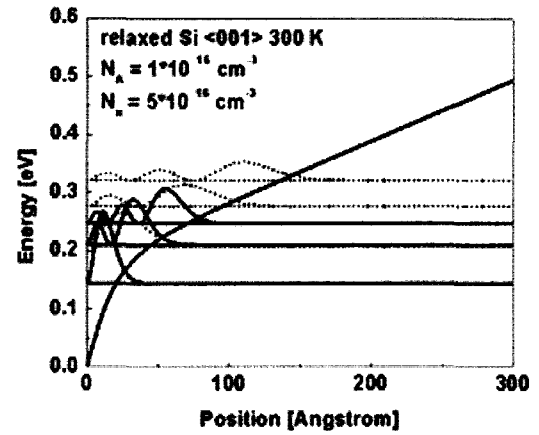
Valley	X2	X4
$m_n(m_o)$	0.916	0.19
$m_d(m_o)$	0.19	0.4172
$m_c(m_o)$	0.19	0.31472
ϵ_{Si}	11.9	
ρ	2329 kg/m ³	
s_i	9037 m/s	
D_{ac}	9 eV	
D_f	3.9×10 ⁸ eV/cm	
D_g	0.21×10 ⁸ eV/cm	
C	20.0×10 ⁻⁹	

$$\mu_{Coulomb} = \frac{N_s}{CN_A} \quad (9d)$$

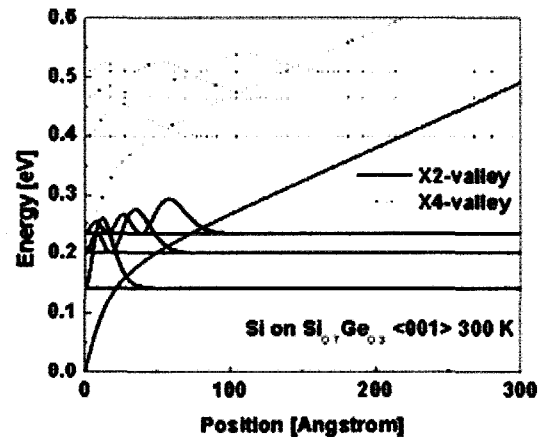
여기서 δ 는 응력변형에 의존하는 값으로 완화된 Si의 경우 0.335를 사용했고 x 는 0.1, 0.2, 0.3일 때 각각 1, 1.2, 1.4를 사용했다. 그 밖에 2절과 3절의 계산에서 사용되는 파라미터는 표 1에 수록하였다.

III. 시뮬레이션 결과 및 고찰

그림 2는 완화된 Si 또는 Si_{0.7}Ge_{0.3} 위의 응력변형을 겪는 Si 반전층에서의 퍼텐셜, 2-폴드와 4-폴드 밸리의



(a)



(b)

그림 2. (a) 완화된 Si (b) Si_{0.7}Ge_{0.3} 위의 응력변형을 겪는 Si 반전층에서의 퍼텐셜, 2-폴드와 4-폴드 밸리의 세 개의 서브밴드 에너지와 제곱꼴한 파동함수

Fig. 2. Potential, subband energies, and squared magnitude of the wave functions for the three lowest-energy subbands for the 2- and 4-fold valleys in (a) relaxed Si (b) strained Si on Si_{0.7}Ge_{0.3} inversion layer.

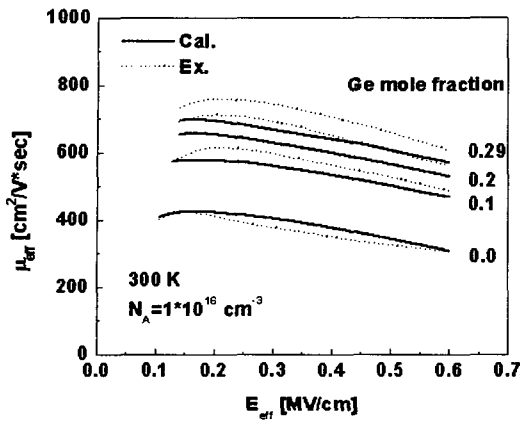
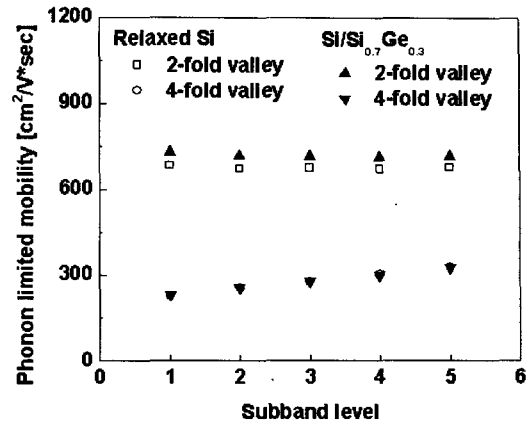


그림 3. 다양한 응력변형 조건에서 Si 반전층 전자의 유효전계에 따른 유효이동도. 점선은 참고문헌 [6]의 실험치이다

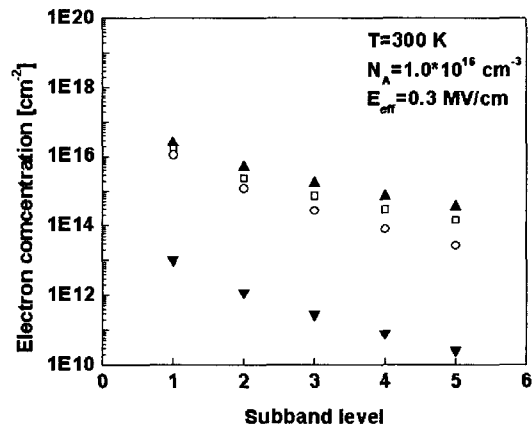
Fig. 3. Electron effective mobility as a function of the effective electric field in Si inversion layer with different strain conditions. The dotted lines represent the experimental results taken from Ref. [6].

세 개의 서브밴드 에너지와 각 서브밴드 에너지에서 제공될 파동함수를 보여준다. 그림 2(a)의 경우, 2- 또는 4-폴드 밸리는 성장방향에 대한 범선방향의 유효질량(m_n)이 서로 다르기 때문에 각 밸리에 대한 서브밴드 에너지의 위치가 달라짐을 확인할 수 있다. 그림 2(b)의 경우, 응력변형에 의해 축퇴되었던 6개의 밸리가 ΔE_{strain} 만큼 분리됨을 확인할 수 있다. 따라서, 응력변형을 겪는 Si의 경우, 대부분의 전자들은 2-폴드 밸리에 존재하며 전기적 특성이 2-폴드 밸리의 그것에 의존함을 예측할 수 있다.

그림 3은 $Si_{1-x}Ge_x$ 위에 성장시킨 Si의 반전층에서 전자의 유효전계에 따른 유효이동도를 보여준다. 점선은 참고문헌 [6]의 실험치이다. 약한 E_{eff} 조건에서는 쿨롱 산란에 의해 전계가 증가됨에 따라 이동도가 증가되나 대부분의 E_{eff} 조건에서는 포논 산란과 반전층 계면에서의 산란에 의해 전계가 증가됨에 따라 이동도가 감소됨을 확인할 수 있다. 한편, 2-폴드 밸리에 대한 각 서브밴드 에너지에서 전자들의 이동도는 그림 4(a)에서 보여지듯이 4-폴드 밸리의 그것에 비해 3배 정도 크다. 그 이유는 응력변형이 증가됨에 따라 축퇴되었던 6개 밸리가 분리되면서 밸리사이 산란이 감소하는 것이 첫 번째 원인이고 표 1에서 나타냈듯이 2-폴드 밸리의 전도도 유효질량이 4-폴드 밸리의 그것에 비해 0.6 배인 것이 두 번째 원인이다. 그림 4(b)에서 보여지듯이 완화된 Si의 경우, 전자들은 2-폴드와 4-폴드 밸리에 비슷



(a)



(b)

그림 4. 완화된 Si와 Si on $Si_{0.7}Ge_{0.3}$ 에서 2-폴드와 4-폴드 밸리의 각 서브밴드 에너지에서의 포논 산란에 의한 이동도와 전자 농도

Fig. 4. (a) Phonon limited mobility (b) electron concentration in each subband of the 2- and 4-fold valleys for relaxed Si and Si on $Si_{0.7}Ge_{0.3}$.

한 숫자로 존재하여 두 종류 전자들의 전기적 특성이 모두 나타남을 알 수 있다. 하지만, 응력변형을 겪는 Si의 경우, $Si_{1-x}Ge_x$ 의 Ge 함량이 증가함에 따라 ΔE_{strain} 가 증가하여 2-폴드 밸리에 대부분의 전자들이 존재하게 된다. 따라서, 2-폴드 밸리에 존재하는 전자들의 전기적 특성이 주를 이루게 되므로 Ge 함량이 증가됨에 따라 이동도가 증가됨을 예측할 수 있다.

그림 5는 $Si_{0.7}Ge_{0.3}$ 위에 성장시킨 Si 반전층에서 전자의 유효전계와 온도에 따른 유효이동도를 보여준다. 온도가 낮아짐에 따라 포논 산란이 감소하여 이동도가 크게 증가됨을 확인할 수 있다. 그림 6은 $Si_{1-x}Ge_x$ 위에 성장시킨 Si 반전층에서 Ge 함량에 따른 전자 이동도의 증가비를 보여준다. $x = 0.3$ 에서 4 폴드 밸리에 존재하는 전자 농도는 2-폴드 밸리에 존재하는 그것의

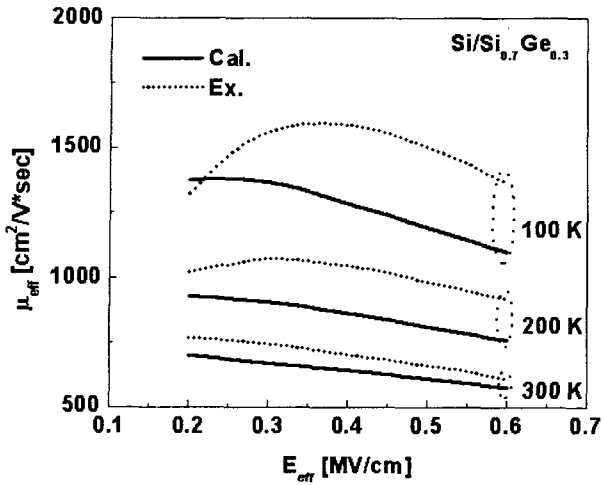


그림 5. 다양한 온도에서 Si_{0.7}Ge_{0.3} 위에 성장시킨 Si 반전층 전자의 유효전계에 따른 유효이동도. 점선은 참고문헌 [6]의 실험치이다

Fig. 5. Electron effective mobility as a function of the effective electric field in Si inversion layer on Si_{0.7}Ge_{0.3} at various temperature. The dotted lines represent the experimental results taken from Ref. [6].

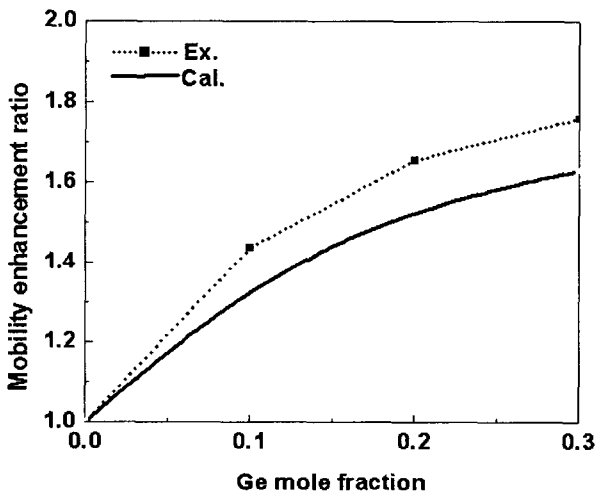


그림 6. Si_{1-x}Ge_x 위에 성장시킨 Si 반전층에서 Ge 함량에 따른 전자 이동도 증가 비. 점선은 참고문헌 [6]의 실험치이다

Fig. 6. Electron mobility enhancement ratio as a function of Ge mole fraction for Si inversion layer on Si_{1-x}Ge_x. The dot represents the experimental results taken from Ref. 6.

0.1%에도 미치지 못한다. 따라서, $x = 0.3$ 이상에서는 이동도가 더 이상 증가하지 않음을 예측할 수 있다.

한편, 그림 3, 5, 6에서 보여지듯이 실험치와 이론치가 일치하지 않는다. 예를들어, 그림 6에서 실험치의 경우, 완화된 Si의 이동도에 비해 $x = 0.3$ 인 경우의 그것은 1.76배까지 증가되나 이론치의 경우, 1.63배이다. 이

에 대한 보정은 Si 띠구조의 비포물성(nonparabolicity)을 고려해야만 이루어질 수 있다. Si 띠구조의 비포물성을 고려할 경우, 본 논문에서 사용되는 m_n , m_d , m_c 가 캐리어의 위치한 에너지 값에 따라 달라지므로 이 모든 값을 상수로 사용할 수 없게 되며 서브밴드 에너지와 파동함수가 변하게 되며 완화시간과 이동도가 모두 영향을 받게 된다.

IV. 결 론

본 논문에서는 Si_{1-x}Ge_x 위에 성장시킨 Si을 이용하여 MOSFETs 구조를 제작할 경우, 응력변형(strain)을 겪는 Si 반전층에서의 서브밴드 에너지와 파동함수를 1차원 슈뢰딩거 방정식과 포아손 방정식을 자체 모순없는 계산(SCC : self-consistent calculation)을 이용하여 계산하였으며 이로부터 포논 산란(scattering)에 의한 완화시간을 얻었다. 또한, 전계, 온도, 그리고 Ge 함량에 의존하는 전체 이동도에는 반전층 계면에서의 산란과 쿨롱 산란을 포함시켰으며 실험치와 비교하였다.

Si_{1-x}Ge_x 위에 성장시킨 Si에서 Ge 함량이 증가됨에 따라 응력변형이 증가되고 축퇴되었던 6개 밸리가 분리되면서 밸리사이 산란이 감소하며 2-폴드 밸리의 전도도 유효질량이 4-폴드 밸리의 그것에 비해 0.6 배가 되어 2-폴드 밸리의 이동도는 4-폴드 밸리의 그것에 비해 3배 정도 값을 갖는다. 완화된 Si의 경우, 전자들은 2-폴드와 4-폴드 밸리에 모두 존재하여 두 밸리의 전자들의 전기적 특성이 나타나나 Si_{1-x}Ge_x의 Ge 함량이 증가함에 따라 2-폴드 밸리에 존재하는 전자들의 전기적 특성이 주를 이루게 된다. 특히, $x = 0.3$ 에서는 전자의 99.9%가 2-폴드 밸리에 존재하므로 그 이상의 Ge 함량에서는 이동도가 더 이상 증가하지 않게 된다. 즉, Ge 함량이 증가됨에 따라 이동도가 증가되는 이유는 이동도가 큰 2-폴드 밸리에 존재하는 전자가 밸리의 분리에 의해 주를 이루기 때문이다. 한편, 완화된 또는 응력변형을 겪는 Si의 이동도를 좀 더 정확하게 계산하기 위해서는 Si 에너지띠의 비포물성을 고려해야한다.

참 고 문 헌

[1] S. Takagi, J. L. Hoyt, J. J. Welser, and J. F. Gibbons, "Comparative study of phonon-limited mobility of two-dimensional electrons in strained and unstrained Si metal-oxide-semiconductor

- field-effect transistors," *J. Appl. Phys.*, Vol. 80, no. 3, pp. 1567-1577, 1996.
- [2] M. V. Fischetti, F. Gamiz, and W. Hänsch, "On the enhanced electron mobility in strained-silicon inversion layers," *J. Appl. Phys.*, Vol. 92, no. 12, pp. 7320-7324, 2002.
- [3] F. Gámiz, P. Cartujo-Cassinello, J. B. Roldán, and F. Jiménez-Molinos, "Electron transport in strained Si inversion layers grown on SiGe-on-insulator substrates," *J. Appl. Phys.*, Vol. 92, no. 1, pp. 288-295, 2002.
- [4] J. B. Roldán and F. Gámiz, "Simulation and modeling of transport properties in strained-Si and strained-Si/SiGe-on-insulator MOSFETs," *Solid-State Electronics*, Vol. 48, pp. 1347-1355, 2004.
- [5] K. Rim, J. Chu, H. Chen, K. A. Jenkins, T. Kanarsky, K. Lee, A. Mocuta, H. Zhu, R. Roy, J. Newbury, J. Ott, K. Petrarca, P. Mooney, D. Lacey, S. Koester, K. Chan, D. Boyd, M. Jeong, and H. -S. Wong, "Characteristics and device design of sub-100 nm strained Si N- and PMOSFETs," *IEEE symposium on VLSI Technology Digest of Technical Papers 2002*, pp. 98-99, 2002.
- [6] T. Mizuno, N. Sugiyama, H. Satake, and S. Takagi, "Advanced SOI-MOSFETs with strained-Si channel for high speed CMOS - electron/hole mobility enhancement -, " *IEEE symposium on VLSI Technology Digest of Technical Papers 2000*, pp. 210-211, 2000.
- [7] J. Welser, J. L. Hoyt, S. Takagi, and J. F. Gibbons, "Strain dependence of the performance enhancement in strained-Si n-MOSFETs," *IEDM 94*, pp. 373-376, 1994.
- [8] J. Welser, J. L. Hoyt, and J. F. Gibbons, "Electron mobility enhancement in strained-Si n-type metal-oxide-semiconductor field-effect transistors," *IEEE Electron Device Letters*, Vol. 15, no. 3, pp. 100-102, 1994.
- [9] G. F. Formicone, D. Vasileska, and D. K. Ferry, "Transport in the surface channel of strained Si on a relaxed Si_{1-x}Ge_x substrate," *Solid-State Electronics*, Vol. 41, no. 6, pp. 879-885, 1997.
- [10] S. F.-P. Paul and H. Fouckhardt, "An improved shooting approach for solving the time-independent Schrödinger equation for III/V QW structures," *Physics Letters A*, Vol. 286, pp. 199-204, 2001.
- [11] F. Stern, "Self-consistent results for n-type Si inversion layers," *Phys. Rev. B*, Vol. 5 no. 12, pp. 4891-4899, 1972.
- [12] T. Ando, A. B. Fowler, and F. Stern, "Electronic properties of two-dimensional systems," *Rev. Mod. Phys.*, Vol. 54, no. 2, pp. 437-672, 1982.
- [13] Th. Vogelsang and K. R. Hofmann, "Electron transport in strained Si layers on Si_{1-x}Ge_x substrates," *Appl. Phys. Lett.*, Vol. 63, pp. 186-188, 1993.
- [14] K. Masaki, C. Hamaguchi, K. Taniguchi, and M. Iwase, "Electron mobility in Si inversion layers," *Jpn. J. Appl. Phys.*, Vol. 28, no. 10, pp. 1856-1863, 1989.
- [15] G. Abstreiter, H. Brugger, and T. Wolf, "Strain-induced two-dimensional electron gas in selectively doped Si/Si_xGe_{1-x} superlattices," *Phys. Rev. Lett.*, Vol. 54, no. 22, pp. 2441-2444, 1985.
- [16] S. Takagi, A. Toriumi, M. Iwase, and H. Tango, "On the universality of inversion layer mobility in Si MOSFET's: Part I-Effects of substrate impurity concentration," *IEEE Trans. Electron Devices*, Vol. 41, no. 12, pp.2357-2362, 1994.

저 자 소 개



박 일 수(정회원)

1998년 인하대학교 전자재료
공학과 학사 졸업.

2004년 인하대학교 전자공학과
박사 졸업.

2004년 인하대학교 컴퓨터이셔널
센터 연구원.

2005년~현재 삼성 SDI(주) 수석연구원.

<주관심분야 : 나노-스케일 소자 모델링 및 시뮬
레이션>



원 태 영(정회원)

1981년 서울대학교 전자공학과
학사 졸업.

1983년 한국과학기술원 전기 및
전자공학과 석사 졸업.

1989년 미국 University of Illinois
at Urbana-Champaign
전자공학과 공학박사 졸업.

1989년 미국 State University of New York
조교수.

1990년 삼성전자(주) 수석연구원.

1991년~현재 인하대학교 공과대학
전자전기공학부 교수.

<주관심분야 : 반도체 소자 및 공정, TFT-LCD,
MEMS모델링 및 시뮬레이션 코드 개발>