

논문 2005-42SD-3-1

# 0.1 $\mu\text{m}$ 이하의 게이트 길이를 갖는 Metamorphic High Electron Mobility Transistor의 모델링 및 구조 최적화

(Modeling and Optimization of sub-0.1  $\mu\text{m}$  gate Metamorphic High Electron Mobility Transistors)

한 민\*, 김 삼 동\*\*, 이 진 구\*\*\*

(Min Han, Sam-Dong Kim, and Jin-Koo Rhee)

## 요 약

본 논문에서는 0.1  $\mu\text{m}$  이하의 게이트 길이를 갖는 MHEMT의 DC 및 RF 특성을 상용 시뮬레이터인 ISE-TCAD tool을 이용하여 결과를 고찰 하였다. 이후 MHEMT의 게이트 길이와, 소스-드레인 간격 및 채널 두께를 변화시켜 가면서 소자의 수평, 수직 scaling 효과가 소자 특성에 미치는 영향을 비교하였으며, 게이트 길이 ( $L_g$ )가 0.1  $\mu\text{m}$  이하로 감소함에 따라  $g_{m,max}$ 가 같이 감소하는 현상에 대해서 논의해 보았다. 또한 이 현상을 가지고 소자의 횡적, 종적 파라미터의 scaling 효과에 대한 모델을 제시했다.

## Abstract

In this paper, we analyzed the DC and RF characteristics of 0.1  $\mu\text{m}$  metamorphic high electron mobility transistor (MHEMT) using the ISE-TCAD simulation tool. We also analyzed the effects of the scaling on vertical and lateral dimensions such as a gate length, source-drain spacing, and channel thickness. We discussed the degradation of extrinsic transconductance ( $g_{m,max}$ ) in the MHEMTs adopting the gate length ( $L_g$ ) of sub-0.1  $\mu\text{m}$ . We suggested the model describing the effects on the vertical and lateral parameter scaling.

**Keywords :** metamorphic high electron mobility transistor ( MHEMT), ISE, scaling, modeling

## I. 서 론

High electron mobility transistor (HEMT)는 그 우수한 고주파 및 저잡음 특성으로 다양한 구조를 통하여 꾸준히 연구되어왔다. 최근에는 InP 및 GaN 등의 기판들을 이용한 다양한 HEMT 소자들을 통해 고주파수, 고출력 및 저잡음 특성들의 지속적인 개선이 보고 되고 있다<sup>[1-4]</sup>. 예를 들면, InP 기반의 HEMT 소자들은 격자

정합 상태인 InGaAs/InAlAs/InP 구조의 큰 bandgap 차이를 이용하여 W-band 급에서도 우수한 특성으로 동작하는 결과를 보이고 있다. 그러나, InP 기반의 소자들은 GaAs 기반 소자에 비하여 기판이 갖는 기계적 강도의 취약성과 에피 가격이 고가라는 단점과 낮은 식각 속도로 인하여 후면 공정에서의 어려움을 안고 있다. 따라서 InP를 기반으로 제작된 HEMT의 우수한 소자 특성과 GaAs 기판의 물리적, 경제적 장점을 이용한 MHEMT에 대한 연구가 활발히 이루어 졌다<sup>[5,6]</sup>. MHEMT는 GaAs 기판과 활성 층 (active layer)과의 격자 부정합으로 인한 결함 형성을 제어하기 위해, metamorphic 버퍼 층을 채택한다. 이러한 metamorphic 버퍼 층을 통하여, 광범위한 indium 농도에서도 격자 변형이 거의 없는 InGaAs/InAlAs 구조를 얻을 수 있으며, 따라서 InP 기반의 HEMT와 유사한 소자 성능을

\* 학생회원, \*\* 정회원, \*\*\* 평생회원  
동국대학교 밀리미터파 신기술 연구센터  
(Millimeter-wave INnovation Technology research center, MINT)

※ 이 연구는 동국대학교 밀리미터파 신기술 연구센터를 통한 한국과학 재단의 우수 연구센터(ERC) 지원에 의하여 수행되었음.

접수일자: 2004년10월26일, 수정완료일: 2005년3월7일

연게 된다. 예를 들면 최근의 MHEMT 소자는 0.1 ~ 0.2  $\mu\text{m}$  게이트 길이에서 200 ~ 400 GHz 정도의 최대 공진 주파수 ( $f_{\text{max}}$ , maximum frequency of oscillation)를 보이고 있다<sup>[7-13]</sup>.

이러한 MHEMT 소자의 경우 더 우수한 고주파 특성을 얻기 위해, 0.1  $\mu\text{m}$  이하의 게이트 길이를 채택하는 실험적 노력들이 지속적으로 이루어지고 있으나, 이러한 초미세 구조를 가지는 소자에서는 기존의 전자 확산(diffusion) 및 표동(drift) 현상에 기반을 둔 소자 모델만으로는 그 한계성을 갖게 된다. 이에 따라 0.1  $\mu\text{m}$  이하의 게이트 길이 수준에서 소자의 수평적 또는 수직적 scaling 효과가 소자 특성에 미치는 영향을 이론적으로 예측하여 검증하는 일은 매우 중요한 의미를 가진다. 따라서 본 연구에서는 상용 프로그램인 ISE-DESSIS 시뮬레이터에 탑재된 hydrodynamic transport 모델을 기반으로 0.1  $\mu\text{m}$  이하의 게이트 길이를 갖는  $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}/\text{In}_{0.52}\text{Al}_{0.48}\text{As}$  MHEMT 소자의 모델을 개발하고, 이를 위해 각종 파라미터의 최적화 및 부가 모델의 도입을 실시하였다. 모델의 적정성은 0.1  $\mu\text{m}$  MHEMT 소자의 제작과, 제작된 소자와의 DC 및 RF 특성 비교를 통하여 이루어 졌다. 확립된 소자 모델을 통하여, 게이트 길이를 0.05 및 0.1  $\mu\text{m}$ 로, 그리고 소스-드레인 간격을 2, 2.5 및 3  $\mu\text{m}$ 로 변화하는 경우의 수평적 소자 scaling의 효과와, 에피 구조에서 채널 층 및 Schottky barrier 층의 두께를 변화 시키는 수직적 소자 scaling 효과를 분석하였다.

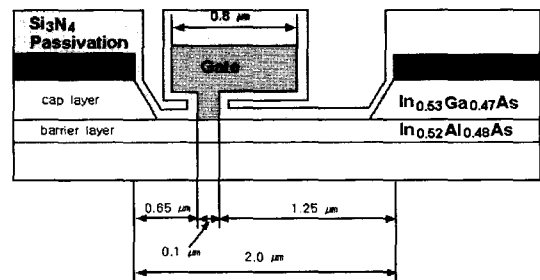
## II. 본 론

### 1. 소자 제작, 특성 분석 및 모델링

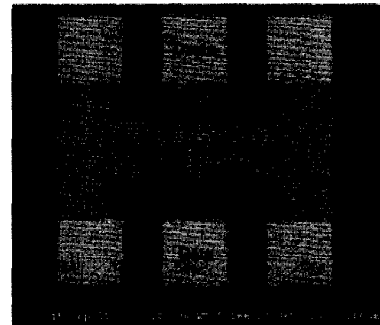
MHEMT를 위한 에피 층은 4 인치 (100) GaAs 반절연 (semi-insulating) 기판 위에 원자선 증착 장비 (molecular beam epitaxy)를 통하여 성장되어졌다. 그림 1 (a)에 도시된 바와 같이, indium 몰농도를 0 에서 0.5 까지 선형적으로 변화 시키면서 GaAs 기판 위에 1  $\mu\text{m}$  두께를 갖는  $\text{In}_x\text{Al}_{1-x}\text{As}$  버퍼 층을 증착하였고 그 상부에 400 nm 두께의  $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$  버퍼 층을 추가로 증착하였다. 이를 통해 하부의 metamorphic 버퍼 층으로부터 발생할 만일의 결정 결함으로부터 활성 층을 추가적으로 보호하였다. 3 nm 및 4 nm 두께를 각각 갖는 상하부  $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$  스페이서 층을 사이에 두고 23  $\mu\text{m}$  두께의  $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$  채널 층이 성장되었으며, 도핑은 채널 층의 상하에 Si  $\delta$ -도핑을 이중으로 실시하였다. 활

	$\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$	$6 \times 10^{18}/\text{cm}^2$	15nm
Barrier	$\text{In}_{0.52}\text{Al}_{0.48}\text{As}$	undoped	15nm
		$\delta$ -doping $4.5 \times 10^{12}/\text{cm}^2$	
	$\text{In}_{0.52}\text{Al}_{0.48}\text{As}$	undoped	3nm
Channel	$\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$	undoped	23nm
	$\text{In}_{0.52}\text{Al}_{0.48}\text{As}$	undoped	4nm
		$\delta$ -doping $1.3 \times 10^{12}/\text{cm}^2$	
	$\text{In}_{0.52}\text{Al}_{0.48}\text{As}$	undoped	400nm
	$\text{In}_x\text{Al}_{1-x}\text{As}$ ( $x = 0 - 0.5$ )	undoped	1000nm
	S.I. GaAs substrate		

(a) 소자 제작을 위해 사용된 에피 구조의 단면



(b) 제작된 소자의 단면 개략도



(c) 실제 제작된 70  $\mu\text{m} \times 2$  MHEMT 소자의 주사 전자 현미경(SEM) 사진

그림 1. 소자 구조

Fig. 1. A device structure.

성 층의 최상부에는 도핑을 하지 않은  $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$  Schottky barrier 층과 오믹층을 위한  $n^+$   $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$  cap 층을 순차적으로 성장 시켰다. 이러한 에피 층은 상온에서  $3.4 \times 10^{12}/\text{cm}^2$  의 면 전하 밀도와  $9700 \text{ cm}^2/\text{V}$  의 Hall mobility 특성을 보였다.

본 연구에 채택된 소자구조는 그림 1 (b)와 그림 2에 도시된 바와 같이 소스와 게이트 다리 (gate foot)의 간격이 0.65  $\mu\text{m}$  이고, 드레인과 게이트 다리의 간격이 1.25  $\mu\text{m}$ 인 off-set구조로 설계하였다. 이러한 off-set 게이트 구조는 게이트와 드레인 간 정전 용량 ( $C_{\text{gd}}$ ) 과 드레인 저항 ( $R_d$ )를 효과적으로 줄여 주어 소자의 고주파 특성을 개선시키는 효과가 있다<sup>[15]</sup>.

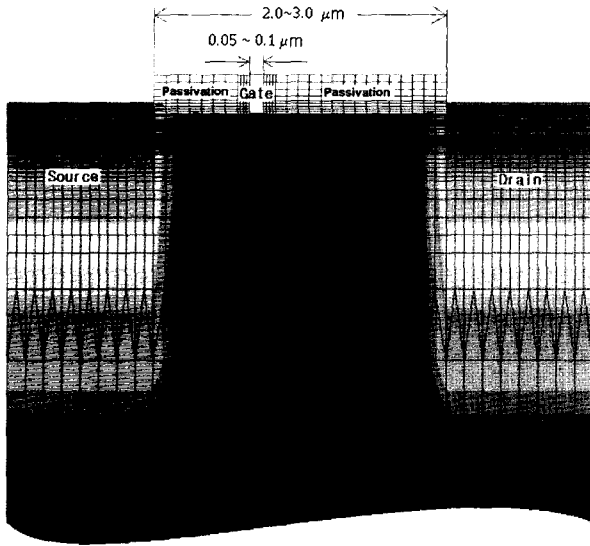


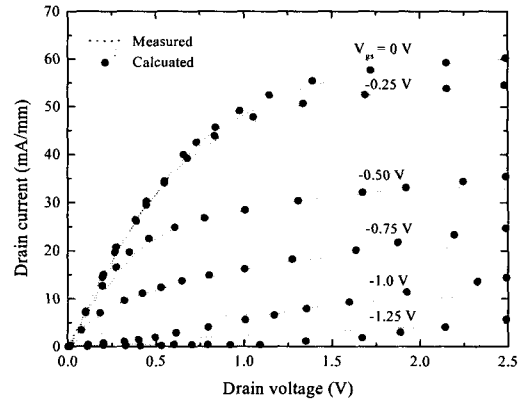
그림 2. 모델 계산을 위하여 사용한 소자 단면 구조 및 mesh 구성

Fig. 2. Cross-section view of the device structure and the mesh constructure for the simulation.

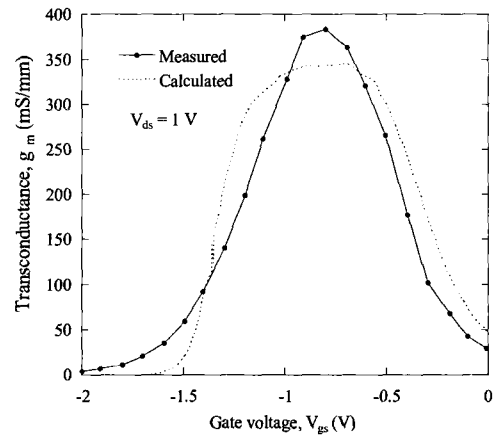
가. 소자 제작

소자 모델의 검증을 위하여 0.1 μm 게이트 길이를 갖는 Γ-형 게이트 MHEMT 소자를 제작하였으며, 소스와 드레인 간격은 2 μm로 하였다. 그림 1 (a), (b) 및 (c)에는 소자 제작을 위해 사용된 에피 구조의 단면, 제작된 소자의 단면 개략도 및 실제 제작된 소자의 SEM 사진을 각각 보이고 있다. 제작된 HEMT 소자의 게이트 너비는 70 μm 이고 2개의 핑거수를 갖도록 설계했다. (이 후 이를 70 μm × 2로 표기 함).

MHEMT 소자의 제작 과정은 다음과 같다. 먼저, 소자가 형성될 활성영역 이외의 부분을 메사 식각을 수행하였다. 이때 식각은 H<sub>3</sub>PO<sub>4</sub>/H<sub>2</sub>O<sub>2</sub>/H<sub>2</sub>O 용액 (1 : 1 : 60)을 사용하여 200 nm의 깊이로 식각하였다. 오믹 접촉을 형성하기 위해 AuGe/Ni/Au (125/28/160 nm)를 증착 후 320 °C에서 30 초간 급속 열처리 (RTA, rapid thermal annealing) 하였고, 이를 통하여 ~1×10<sup>-7</sup>Ω/cm<sup>2</sup>의 콘택 비저항 (specific contact resistance)를 얻었다. 게이트 리세스는 succinic acid/H<sub>2</sub>O<sub>2</sub>/H<sub>2</sub>O 용액 (1 : 5 : 10) 내에서 진행되었다. 게이트 전극 패턴은 PMMA 950/P(MMA-MAA)/PMMA 950 3층 구조의 감광막 위에 30 keV 전자빔 노광장치를 통한 2중 노광으로 구현하였으며, Ti/Au (50/400 nm)를 증착 후 lift-off 하여 0.1 μm 게이트 길이를 갖는 Γ-형 게이트 구조를 형성하였다.



(a) 측정된 소자와 시뮬레이션된 소자의 DC특성 비교



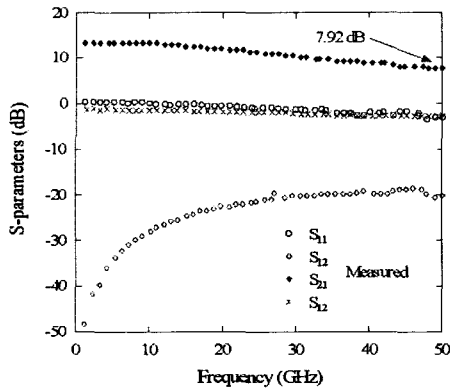
(b) 측정된 소자와 시뮬레이션된 소자의 gm,max 특성 비교

그림 3. 측정된 소자의 DC 및 gm,max 특성 비교

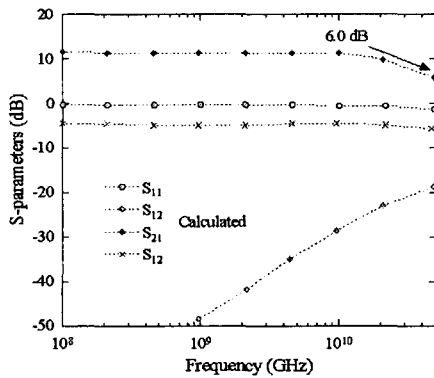
Fig. 3. Simulation and measurement results for the DC and the RF characteristics.

나. 특성 분석 및 모델링

제작된 70 μm × 2 MHEMT 소자의 DC 특성은 HP4156A DC parameter analyzer를 통하여 측정되었다. 그림 3 (a) 및 (b)에는 측정된 소자의 I-V 특성 및 전달특성을 보이고 있으며, 이러한 DC 측정값과 본 연구에서 개발한 소자 모델을 통하여 예측한 특성 값과 비교되어 있다. 측정을 통하여 얻은 소자들의 소스-드레인 포화 전류 (I<sub>dss</sub>)와 pinch-off 전압 (V<sub>p</sub>)는 각각 약 ~60 mA (~429 mA/mm)와 -1.7 V의 크기를 보였으며, 모두 시뮬레이션 결과와 잘 일치하고 있음을 알 수 있다. 또한, 그림 3 (b)에서와 같이 게이트 전압 (V<sub>gs</sub>) -0.8 V와 드레인 전압 (V<sub>ds</sub>) 1 V에서 최대의 extrinsic transconductance (g<sub>m,max</sub>) 이 측정되었으며, 모델 계산 결과와 역시 유사한 결과를 보이고 있다. 이 소자들은



(a) 측정된 소자의 S-parameter



(b) 시뮬레이션된 소자의 S-parameter

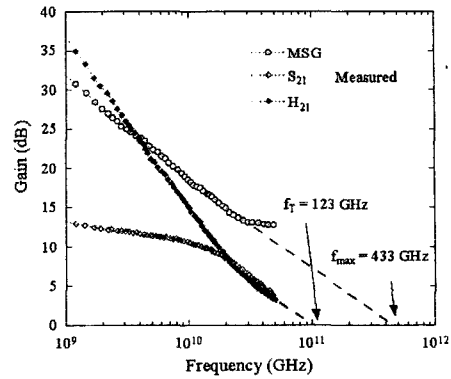
그림 4. 측정된 소자와 시뮬레이션된 소자의 S-parameter 비교

Fig. 4. Simulation and measurement results for the S-parameters.

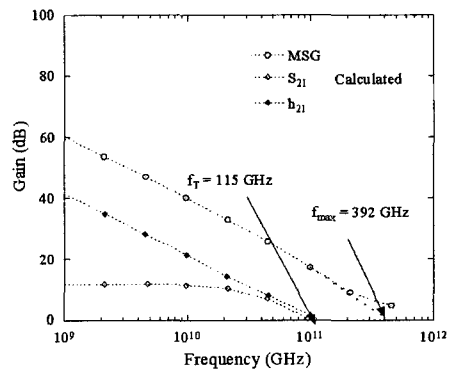
약 3 V 이상의  $V_d$  에서 항복 특성을 보였다.

제작된 소자들의 고주파 특성을 측정하기 위하여 HP 8510C network analyzer를 이용하였으며, 측정된 주파수 범위는 0.5 ~ 50 GHz 이다. 그림 4 (a)에서와 같이 제작된 소자들은 50 GHz에서 ~7.9 dB 정도의 높은 이득 특성을 보였으며, 그림 5 (a)에는 측정된 소자의 전형적인  $H_{21}$ ,  $S_{21}$  및 MSG (Maximum stable gain) 특성을 보이고 있으며,  $H_{21}$  및 MSG 이득 곡선의 외삽을 통하여 얻어진 차단 주파수  $f_T$  (cut-off frequency) 및 최대 공진 주파수  $f_{max}$  (maximum frequency of oscillation) 는 각각 ~123 GHz 및 ~433 GHz 이다. 특히, 본 연구에서 제작된 소자의  $f_{max}$  특성은 최근까지 보고 된 최고 성능의 0.1  $\mu\text{m}$  급 MHEMT 소자들과 [9, 10] 비교하여도 뒤떨어지지 않는 결과를 보이고 있다.

MHEMT 소자의 DC 및 밀리미터파 특성 모델을 구현하기 위해, hydrodynamic transport model<sup>[16]</sup>을 제작된 소자 특성에 맞도록 보정하였으며, 이 때 사용된 각



(a) 측정된 소자의 MSG,  $S_{21}$ ,  $H_{21}$ ,  $f_T$ ,  $f_{max}$



(b) 시뮬레이션된 소자의 MSG,  $S_{21}$ ,  $H_{21}$ ,  $f_T$ ,  $f_{max}$

그림 5. 측정된 소자와 시뮬레이션된 소자의 MSG,  $S_{21}$ ,  $H_{21}$ ,  $f_T$ ,  $f_{max}$  비교

Fig. 5. Simulation and measurement results for MSG,  $S_{21}$ ,  $H_{21}$ ,  $f_T$  and  $f_{max}$ .

종 파라미터 및 시뮬레이션 모델의 추가적인 고려 사항 들은 다음과 같다.

(1) 게이트 및 Schottky barrier

Ti/Au 게이트의 일함수 값은 이상적인 Ti 금속의 일함수 값인 4.33 eV를 사용하였으며, 게이트 전극을 관통하는 누설 전류 값은 측정된 결과 실질적으로 극히 작은 값을 가지기 때문에 모델에서는 무시하였다. 그러나 높은 드레인 전압 ( $V_d$ ) 시 항복 조건에서는 게이트 누설 특성이 고려되었는데, 이 경우 게이트와 드레인 사이의 hot spot 영역이 게이트 누설 전류에 영향을 받기 때문이다. 일반적으로 잘 알려진 Schottky barrier lowering 특성을 모델에 반영하기 위해서 가상적인 산화 박막(~2Å)을 게이트 전극 하부에 삽입하였다.

## (2) 에너지 밴드 구조

에너지 밴드 구조는 본 연구에 사용된 MHEMT의 에피층에 대응하는 모델을 사용하였으며, 이 경우 시뮬레이터에 탑재된 파라미터들을 적용하였다. 패드와 각 전극 간 접촉 저항을 고려하기 위해, 모델에서는 각 전극 (게이트, 소스, 드레인)에 저항체를 연결하였다. 이 저항체들의 입력 값은 제작된 소자의 소신호 모델을 이용한 S-파라미터 측정을 통하여 구하였다<sup>[16]</sup>. 게이트, 소스 및 드레인에 연결된 저항 값의 크기는 각각 1.82, 2.57 및 6.59  $\Omega$  이다.  $\delta$ -도핑의 면 농도를 체적 농도로 환산하기 위해 20 Å의 도핑 층을 가정하였으며, 따라서  $4.5 \times 10^{12}/\text{cm}^2$ 의 면 농도의 경우는  $2.25 \times 10^{19}/\text{cm}^3$ 의 체적 농도로 간주되었다.

## (3) 소자 구조

본 연구에 사용된 hydrodynamic 모델에서는 전자 온도 효과와 격자 (lattice) 온도 효과가 고려되었고 정공 (hole)의 온도는 고려되지 않았다. 그 이유는, 정공의 경우 전자에 비해 상대적으로 농도가 너무 작아 열적인 효과가 미미하며, 격자의 경우는 시뮬레이션 속도를 빠르게 하기 위해 그 열 효과를 이미 전자 온도에 반영하였기 때문이다. 반송자 (carrier)의 생성 및 재결합 현상을 위해서는 Shockley-Read-Hall 모델, radiative (direct transition) 모델 및 Auger 재결합 모델 등이 이용되었다.

각 에피 층에서의 반송자 mobility를 위한 모델로는 "constant mobility" 모델, "doping-dependent mobility degradation" 모델 등이 적용되었다.

공정 진행에 따른 소자의 각 영역에서 도펀트 확산을 묘사해주는 모델을 부가하였다. 이러한 전하를 띤 불순물 (이온화된 도펀트)에 의한 산란 현상은 반송자의 mobility에 영향을 주며, 이러한 소자 각 영역에서의 mobility 저하 현상을 도펀트 확산 분포를 통하여 예측할 수 있게 된다. 옴릭 콘택 영역에서 일어나는 Ge 확산의 경우, 옴릭 형성을 위한 열처리 전 Ge은 Gauss 분포를 가지며 이후 열처리에 따라 확산 한다고 가정하였다. 소스 및 드레인 하부에 분포된 Ge의 분포는  $2.5 \times 10^{18}/\text{cm}^3$  최고 농도 값과 0.15  $\mu\text{m}$  깊이에서  $1 \times 10^{16}/\text{cm}^3$  농도를 가지는 Gauss 분포 형태로 가정할

수 있다. 반면에, cap 층에 존재하는 Si은 일정하게 분포된 것으로 보았으며, 역시 옴릭 열처리 시 확산을 고려하였다. 전하를 띤 불순물의 mobility 저하 현상은 Masetti 모델<sup>[16]</sup>을 적용하였으며, 소스와 드레인 하부 영역에서 에피층으로 확산 유입된 Ge의 영향이 중요하게 고려되었다.

게이트 접촉과  $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$  계면 및 passivation과  $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$  계면과 같은 이중 접합 계면에서는 acoustic surface phonon과 표면 거칠기에 의한 반송자의 산란 현상이 중요한 의미를 갖는다. 이러한 현상은 MOSFET에서의 산화막과 channel 간의 표면 산란을 기술한 Lombardi 모델<sup>[14]</sup>을 이용하여 묘사하였다. 또한, 이러한 passivation 계면에는 실제 상당히 높은 농도의 trap center가 존재하게 된다. 본 연구에서는  $\sim 6 \times 10^{11}/\text{cm}^2$ 의 면 농도를 갖는 acceptor 형태의 mid-bandgap 결함들을<sup>[17]</sup> 적용하였다. 이러한 면 농도 값은 측정된 MHEMT 소자의 DC 특성과 모사 계산 결과가 가장 잘 부합되는 조건에서 반복 계산을 통하여 추출하였다.

## III. 실험 결과 및 고찰

### 1. DC 및 RF 특성 결과 분석

그림 3 (a)와 (b)에 측정 및 계산된 경우의 MHEMT 소자 I-V의 특성과 전달 특성들을 각각 비교하였다. 소스-드레인 간 포화 전류 ( $I_{\text{dss}}$ ) 값의 경우  $V_{\text{gs}} = 0 \text{ V}$ 에서 측정값과 계산 값이 각각 429 및 428 mA/mm로서 매우 잘 일치함을 알 수 있다.  $g_{\text{m,max}}$ 의 경우 역시  $V_{\text{ds}} = 1 \text{ V}$ 에서 측정값과 계산 값이 각각 390 및 345 mS/mm로 근사한 값을 보이고 있다.

그림 4 와 5에는 MHEMT 소자의 측정값과 계산을 통해 구한  $S_{21}$  이득,  $H_{21}$  이득, 최대 안정 이득 (MSG),  $f_{\text{T}}$  및  $f_{\text{max}}$ 를 각각 비교하였다. 50 GHz에서  $S_{21}$  이득의 측정값과 계산 값은 각각 7.9 및 6 dB로 전 주파수 영역에서  $\sim 1.9 \text{ dB}$  정도의 일정한 오차를 보이고 있다. MSG 및  $H_{21}$  이득 역시 전 주파수 영역에서 약 2 dB 정도의 일정한 오차를 보이고 있으나, 전반적으로 측정값과 근사한 결과를 보이고 있다.

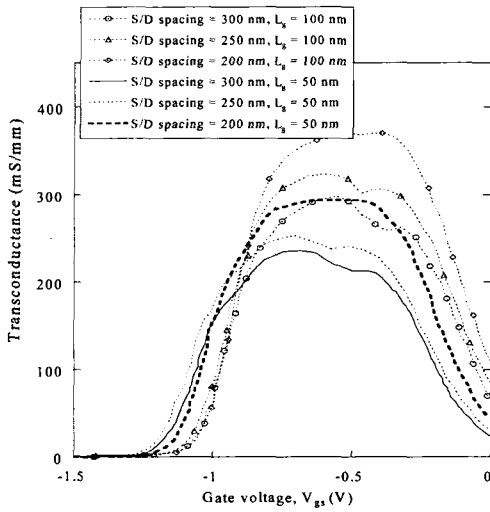


그림 6. 소스-드레인 간격에 따른 전달컨덕턴스  
Fig. 6. Simulation results for the  $g_m$  at various source-drain spacing.

$f_T$  및  $f_{\text{max}}$ 는 각각 50 GHz까지 측정된  $H_{21}$  및 MSG 이득을 외삽하여 결정하였으며, 각각 123 및 433 GHz이다. 모델을 통하여 계산한  $H_{21}$  및 MSG 이득을 외삽하여 결정된  $f_T$  및  $f_{\text{max}}$ 는 각각 115 및 392 GHz로 측정값과 근사함을 알 수 있다.

## 2. 소자 scaling 효과

제작된 소자 특성과 모델을 통해 계산된 DC 및 RF 특성과의 근사성을 기초로 하여, 소자의 scaling 효과를 관찰하였다. 게이트 길이  $L_g$ 를 0.05 및 0.1  $\mu\text{m}$ 로, 소스-드레인간의 길이를 2.0, 2.5, 3.0  $\mu\text{m}$ 로 변화 시키면서 계산한  $g_{m,\text{max}}$ 의 변화를 그림 6에 보였다. 같은 게이트 길이에서 소스-드레인 간의 길이가 감소함에 따라  $g_{m,\text{max}}$ 는 증가하는 전형적인 1/S (S: scaling factor) scaling 효과를 보이고 있다. 반면에 같은 소스-드레인 간 길이에서 게이트 길이가 감소함에 따라 오히려 최대  $g_m$ 이 감소하는 S scaling 효과현상을 나타내었다. 잘 알려진 FET 소자의 모델에 의하면  $g_{m,\text{max}}$ 는  $1/L_g$ 에 비례하여야 하나, 이 모델 결과에 의하면 100 nm 이하의 게이트 길이에서는  $g_{m,\text{max}}$ 가  $L_g$  길이 감소에 따라 같이 감소하는 현상을 보인다. 나노 스케일의 획기적인 scaling이 오히려 소자 성능을 저하하는 현상은 이미 Monte Carlo 시뮬레이션에<sup>[18]</sup> 의해서도 예측된 바로, 산란에 의해 결정되는 반송자들의 표동 속도가 게이트 길이 감소에 따라 transient state에 의해 지배 받기 때문으로 판단된다. 게이트 길이의 감소에 따라  $f_T$  역시 감소하는 현상을 보이는데, 그 이유는 아래의 식 1과 같

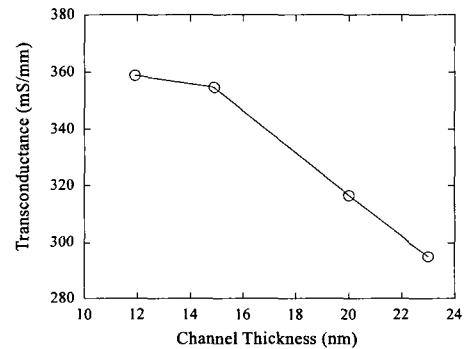
이 게이트와 소스 및 드레인간생성하는 기생 커패시턴스는 게이트 길이 scaling에 의해 크게 변화하지 않지만,  $g_{m,\text{max}}$ 는 선형적으로 감소하기 때문에 분석된다.

$$f_T \propto \frac{g_m}{(C_{gs} + C_{gd})} \quad (1)$$

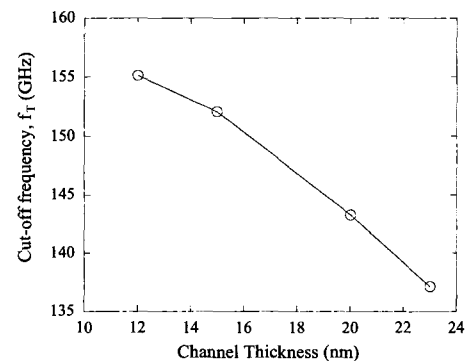
( $C_{gd}$ : 게이트-드레인간 커패시턴스,  $C_{gs}$ : 게이트-소스 간 커패시턴스)

이러한  $L_g$ 의 scaling에 따른 HEMT 소자의  $g_{m,\text{max}}$ 의 변화 ( $\Delta g_m$ )가 선형적이라고 할 때 본 모델이 제시하는 근사적인 scaling rule은 다음의 식 2와 같다. 단, 이 경우 소스-드레인 간격은 2 ~ 3  $\mu\text{m}$ 의 범위에 있고,  $L_g$ 가 0.05 및 0.1  $\mu\text{m}$ 로 변화 할 경우  $g_{m,\text{max}}$ 를 보이는  $V_{gs}$ 는 -0.8 및 -0.5 V로 각각 취하였다.

$$\frac{\Delta g_m}{\Delta L_g} \approx -6 \text{ mS/mm/nm} \quad (2)$$



(a) 채널 두께에 따른 전달컨덕턴스



(b) 채널 두께에 따른  $f_T$

그림 7. 채널 두께에 따른 전달컨덕턴스,  $f_T$  변화  
Fig. 7. Simulation results for the  $g_m$ ,  $f_T$  at various channel thicknesses.

그림 7에는 0.05  $\mu\text{m}$  게이트 길이와 2  $\mu\text{m}$  소스-드레인 간격에서 채널 두께가 변화할 때 예측한  $g_m$  및  $f_T$ 의 변화 값을 보이고 있다. 이미, 반송자의 거동이 transient state에 지배 받는 길이로 판단되는 0.05  $\mu\text{m}$  게이트에서는 채널의 두께 감소에 따라 현저하게  $g_{m,\text{max}}$ 와 이에 따른  $f_T$  개선을 보이고 있다. 물론 150 nm 이하에서는  $g_{m,\text{max}}$ 에 미치는 두께 감소 효과가 다소 포화 되는 현상을 보이고 있으나, 이 역시  $\Delta g_m$ 이 선형적이라고 할 때 본 모델이 제시하는 근사적인 scaling rule은 다음의 식 3 과 같다.

$$\frac{\Delta g_m}{\Delta t_{ch}} \approx -1 \text{ mS/mm/nm} \quad (3)$$

( $t_{ch}$ : nm 단위의 InGaAs 채널 두께)

따라서 소자의 주요 횡적 scaling 파라미터인  $L_g$ 의 효과가 종적인 scaling 파라미터인  $t_{ch}$ 에 비해 매우 크기 때문에, Kalna 등 [18]이 예측한 바대로 소자의 종횡 방향을 일률적으로 scaling 할 경우에는 HEMT는 DC 특성의 개선을 가져오게 될 것이다. 물론, 10 nm 와 같은 매우 작은 게이트 길이에서는 양자 효과가 전자의 거동을 지배할 수 있으며, 따라서 hydrodynamic 모델에 기반을 둔 본 모델은 Monte Carlo 시뮬레이션에의 경우와는 달리 부적절한 예측을 할 것으로 보인다.

#### IV. 결 론

본 논문에서는 게이트 길이 0.1  $\mu\text{m}$   $\Gamma$ -형 게이트를 갖는 MHEMT를 제작하여  $f_T$  및  $f_{\text{max}}$ 가 각각  $\sim 123$  GHz 및  $\sim 433$  GHz의 특성을 얻을 수 있었다. MHEMT 소자의 DC 및 RF특성 모델을 구현하기 위하여 각종 파라미터 및 시뮬레이션 모델을 고려하여 제작된 소자의  $I_{\text{dss}}$ ,  $g_{m,\text{max}}$ ,  $f_T$ ,  $f_{\text{max}}$  값과 근사한 결과를 추출할 수 있었다. 그 후 제작된 MHEMT의 성능 개선을 위해 추출한 파라미터와 시뮬레이션 모델을 이용하여 게이트 길이와 소스-드레인 간격 및 채널 두께를 변화시켜 소자의 수평, 수직적 scaling 효과가 소자 특성에 미치는 영향에 대하여 시뮬레이션 하였다. 시뮬레이션 결과, 잘 알려진 FET 소자의 모델과는 달리 100 nm 이하의 게이트 길이에서는  $g_{m,\text{max}}$ 가  $1/L_g$ 에 비례하지 않고  $L_g$ 의 감소에 따라 감소하는 현상을 볼 수 있었으며, 횡적 파라미터인  $L_g$ 의 효과가 종적 파라미터인  $t_{ch}$ 에 비해 크기 때문에 종횡 방향을 일률적으로 scaling하면 HEMT의 DC 특

성을 향상시킬 수 있음을 알 수 있다. 또한 게이트 길이의 감소에 따라  $f_T$ 가 감소하는 현상은 게이트와 소스 및 드레인간 생성하는 기생 커패시턴스가 게이트 길이 scaling에 의해 크게 변화하지 않지만,  $g_{m,\text{max}}$ 는 선형적으로 감소하기 때문이라고 분석된다.

#### 참 고 문 헌

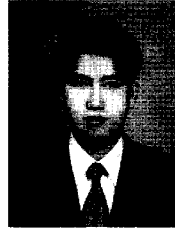
- [1] L. D. Nguyen, A. S. Brown, M. A. Thompson, L. M. Jelloian, "50-nm self-aligned-gate pseudomorphic AlInAs/GaInAs high electron mobility transistors", *Electron Dev. IEEE Trans.*, Vol. 39, pp. 2007, sept. 1992.
- [2] M. Wojtowicz, R. Lai, D. C. Streit, G. I. Ng, T. R. Block, K. L. Tan, P. H. Liu, A. K. Freudenthal, R. M. Dia, "0.10  $\mu\text{m}$  graded InGaAs channel InP HEMT with 305 GHz  $f_T$  and 340 GHz  $f_{\text{max}}$ ", *Electron Device Letters, IEEE*, Vol. 15, pp. 477, 1994.
- [3] A. Endoh, Y. Yamashita, M. Higashiwaki, K. Hikosaka, M. Mimura, S. Hiyamizu, and T. Maysui, "High  $f_T$  50-nm-gate lattice-matched InAlAs/InGaAs HEMTs", *Proceedings of 12th International Conference on InP and Related Materials*, pp. 87, Williamsburg, USA, May, 2000.
- [4] P. M. Smith, S. M. J. Riu, M. Y. Kao, P. Ho, S. C. Wang, K. H. G. Duh, S. T. Fu and P. C. Chao, "W-band high efficiency InP-based power HEMT with 600 GHz  $f_{\text{max}}$ ", *IEEE Microwave and Guided Wave Lett.*, Vol. 5, pp. 230, 1995.
- [5] J. Y. Shim, H. S. Yoon, S. J. Kim, J. Y. Hong, W. J. Chang, D. M. Kang, J. H. Lee, and K. H. Lee, "DC and Microwave Characteristics of 0.2- $\mu\text{m}$  T-Gate Double-Doped Metamorphic InAlAs/InGaAs/GaAs HEMTs Recessed with Succinic Acid/H<sub>2</sub>O<sub>2</sub>", *J. Korean Phys. Soc.*, Vol. 41, pp. 528, 2002.
- [6] D. H. Kim, S. Y. Oh, J. J. Kim, J. H. Lee, K. W. Chung, and K. S. Seo, "High performance 0.2  $\mu\text{m}$  quasi-enhancement mode In<sub>0.35</sub>AlAs/In<sub>0.35</sub>GaAs Metamorphic HEMTs with a InGaAs channel composition", *J. Korean Phys. Soc.*, Vol. 41, pp. 1036~1040, 2002.
- [7] A. Cappy, Y. Cordier, S. Bollaert, and M. Zaknoute, "status of metamorphic In<sub>x</sub>Al<sub>1-x</sub>As/In<sub>x</sub>Ga<sub>1-x</sub>As HEMTs", *Proceedings of GaAs IC Symposium, Monterey*, pp. 217, California, USA, Oct., 1999.
- [8] M. Chertouk, H. Heiss, D. Xu, S. Kraus, W. Klein, G. Bohm, G. Trankle, and G. Weimann,

- "Metamorphic InAlAs/InGaAs HEMTs on GaAs substrates with a novel composite channels design", *IEEE Electron Dev. Lett.*, Vol. 17, pp. 273, June, 1996.
- [9] M. Zaknune, Y. Cordier, S. Bollaert, Y. Druelle, D. Theron, and Y. Crosnier, "a High performance metamorphic In<sub>0.32</sub>Al<sub>0.68</sub>As/ In<sub>0.33</sub>Ga<sub>0.67</sub> As HEMTs on GaAs substrate with an inverse step InAlAs metamorphic buffer", *Device Research Conference Digest*, pp. 34 Charlottesville, Jun., 1998.
- [10] D. C. Dumka, W. E. Hoke, P. J. Lemonias, G. Cueva, and I. Adesida, "Metamorphic In<sub>0.52</sub>Al<sub>0.48</sub>As/In<sub>0.53</sub>Ga<sub>0.47</sub> As HEMTs on GaAs substrate with fT over 200 GHz", *International Electron Device Meeting*, pp. 783, Washington, Oct., 1999.
- [11] C. S. Whelan, W. E. Hoke, R. A. McTaggart, P. S. Lyman, P. F. Marsh, R. E. Leoni III, S. J. Lichwala, and T. E. Kazior, "High breakdown voltage InAlGaAs/In<sub>0.32</sub>Ga<sub>0.68</sub>As metamorphic HEMT for microwave and MM-wave power applications", *Microwave Symposium Digest, 1999 IEEE MTT-S International*, pp. 1187, Anaheim, California, USA, June., 1999.
- [12] C. Gassler, V. Ziegler, C. Wolk, R. Deufel, and F. J. Berlec, "Metamorphic HFETs on GaAs. with InP-subchannels for device performance improvements", *IEEE International Electron Device Meeting*, San Francisco, California, USA, Dec., 2000.
- [13] H. S. Yoon, J. H. Lee, J. Y. Shim, S. J. Kim, D. M. Kang, J. Y. Hong, W. J. Chang, and K. H. Lee, "0.15  $\mu\text{m}$  Gate Length MHEMT Technology For 77GHz Automotive Radar Applications", *Proceedings of 14-th International Conference on InP and Related Materials*, Stockholm, pp. 201, Sweden, May, 2002.
- [14] *ISE-DESSIS manual*, Ver.7.5
- [15] T. Suemitsu, T. Enoki, H. Yokoyama and Y. Ishii, "Improved Recessed-Gate Structure for Sub-0.1- $\mu\text{m}$ -Gate InP-Based High Electron Mobility Transistors", *Jpn. J. Appl. Phys.*, Vol.37, pp.1365, 1998.
- [16] Deok-Soo Park, Master thesis, Dongguk University, 2001.
- [17] J. H. Oh, M. S. Son, B. H. Lee, Y. H. Baek, H. K. Jang, J. K. Rhee, I. S. Hwang, S. D. Kim, "Effects of the Gate Recess Structure on the DC Electrical Behavior of 0.1- $\mu\text{m}$  Metamorphic High-Electron-Mobility Transistors", *J. Korean Phys. Soc.*, Vol. 45, pp. 1004, 2004.
- [18] K. Kalna, S. Roy, A. Asenov, K. Elgaid, I. Thayne, "Scaling of pseudomorphic high electron mobility transistors to decanano dimensions", *Solid-State Electronics*, Vol. 46, pp. 631, 2002.

---

 저 자 소 개
 

---



한 민(학생회원)

2003년 2월 동국대학교

전자공학과 (공학사)

2003년 3월~현재 동국대학교

전자공학과 석사과정

&lt;주관심분야 : 밀리미터파 소자 및 회로 설계 제작&gt;



김 삼 동(정회원)

1983년 서울대학교 금속공학과 졸업(공학사),

1986년 서울대학교 금속공학과 대학원 석사과정 (공학석사),

1992년 Department of Materials Science &amp; Engineering Stanford University 박사과정(공학박사),

1994년 스탠포드 대학교, Solid State Electronic Lab. Post-Doctorate,

1999년 현대 전자 메모리 선행기술 연구부 박막 연구실 책임 연구원,

1999년~현재 동국대학교 전자공학과 교수

&lt;주관심분야 : 미소고체전자 현상 분석&gt;



이 진 구(평생회원)

1969년 국립항공대학교 전자공학과 졸업(공학사),

1975년 서울대학교 전자공학과 석사과정(공학석사),

1982년 Oregon State Univ. 전기공학과 (공학박사),

1985년 Cray Research Scientist,

1985년 Microwave Semiconductors, USA, Senior Engineer,

1995년~현재 한국 전자과학회 이사,

1985년~2003년 대한전자공학회 부회장

2004년~2005년 대한전자공학회 수석부회장

2005년~현재 대한전자공학회 회장

1985년~현재 동국대학교 전자공학과 교수

1999년~현재 밀리미터파 신기술 연구센터 소장

&lt;주관심분야 : MMIC설계, 소자 모델링&gt;