

논문 2005-42SD-2-1

# System-On-Glass를 위한 Poly-Si TFT 소 면적 DC-DC 변환회로

(An Area-Efficient DC-DC Converter with Poly-Si TFT  
for System-On-Glass)

이 균렬\*, 김 대준\*, 유 창식\*\*

(Kyun-Lyeol Lee, Dae-June Kim, and Changsik Yoo)

## 요약

System-on-glass를 위해 poly-Si TFT로 면적이 작으면서도 리플전압을 최소화한 DC-DC 전압 변환회로를 개발하였다. 전압 변환회로는 전하 펌핑 회로, 문턱전압 변화를 보상한 비교기, 오실레이터, 버퍼, 다중 위상 클럭을 만들기 위한 지연 회로로 구성된다. 제안한 다중 위상 클럭킹을 적용함으로써 클럭 주파수 또는 필터링 캐패시터의 증가 없이도 낮은 출력 리플전압을 얻음으로써 DC-DC 변환기의 면적을 최소화하였다. 제안한 DC-DC 변환회로를 제작하여 측정한 결과  $R_{out}=100k\Omega$ ,  $C_{out}=100pF$ , 그리고  $f_{clk}=1MHz$ 에서 Dickson 구조와 기존의 cross-coupled 구조에서의 리플전압은 각각 590mV와 215mV인 반면 4-위상 클럭킹을 적용한 구조에서는 123mV이다. 그리고 50mV의 리플전압을 가지기 위해 필요한 필터링 캐패시터의 크기는  $I_{out}=100\mu A$ 와  $f_{clk}=1MHz$ 에서 Dickson 구조와 기존의 cross-coupled 구조에서는 각각 1029pF와 575pF인 반면 4-위상과 6-위상 클럭킹을 적용한 구조에서는 단지 290pF와 157pF만이 각각 요구된다. 구조별 효율로는 Dickson 구조의 전하 펌프에서는 59%, 기존의 cross-coupled 구조와 본 논문에서 제안한 4-위상을 적용한 cross-coupled 구조의 전하 펌프에서는 65.7%와 65.3%의 효율을 각각 가진다.

## Abstract

An area-efficient DC-DC voltage up-converter in a poly-Si TFT technology for system-on-glass is described which provides low-ripple output. The voltage up-converter is composed of charge-pumping circuit, comparator with threshold voltage mismatch compensation, oscillator, buffer, and delay circuit for multi-phase clock generation. The low ripple output is obtained by multi-phase clocking without increasing neither clock frequency nor filtering capacitor. The measurement results have shown that the ripple on the output voltage with 4-phase clocking is 123mV, while Dickson and conventional cross-coupled charge pump has 590mV and 215mV voltage ripple, respectively, for  $R_{out}=100k\Omega$ ,  $C_{out}=100pF$ , and  $f_{clk}=1MHz$ . The filtering capacitor required for 50mV ripple voltage is 1029pF and 575pF for Dickson and conventional cross-coupled structure, for  $I_{out}=100\mu A$ , and  $f_{clk}=1MHz$ , while the proposed multi-phase clocking DC-DC converter with 4-phase and 6-phase clocking requires only 290pF and 157pF, respectively. The efficiency of conventional and the multi-phase clocking DC-DC converter with 4-phase clocking is 65.7% and 65.3%, respectively, while Dickson charge pump has 59% efficiency.

**Keywords :** DC-DC 변환회로, 전하 펌핑 회로, 다중 위상 클럭

## I. 서 론

통상적으로 TFT-LCD는 비정질 실리콘 박막트랜지

\* 정회원, \*\* 평생회원, 한양대학교 전자전기컴퓨터공학부  
(Div. Electrical and Computer Eng., Hanyang Univ.)  
접수일자: 2004년10월6일, 수정완료일: 2005년1월12일

스터 (Amorphous Silicon Thin Film Transistor : a-Si TFT)를 이용하여 구현하는데 a-Si TFT는 이동도가 너무 낮아 화소부를 제어하는 스위칭 소자로만 사용되고, 구동회로는 외부에 장착되어 TAB (Tape Automated Bonding) 등의 방법으로 연결하게 되므로 TFT-LCD의 부피와 가격이 증가되는 문제점이 있다.

반면, 다결정 실리콘 박막트랜지스터 (Polycrystalline Silicon Thin Film Transistor : poly-Si TFT)는 외부의 구동회로를 패널 즉 유리 위에 접착하게 되므로 패널과 드라이버 IC 사이의 연결선이 필요 없게 되므로 TFT LCD의 불량률과 신뢰성을 크게 향상할 수 있다. 또한 a-Si의 경우 화소수가 많아질수록 드라이버 IC와 연결하는 배선의 pitch에 대한 한계가 있다. 이러한 이유에서 디스플레이 시스템의 최종목표는 그림 1과 같이 poly-Si TFT를 이용하여 게이트 및 데이터 드라이버 IC 뿐만 아니라 DC-DC 변환회로와 컨트롤 로직까지 포함한 모든 시스템이 패널에 접착되는 SoG (System-on-Glass)가 될 것이다<sup>[1]</sup>.

패널이 커지고 해상도가 높아짐에 따라 패널을 구동하기 위한 주변회로들의 전력소모가 커진다. 즉, DC-DC 변환회로가 공급해주어야 할 전력이 커지게 되는 것인데 이 경우 출력 전압의 흔들림, 즉 리플전압이 커진다. 리플전압을 줄이기 위해서는 전하 펌프 형태의 DC-DC 변환회로의 필터링 캐패시터를 크게 해주거나 클럭 주파수를 높게 해주는 두 가지 방법이 있다. 하지만 poly-Si TFT의 낮은 이동도로 인해 동작 주파수는 제한되게 된다. 따라서 poly-Si TFT DC-DC 변환회로에서 리플전압을 낮출 수 있는 유일한 방법은 필터링 캐패시터를 크게 해주는 것인데 이는 높은 비용 및 다

른 주변회로들의 면적 제한을 야기 시킨다.

본 논문에서는 제안한 다중 위상 클럭킹 방법을 이용하여 펌핑 클럭 주파수 또는 필터링 캐패시터의 증가 없이도 SoG를 위한 poly-Si TFT DC-DC 변환회로를 구현하였다.

## II. 전하 펌프 회로

### 1. 기존의 전하 펌프 회로

전압 업 변환을 위해 가장 널리 사용되는 Dickson 전하 펌프 회로를 그림 2에 나타내었다<sup>[2]</sup>. 펌핑 효율은 NTFT 소자의 문턱전압 강하에 의해 제한되어진다. 출력에 나타나는 리플전압은 필터링 캐패시터가 매 클럭 주기 동안 CLK1이 high일 때에만 충전 되므로 클럭 주파수에 비례하게 되며 만약 모든 기생 캐패시터를 무시한다면 출력 리플전압은 수식 (1)과 같이 나타낼 수가 있다.

$$V_{ripple} = \frac{I_{out}}{f_{clk} \times C_{out}} \quad (1)$$

문턱전압 강하로 인한 Dickson 전하 펌프 회로의 효율 저하는 그림 3에 나타낸 cross-coupled 구조를 사용함으로써 경감시킬 수가 있다<sup>[3]</sup>. 또한 cross-coupled 구조를 사용함으로써 또 다른 장점은 출력 리플전압에서 나타난다. 이 구조에서 필터링 캐패시터는 매 클럭 주기 동안 CLK1, CLK2가 각각 high일 때 충전되므로 출력에 나타나는 리플전압은 Dickson 구조에 비해 거의 절반으로 줄어들게 되어 기생 캐패시터를 무시한다면 수식 (2)와 같이 나타낼 수 있다.

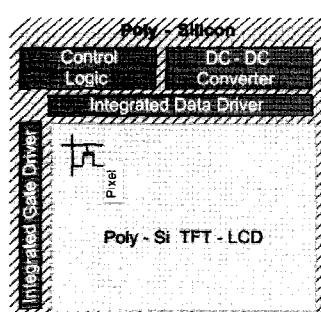


그림 1. Poly-Si TFT를 이용한 SoG의 개념도  
Fig. 1. Concept of SoG with poly-Si TFT.

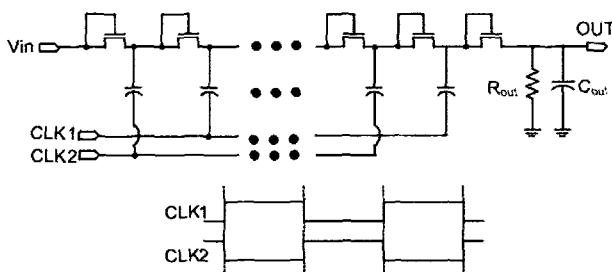


그림 2. Dickson 전하 펌프 회로와 타이밍도  
Fig. 2. Dickson charge pump circuit and its timing.

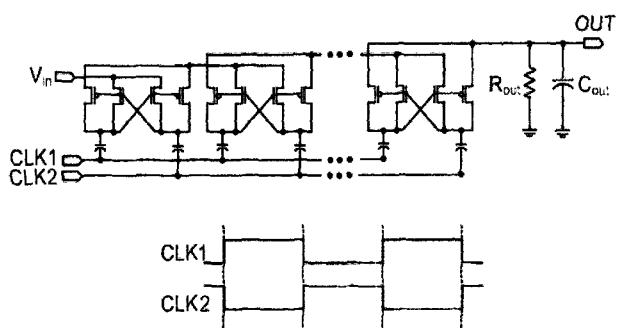


그림 3. Cross-coupled 전하 펌프 회로와 타이밍도  
Fig. 3. Cross-coupled charge pump circuit and its timing.

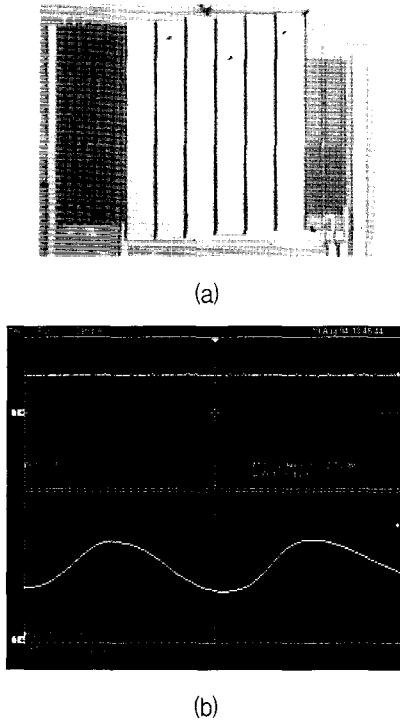


그림 4. Dickson 전하 펌프 회로의 (a) 현미경 사진과 (b) 측정결과

Fig. 4. (a) Microphotograph and (b) measured waveform of Dickson charge pump circuit.

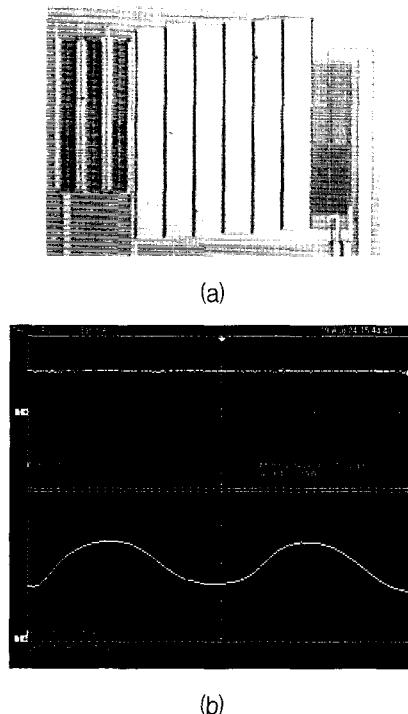


그림 5. 기존의 cross-coupled 구조 전하 펌프 회로의 (a) 현미경 사진과 (b) 측정결과

Fig. 5. (a) Microphotograph and (b) measured waveform of conventional cross-coupled charge pump circuit.

$$\begin{aligned} V_{ripple} &= \frac{I_{out}}{2 \times f_{clk} \times (C_{out} + C_{pump})} \\ &\approx \frac{I_{out}}{2 \times f_{clk} \times C_{out}} \end{aligned} \quad (2)$$

만약 필터링 캐패시터를 매 클럭 주기 동안 보다 자주 충전 시켜주게 된다면 리플전압은 더욱더 줄어들게 될 것이다. 이러한 개념을 이용하여 다중 위상 클럭킹 방법을 제안하였다.

그림 4와 그림 5에 Dickson 전하 펌프 회로와 기존의 cross-coupled 전하 펌프 회로에 대한 테스트 패턴의 현미경 사진과 측정결과를 각각 나타내었다. 측정은  $R_{out}=100k\Omega$ ,  $C_{out}=100pF$ ,  $f_{clk}=1MHz$ 에서 이루어 졌으며 측정결과 과형에서 Dickson 구조와 cross-coupled 구조 각각에 대해 출력 전압은 9.8V와 10.6V, 리플전압은 590mV와 215mV임을 알 수가 있으며 효율은 59%와 65.7%의 값을 얻었다.

## 2. 제안한 다중 위상 전하 펌프 회로

그림 3에 나타낸 기존의 cross-coupled 전하 펌프에 각 2개의 캐패시터, NTFT, PTFT로 구성되는 하나 또

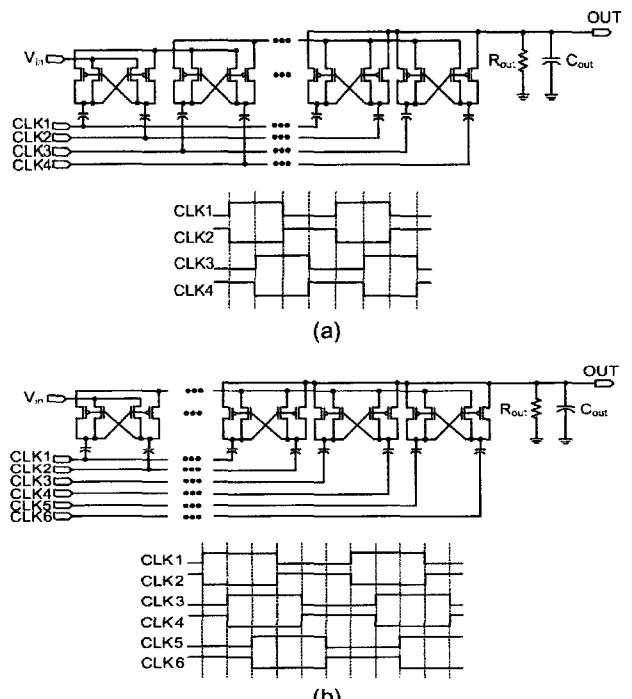


그림 6. 기존의 cross-coupled 구조에 (a) 4-위상, (b) 6-위상 클럭킹을 적용한 전하 펌프 회로와 타이밍도

Fig. 6. Cross-coupled charge pump and its timing with (a) 4-phase and (b) 6-phase clocking.

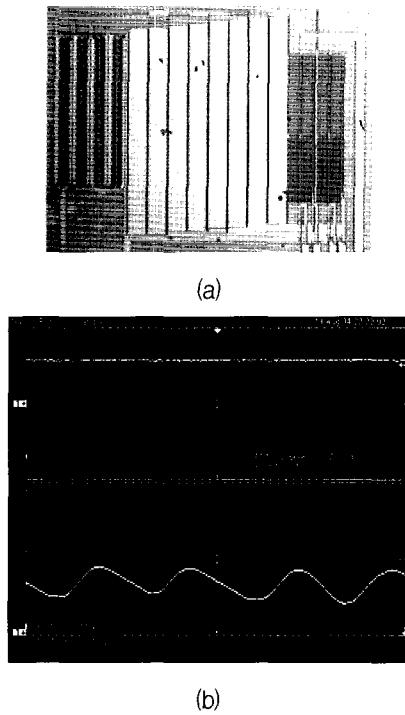


그림 7. 기존의 cross-coupled 구조에 4-위상 클럭킹을 적용한 전하 펌프 회로의 (a) 현미경 사진과 (b) 측정결과

Fig. 7. (a) Microphotograph and (b) measured waveform of cross-coupled charge pump circuit with 4-phase clocking.

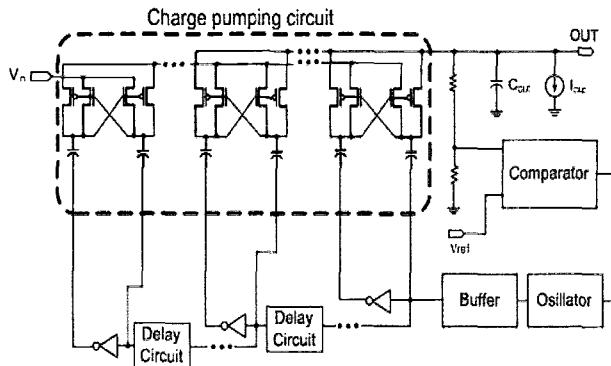


그림 8. DC-DC 변환회로 구조

Fig. 8. Architecture of DC-DC converter.

는 두 개의 단을 추가함으로써 그림 6의 4-위상 또는 6-위상 클럭킹 전하 펌프를 구현할 수가 있다. 같은 출력 전압을 위하여 마지막 단에 다른 위상을 가지는 보다 많은 단을 추가하게 된다면 리플전압은 훨씬 더 줄어들게 될 것이다. 만약 N개 위상의 클럭을 사용하여 N-위상 클럭킹을 하고 기생 캐패시터를 무시한다면 수식 (3)과 같이 리플전압을 나타낼 수가 있다.

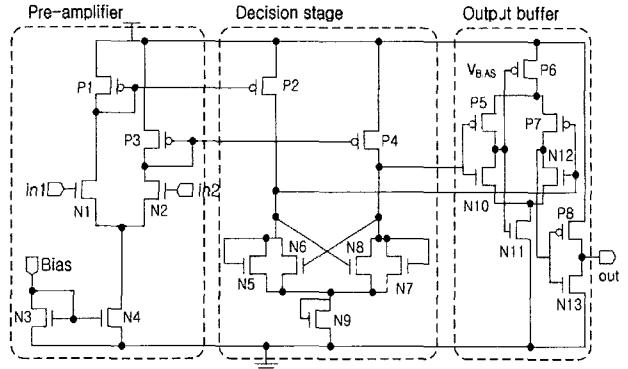


그림 9. 기존의 비교기  
Fig. 9. Conventional comparator.

$$V_{ripple} = \frac{I_{out}}{N \times f_{clk} \times C_{out}} \quad (3)$$

따라서 제안한 다중 위상 클럭킹 방법을 적용함으로써 poly-Si TFT의 낮은 동작주파수에는 무관하게 클럭 주파수 또는 필터링 캐패시터의 증가 없이도 리플전압을 줄일 수가 있다. 요구되는 리플전압, 출력 전류, 클럭 주파수 등에 따라 다르겠지만 일반적으로 다중 위상 클럭킹을 함으로써 증가되는 펌핑 캐패시터의 크기는 필터링 캐패시터의 크기보다 작으므로 다중 위상 클럭킹을 함으로써 DC-DC 변환회로의 면적감소가 가능하다. 또한 제안한 다중 위상 클럭킹 방법은 DC-DC 변환회로가 공급해주어야 할 전류가 클수록 효용성은 더 높아지므로 SoG를 위한 이용가치가 높다고 할 수 있겠다.

그림 7에 4-위상 클럭킹을 적용한 전하 펌프 회로에 대한 테스트 패턴의 현미경 사진과 측정결과를 나타내었다. 역시 측정은  $R_{out}=100k\Omega$ ,  $C_{out}=100pF$ ,  $f_{clk}=1MHz$ 의 조건에서 이루어 졌으며 출력 전압은 11.4V, 리플전압은 135mV이며 효율은 65.3%이다. 그림 5에 나타낸 기존의 cross-coupled 구조에 비해 리플전압이 정확히 절반인 되지 않는 이유는 출력 전압의 차이에 따른 출력 전류의 차이에 기인한 것이다.

### III. 다중 위상 클럭킹 전하 펌프를 사용한 DC-DC 변환회로

일반적으로 DC-DC 변환회로는 그림 8에 나타낸 것처럼 전하 펌프 회로, 비교기, 오실레이터, 버퍼, 그리고

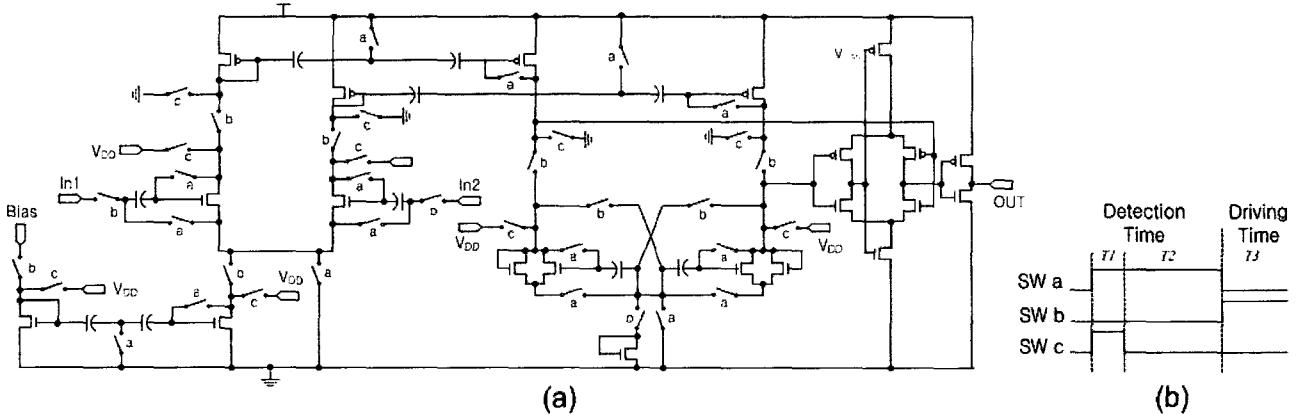


그림 10. (a) 문턱전압 변화를 보상한 비교기와 (b) 타이밍도

Fig. 10. (a) Comparator with VTH mismatch compensation and (b) its timing.

다중 위상 클럭을 생성하기 위한 지연회로로 구성된다. 비교기는 출력 전압과 기준 전압을 비교하여 같지 않다면 펌핑 신호를 생성하기 위한 high 또는 low의 적절한 출력 전압을 공급한다<sup>[4]</sup>. 불균일한 grain boundary로 인한 큰 문턱전압 변화를 가지는 poly-Si TFT로 모든 회로가 구현되기 때문에 비교기의 경우 큰 offset으로 인하여 잘 동작하지 않을 수가 있다. 따라서 그림 9에 나타낸 기존의 비교기에 본 논문에서 제안한 문턱 전압 변화를 보상한 비교기를 그림 10에 나타내었다.

비교기는 입력 pre-amplifier, positive feedback 또는 decision stage, 출력 버퍼의 세단으로 구성되어 있다. Pre-amplifier는 비교기의 입력 신호를 잘 비교할 수 있도록 민감도를 높여주기 위해 입력 신호를 증폭하고 positive feedback stage로부터 오는 스위칭 잡음을 입력 신호와 분리시키는 역할을 한다. Decision stage는 두 입력 신호 중 어느 것이 크고 작은지를 결정한다. 마지막으로 self-biasing 구조를 한 출력 버퍼는 결정된 정보를 디지털 신호로써 출력한다<sup>[5]</sup>. Self-biasing은 공정 파라미터 또는 동작 환경의 변화에도 바이어스 전압을 안정화시키는 negative feedback 구조로 형성되어 있다. 따라서 poly-Si TFT의 문턱전압 변화는 출력 버퍼 단에서는 본질적으로 보상되어진다<sup>[6]</sup>.

따라서 본 논문에서 제안한 비교기의 문턱전압 변화 보상은 그림 9에 나타낸 기존의 회로에서 output buffer 단을 제외한 각 TFT에 하나의 캐패시터와 스위치를 이용하여 개별적으로 문턱전압을 보상하여 회로 전체가 문턱전압에 둔감하도록 하였다. 문턱전압을 보상하기 위한 비교기의 동작절차는 다음과 같다. T1 동안에 각 캐패시터의 한쪽은  $V_{DD}$ 에 연결되고 다른 한쪽은 접지

에 연결되므로 캐패시터에는  $V_{DD}$ 의 전하가 충전되어 있다. 다음 T2 동안에는 캐패시터에는 저장되어 있던  $V_{DD}$ 의 전하는 TFT의  $V_{GS}$ 가 문턱전압과 같아지면 깨지게 되므로 문턱전압까지 방전된다. 따라서 detection 기간 동안에는 각 TFT의 게이트 쪽에 있는 캐패시터에는 문턱전압만큼이 저장되게 된다. 구동 기간 동안에 각 TFT의 드레인 전류는 수식 (4)과 같이 나타낼 수가 있다.

$$\begin{aligned} I_D &= \frac{\beta}{2} \frac{W}{L} (V_{GS} + |V_{TH}| - |V_{TH}|)^2 \\ &= \frac{\beta}{2} \frac{W}{L} (V_{GS})^2 \end{aligned} \quad (4)$$

따라서 각 TFT의 드레인 전류는 문턱전압에 둔감해지고 비교기의 offset은 보상된다.

#### IV. 시뮬레이션 및 측정 결과

앞의 측정결과에서 출력전류의 차이에 기인한 리플 전압의 차이는 그림 11의 시뮬레이션 결과와 이를 요약한 표 1에서 볼 수 있는 것처럼  $I_{out}=100\mu A$ 의 동일한 조건에서 Dickson 구조와 기존의 cross-coupled 구조에서의 리플전압은 508.8mV와 263.4mV인 반면 4-위상과 6-위상 클럭킹을 적용한 출력에서의 리플전압은 132.3mV 와 73mV으로 이상적으로 줄어듦을 알 수가 있다. 또한  $I_{out}=100\mu A$ 와  $f_{clk}=1MHz$ 에서 50mV의 리플전압을 가지기 위해 요구되는 필터링 캐패시터의 크기는 Dickson 구조와 기존의 cross-coupled 구조에서는 1029pF과 575pF인 반면 4-위상과 6-위상 클럭킹을 적

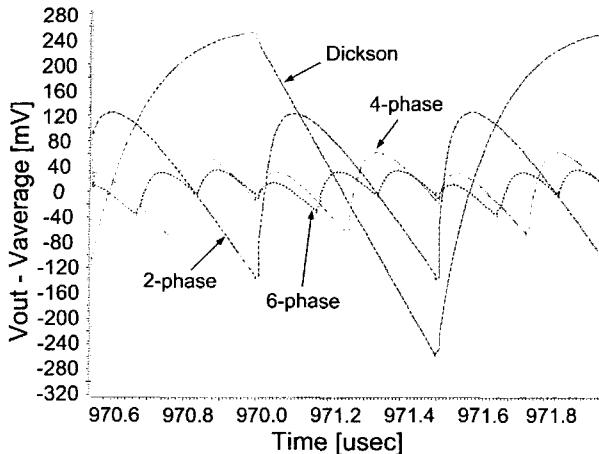


그림 11.  $I_{out}=100\mu A$ ,  $C_{out}=100pF$ , 그리고  $f_{clk}=1MHz$ 에서 각 구조별 리플전압

Fig. 11. Ripple voltage of each structure for  $I_{out}=100\mu A$ ,  $C_{out}=100pF$  and  $f_{clk}=1MHz$ .

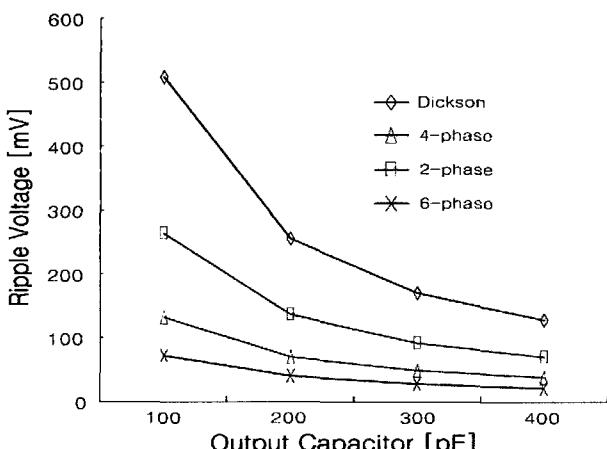


그림 12.  $I_{out}=100\mu A$ 와  $f_{clk}=1MHz$ 에서 각 구조별 output capacitor의 크기에 따른 리플전압

Fig. 12. Ripple voltage vs. output capacitor for  $I_{out}=100\mu A$  and  $f_{clk}=1MHz$ .

표 1.  $I_{out}=100\mu A$   $f_{clk}=1MHz$ 에서의 시뮬레이션 결과  
Table 1. Simulation result for  $I_{out}=100\mu A$  and  $f_{clk}=1MHz$ .

	Filtering capacitor (for 50mV ripple voltage)	Ripple voltage ( $C_{out} \approx 100pF$ )
Dickson	1029pF	508.8mV
Cross-coupled	575pF	263mV
4-phase clocking	290pF	132.3mV
6-phase clocking	157pF	73mV

용한 구조에서는 단지 290pF와 157pF만이 필요하다. 그림 11에는  $I_{out}=100\mu A$ 이고  $f_{clk}=1MHz$ 일 때의 필터링 캐패시터에 따른 리플전압을 나타내었으며 표 2에는 전하

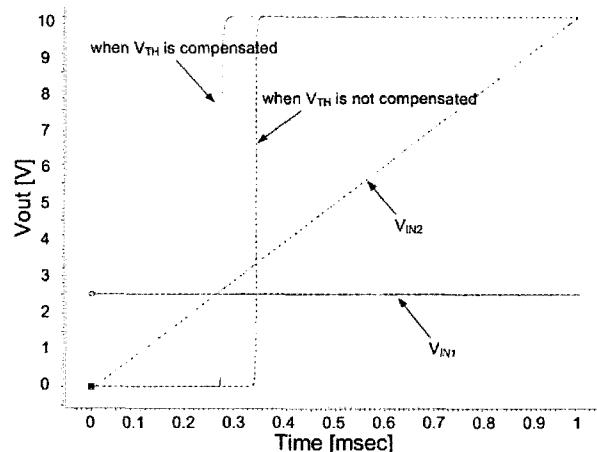


그림 13. 문턱전압을 보상하기 전후의 비교기

Fig. 13. Comparator of threshold voltage compensation before and after.

표 2.  $R_{out}=100k\Omega$ ,  $C_{out}=100pF$ , 그리고  $f_{clk}=1MHz$ 에서의 시뮬레이션 결과와 측정 결과

Table 2. Simulation result vs. measured result for  $R_{out}=100k\Omega$ ,  $C_{out}=100pF$  and  $f_{clk}=1MHz$ .

	Output voltage	Ripple voltage	Efficiency
Dickson	9.67V	550mV	61.27%
	9.8V	590mV	59%
Cross-coupled	10.71V	205mV	67.79%
	10.6V	215mV	65.7%
4-phase clocking	11.54V	123mV	67.79%
	11.4V	135mV	65.3%
6-phase clocking	11.82V	68mV	67.76%

표 3.  $I_{out}=3mA$ ,  $f_{clk}=1MHz$ 에서 요구되는 filtering capacitor의 면적과 전체 전하 펌프 회로의 면적

Table 3. Required area of filtering capacitor and charge pump circuit for  $I_{out}=3mA$  and  $f_{clk}=1MHz$ .

	Area of filtering capacitor (for 50mV ripple voltage) [ $\mu m^2$ ]	Area of charge pump (for 50mV ripple voltage) [ $\mu m^2$ ]
Dickson	298,260,870	299,770,170
Cross-coupled	166,666,667	168,201,767
4-phase clocking	84,057,971	86,288,771
6-phase clocking	45,507,246	48,463,746

펌프 회로의 실제측정결과와 시뮬레이션 결과를 나타내었다. 그리고 그림 12의 시뮬레이션 결과에서 알 수 있듯이  $\pm 0.3V$  문턱전압 변화에 대한 비교기의 offset 전

압은 825mV이며 문턱전압 변화를 보상한 비교기의 경우에는 97mV의 offset 전압을 가졌다. 표 3에는 전하 펌프 회로가 control logic을 제외한 게이트 드라이버와 데이터 드라이버만을 구동하는 경우 QVGA급을 가정하고 필요한 면적을 계산한 것이다. 만약 control logic 까지 구동하게 된다면 필터링 캐패시터가 차지하는 면적이 전체회로에서 더욱 커지게 되어 다중 위상 클럭킹 방법의 효율성은 보다 커지게 된다.

## V. 결 론

Poly-Si TFT를 사용하여 system-on-glass를 위한 낮은 리플전압을 가지는 소 면적 DC-DC 변환회로를 개발하였다. 시뮬레이션 결과에서 볼 수 있듯이 50mV의 리플전압을 가지기 위해서는  $I_{out}=100\mu A$ ,  $f_{clk}=1MHz$ 에서 Dickson 구조와 cross-coupled 구조 전하 펌프 회로의 경우 각각 1029pF과 575pF이 필요하며, 4-위상과 6-위상 클럭킹을 하였을 경우에는 단지 290pF과 157pF 만이 필요하였다. 또한 측정결과에서 구조별 효율로는 Dickson 구조의 전하 펌프에서는 59%, 기존의 cross-coupled 구조와 4-위상을 적용한 cross-coupled 구조의 전하 펌프에서는 65.7%와 65.3%의 효율을 가진다.

제안한 다중 위상 클럭킹 방법을 적용함으로써 poly-Si TFT의 낮은 동작주파수에는 무관하게 클럭 주파수 또는 필터링 캐패시터의 증가 없이도 리플전압을 줄일 수가 있으며 DC-DC 변환회로가 공급해주어야 할 전류가 클수록 그 효용성은 더 높아진다. 패널 사이즈 와 해상도에 따라 다르겠지만 일반적으로 게이트 드라이버와 데이터 드라이버만을 패널에 집적시키는 경우만 하더라도 필요한 소모전류가 수mA 이상임을 감안한다면 SoG를 위해 유용하게 이 방법이 이용될 수가 있겠다. 또한 이 방법을 사용함으로써 증가되는 펌핑 캐패시터의 크기는 필터링 캐패시터의 크기보다 작으며 효율의 저하 역시 거의 없으므로 유용하게 사용될 수 있겠다.

## 참 고 문 헌

- [1] 유창식, 김대준, 이균렬, "System-on-Glass를 위한 poly-Si TFT 아날로그 회로", 한국정보디스플레이 학회지, 제 5권, 제 1호, 2004년 2월.
- [2] John F. Dickson, "On-Chip High-Voltage Generation in MNOS Integrated Circuits Using

an Improved Voltage Multiplier Technique", IEEE Journal of solid-state circuits, VOL. SC-11, NO. 3, June 1976.

- [3] Pierre Favrat, et al., "A High-Efficiency CMOS Voltage Doubler", IEEE Journal of Solid-State Circuits, VOL. 33, No. 3, March 1998.
- [4] Toru Tanzawa and Shigeru Atsumi, "Optimization of Word-Line Booster Circuits for Low-Voltage Flash Memories", IEEE Journal of Solid-State Circuits, VOL. 34, No. 8, August 1999.
- [5] R. Jacob Baker, Harry W. Li, and David E. Boyce, "CMOS Circuit Design, Layout, and Simulation", IEEE Press, pp. 685-703, 1998.
- [6] M. Bazes, "Two Novel Fully Complementary Self-Biased CMOS Differential Amplifiers", IEEE Journal of solid-state Circuits, Vol. 26, No. 2, pp. 165-168, February 1991.

## 저자소개

이 균 렐(정회원)

2003년 동아대학교 전자공학과  
학사 졸업.  
현재 한양대학교 전자통신전파  
공학과 석사과정.  
<주관심분야 : TFT-LCD Driver  
IC 설계>



김 대 준(정회원)

2003년 한양대학교 전자공학과  
학사 졸업.  
현재 한양대학교 전자통신전파  
공학과 석사과정.  
<주관심분야 : TFT-LCD Driver  
IC 설계>



유 창 식(평생회원)

1992년 서울대학교 전자공학과  
학사 졸업.  
1994년 서울대학교 전자공학과  
석사 졸업.  
1998년 서울대학교 전기공학부  
박사 졸업.



현재 한양대학교 전자전기컴퓨터공학부 조교수.  
<주관심분야 : 유무선 통신용 혼성 신호 회로 설  
계>