

산업체 기고문

PCB 단계의 EMC 설계 · 대책

정 기 범 · 최 형 도  
한국전파진흥협회 부설  
EMC 기술지원센터

I. 개 요

정보통신기기와 산업기기 그리고 자동차 전자 부품으로부터 방출되는 전자파를 억제하는 것은 지식 기반 정보화 사회에 있어서 필수사항이 되었다. 전자파 발생원(source)이 생기지 않도록 제품을 설계하는 PCB(Printed Circuit Board) 관련 EMC(Electromagnetic Compatibility) 설계 기술은 이미 발생한 전자파의 방출을 막는 기구물적인 대책 방법보다 비용 측면에서 훨씬 효율적이다. 전자파 장애를 억제할 수 있는 적절한 PCB 설계 기술을 적용하면 케이블과 내부의 상호 연결선(interconnect)에 대해 EMC 적합성을 향상시킬 수 있지만 차폐함체(shielding enclosure)로 차폐하는 방법으로는 그렇게 할 수 없어 차폐함체 대책이 언제나 경제적인 측면에서 유리하다고 할 수는 없다. 따라서 EMC 설계 엔지니어는 시스템 전체의 기능을 유지하면서 잡음 발생원인 EMI(Electromagnetic Interference) 억제를 위해 PCB 설계 및 구성에 대한 문제를 심도 있게 연구해야 할 것이다.

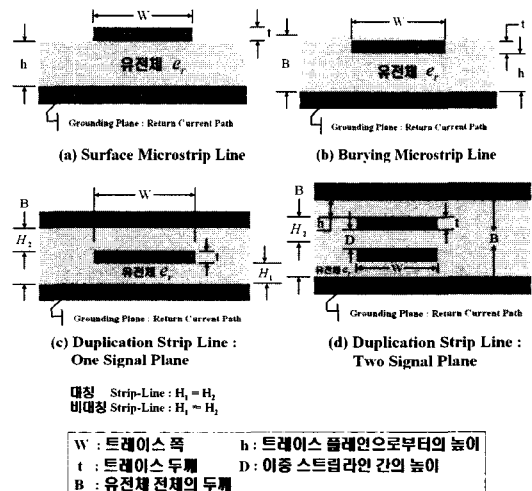
II. PCB 설계

PCB 회로 기판을 설계할 때에 우선 고려해야 할 사항은 몇 층의 signal-layer와 power plane이 그 기능을 위해 필요한가 하는 점이다. layer 수는 기능 사양, 노이즈 내성과 신호 종류의 분리, trace, 임피던스

제어, VLSI 회로의 소자 밀도, 버스의 배선 등에 의해 결정된다. 차폐함체 또는 도전성 플라스틱 케이스에 의지하는 것보다 PCB 상에서 RF 에너지를 억제하는 것이 바람직하며, 스트립라인(strip-line)과 마이크로 스트립(microstrip-line) 형태의 적절한 사용은 PCB 설계에 있어서 무선주파수(RF)를 억제하는데 매우 유용하다.

2-1 Strip Line과 Microstrip Line

마이크로스트립은 유전성 재료에 의해 고체의 plane으로부터 분리된 PCB상의 외면 trace를 말한다. 마이크로스트립 기술은 기판상에서 RF 에너지의



[그림 1] Microstrip과 strip-line의 형태

역제를 제공하고 스트립라인보다 고속의 clock이나 논리 신호를 가능하게 한다. 고속 신호의 edge를 유연하게 하기 위해, 클럭 신호에 콘덴서를 사용하는 경우가 있다. 이것은 두 plane간의 용량성 커플링이 저감되면 더욱 빠른 신호 전달이 가능하기 때문이다.

한편, 스트립라인은 두 plane간에 signal line을 라우팅한 구성을 말한다. 스트립라인은 RF 방사에 대해 보다 양호한 노이즈 내성을 제공하지만, 전달속도가 훨씬 느려지는 대가를 지불하게 된다. 또한 내부의 신호 라인은 RF 에너지를 방출하는 경우는 없지만 상호 접속 부분(본딩 와이어, 리드, 프레임, 소켓, 상호 접속 케이블 등)이 또한 문제를 야기시킨다. 시스템, 부품, trace의 임피던스 순으로 임피던스 부정합이 발생할 가능성이 있다.

여기서 transmission line의 특성 임피던스를 아래의 식으로 근사시킬 수 있다.

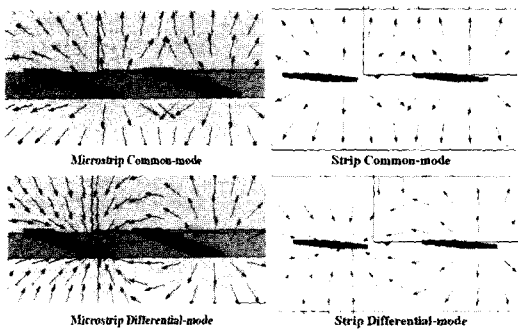
$$Z_0 \approx \frac{87}{\sqrt{\epsilon_r + 1.41}} \ln\left(\frac{5.98h}{0.8W+t}\right) \Omega \quad (1)$$

(0.1 < W/h < 2.0이고, 1 < ε<sub>r</sub> < 15일 때)

$$Z_0 \approx \frac{60}{\sqrt{\epsilon_r}} \ln\left(\frac{4h}{0.67\pi(t+0.8W)}\right) \Omega \quad (2)$$

(W/h < 3.5이고, t/H < 0.25일 때)

식 (1)은 마이크로스트립 구조의 특성 임피던스



[그림 2] LVDS의 차동모드 및 공통모드의 필드 내부 분포

근사적이고, 식 (2)는 스트립구조의 특성 임피던스의 근사식을 나타내고 있다.

[그림 2]의 LVDS(Low Voltage Differential Signalling)는 차동모드 signal line을 가지고 있어 EMI 저감 효과가 뛰어난 trace 구조이며, 특히 영상신호 및 고속의 클럭 신호에 매우 뛰어난 효과를 지니고 있다.

### 2-2 PCB의 적층 할당 방법

본고에서 언급하는 PCB 적층 할당법은 PCB 적층법의 선택 지침으로서 제공되며, 이 지침은 고정된 것이 아니고 기능과 필요로 하는 layer의 수에 따라 변경 가능하다. 중요한 규칙 중에 하나가 signal layer는 power와 reference plane(return current path)에 인접시켜 설계를 해야 한다. 이들 할당법의 요약은 <표 1>과 같이 표현할 수 있다.

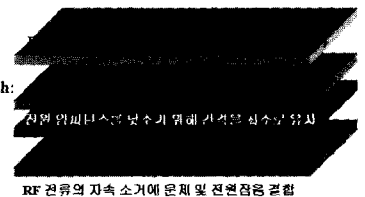
특히, 4-layer의 적층구조는 한 가지 방법만이 존

<표 1> PCB 적층 할당법의 예

층 번호	1	2	3	4	5	6	7	8	9	10	비고
2층	S1	S2									지속선계
	G	P									
4층(4층)	S1	G	P	S2							고속신호 임피던스와 저전압 임피던스의 유지가 어렵다.
6층(6층)	S1	G	S2	S3	P	S3					지속 선계, 전원부족, 고속신호 임피던스
8층(8층)	S1	S2	G	P	S3	S4					중요한 신호는 S2만
8층(8층)	S1	G	S2	P	G	S3					지속신호는 S2-S3
8층(8층)	S1	S2	G	S3	S4	P	S5	S6			고속신호는 S2-S3에, 전원 임피던스는 좋지 않다.
8층(8층)	S1	G	S2	G	P	S3	G	S4			EMC에 최적
10층(10층)	S1	G	S2	S3	G	P	S4	S5	G	S6	EMC에 최적, S4는 전원 노이즈의 영향에 받는다.

S : Signal line, P : 전원, G : Return current path

1. Signal Plane 1
2. Return current path : Reference Plane
3. Power Plane
4. Signal Plane 2



RF 전류의 지속 소거에 문제 및 전원잡음 결함

[그림 3] 4-layer의 PCB 적층 구조

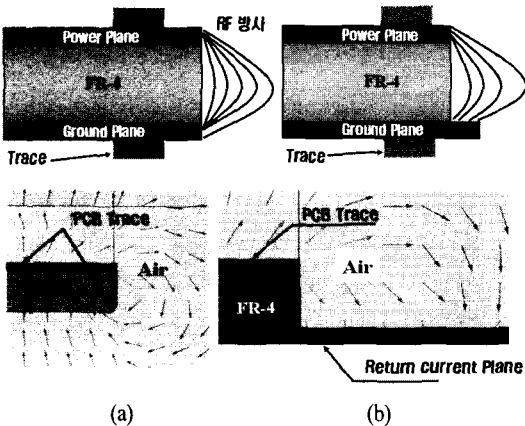
재하게 되는데, [그림 3]은 이러한 구조를 보여주고 있다.

### 2-3 PCB Layer의 RF 커플링

RF 전류는 자속 커플링으로 인하여 power plane 끝면에 field가 존재하게 된다. 이 plane간의 커플링을 프린징(Fringing, 이하 프린징)이라 부르며, 일반적으로 고속의 PCB에서만 볼 수 있다. 이 커플링 효과를 최소로 하기 위하여 20H 규칙(W. Michael King에 의해 정의)에 근거하여 모든 전원 전압 plane은 가장 가까운 reference plane보다 물리적으로 작아야 한다. [그림 4]는 이러한 프린징 효과를 보여주고 있다.

[그림 4]에서 (a)는 기판의 끝에서 power와 ground plane간의 RF 프린징이 발생하여 RF 방사현상이 일어나고, (b)는 RF 전류가 커플링하게 되는 return current path가 존재하므로 RF 방사가 발생하지 않는다.

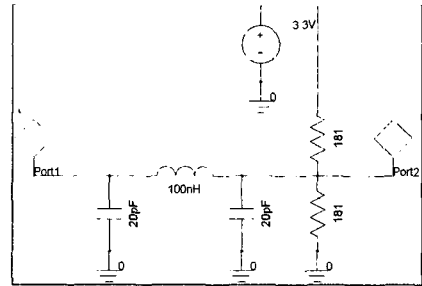
지금까지 기본적으로 EMC를 고려한 PCB 설계 개요에 대하여 살펴보았다. 다음 절에서는 이러한 설계 원칙에 근거하지 않고 일반적인 상용화 단계 제품의 EMC 문제가 발생하였을 경우 어떻게 대책을 세우고 EMC 문제를 해결하는가에 대한 EMC 대책 사례에 대하여 살펴보도록 하겠다.



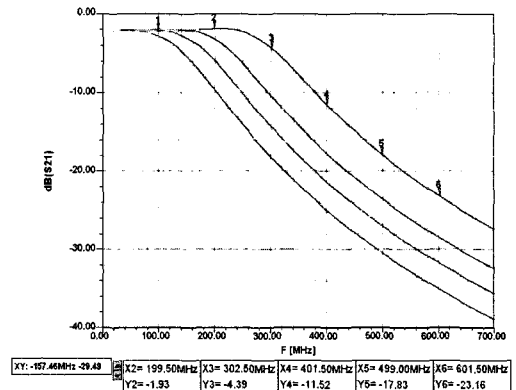
[그림 4] RF fringing 효과 원리와 시뮬레이션 결과

### III. PCB 단계의 EMC 대책 사례

본 절에서는 일반적인 상용화 단계의 EMC 문제 발생시 PCB Level에서의 EMC 대책 사례를 소개하도록 하겠다. 본질적으로 제품상태의 EMC 문제가 심각하게 대두되면 EMC를 고려한 PCB 설계를 다시 적용하여 PCB 단계에서 다시 설계해야 하는 심각한 문제가 발생하게 된다. 이런 경우 회로적인 소자 변경이나 필터 대책 및 기구적인 대책으로는 한계성이 있게 된다. 이렇게 하면 제품의 경쟁력과 시장 진입의 시기를 놓치게 되므로 설계 초기에 EMC를 적용한 PCB 설계가 이루어지도록 설계 담당자 및 관계자는 유념해야 한다. [그림 5]는 ADSL 모뎀의 경우 클럭 라인에 RC 필터를 설계한 것이다. 시뮬레이션



[그림 5] Clock 회로의 RC 필터



[그림 6] 그림 5의  $S_{21}$  특성 그래프

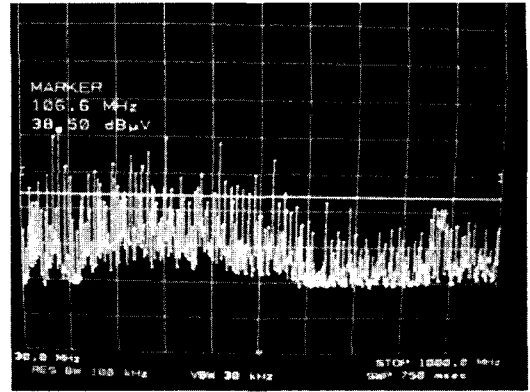
들은 안소프트의 Designer를 이용하였다. 설계 파라미터를 결정한 후 EMI 특성을 살펴보았다.

클럭 회로에 RC 필터를 적용하여  $S_{21}$ 의 파라미터를 설계하게 되면, 고조파 하모닉 주파수 성분들이 제거가 되게 된다. [그림 6]은  $S_{21}$ 의 특성 그래프를 나타낸 것이다.

[그림 7]은 [그림 6]의 200 MHz 이후 대역에서 만족하는 파라미터를 이용하고, 대책 전과 대책 후를 비교한 결과이다.

[그림 8]은 차량용 DVD의 EMI 대책을 위해 near field probe를 이용하여 메인보드의 초기 EMI pre-scan을 한 결과를 나타내고 있다.

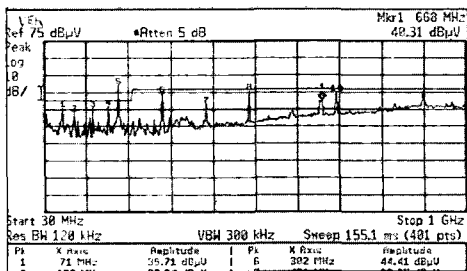
[그림 8]의 결과를 토대로 분석을 하게 되면, 메모리 칩의 신호라인과 DSP 칩의 신호라인 그리고 27 MHz 오실레이터 CLK(Clock)의 하모닉 주파수가 30 MHz~1,000 MHz 전 대역에 걸쳐 분포하고 있다. 그리고 접지 상태가 좋지 않다. 따라서 DSCK 및



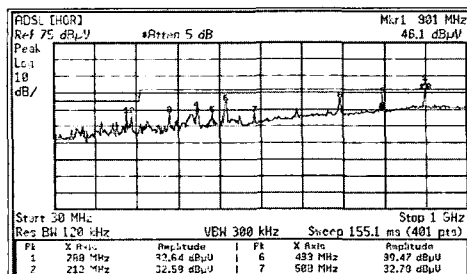
[그림 8] 차량용 DVD 초기 pre-scan 결과

MCLK 라인의 콘덴서의 용량을 증가시키고, DATA LINE 저항 10 Ohm을 CHIP BEAD 120 Ohm으로 교체하였다. 그리고 클럭 라인에 BEAD 121 Ohm으로 교체를 하고 각 layer의 접지를 보강하여 EMI 억제 를 시도하였다. 이것은 [그림 5]와 같은 개념으로 클럭에 유기되는 고조파 성분을 제거하기 위한 것이다. 또한 데이터 라인의 페라이트 비드는 trace상의 RF 에너지를 저감시킨다. 저항보다는 페라이트 비드가 노이즈 성분 제거와 신호 충실도에 더 좋은 효과가 있다. 왜냐하면, 페라이트 비드는 원하지 않는 고주파 노이즈와 기생 진동 노이즈를 감쇠시켜 주고, 간단한 low-pass 필터로 동작하며 차동모드의 간섭을 줄여준다. 임피던스 측면에서 바라보게 되면 저주파에서는 임피던스가 주로 유도성 리액턴스이고, 고주파에서는 유도성 리액턴스 성분이 감소하여 전체 임피던스가 증가하게 되는데 이것은 결국 실수부의 손실항의 증가를 초래하여 노이즈의 감쇠로 이어진다. <표 2>는 페라이트 비드들의 투자율 값에 동작 주파수 대역을 나타내고 있다.

그러므로 [그림 8]에서 나타난 25~250 MHz 대역의 노이즈 성분을 제거하기 위해서 투자율 850인 페라이트 비드를 사용하여 노이즈를 감쇠시킬 수 있다. 상기에 언급한 대책들을 적용시키고 난 후 EMI



(a) 대책 전 EMI RE 결과

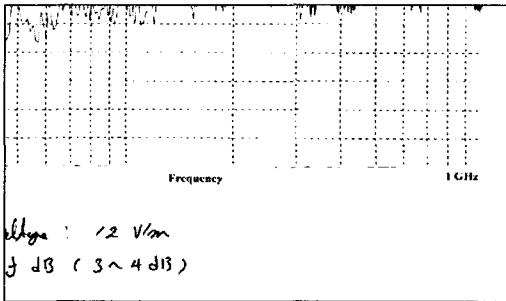


(b) 대책 후 EMI RE 결과

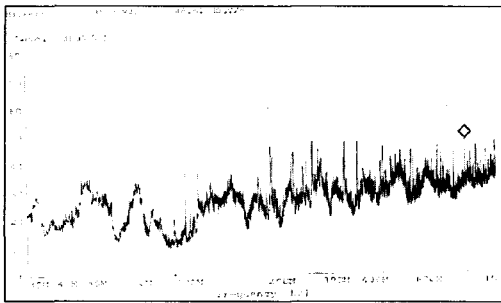
[그림 7] EMI 설계 · 대책 전후 결과

<표 2> 페라이트 비드 재료의 주파수 대역

페라이트 비드 투자율	동작 주파수 대역
2,500	30 MHz 이하
850	25~250 MHz
125	200 MHz 이상



(a) 대책 전 EMI 결과



(b) 대책 후 EMI 결과

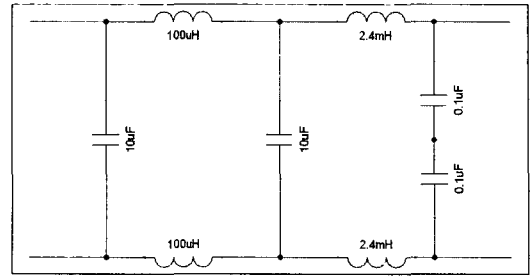
[그림 9] 차량용 DVD의 EMI 측정 결과

측정 데이터를 확인된 결과가 [그림 9]이다.

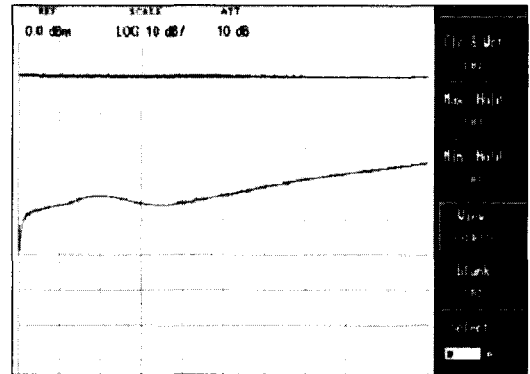
다음은 라인 필터에 대한 대책 사례이다. 일반적으로 라인 필터에는 공통모드 노이즈 제거와 차동모드 노이즈 제거를 함께 고려하여 설계를 하게 된다. [그림 10]은 공통모드와 차동모드 노이즈 제거를 함께 고려한 설계 도면이다.

[그림 10]의 소자 값을 이용하여 제작을 하고, 삽입 손실을 측정된 결과를 [그림 11]에 나타내었다.

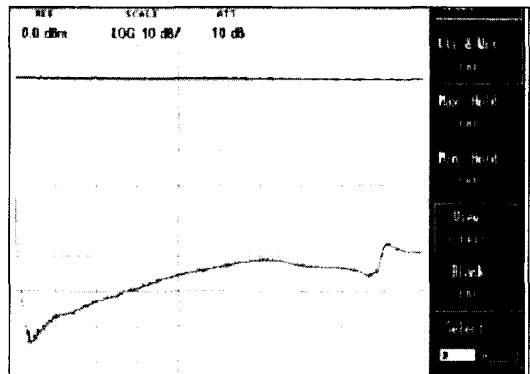
[그림 10]과 [그림 11]의 결과를 이용하여 10 kHz



[그림 10] 공통모드와 차동모드 노이즈 제거용 라인필터



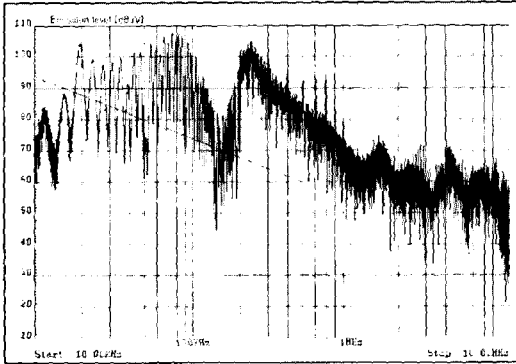
(a) Normal mode



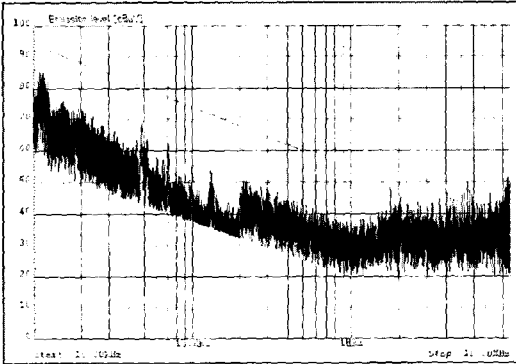
(b) Common mode

[그림 11] Normal and common mode 삽입손실 결과

~10 MHz인 EMI 필터를 제작하였다. [그림 12]는 제작된 라인 필터를 차량의 자동 변속 장치에 장착하여 측정된 대책 전과 대책 후의 결과를 보여주고



(a) 대책 전 초기 결과



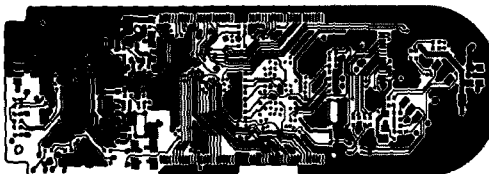
(b) 대책 후 측정 결과

[그림 12] 라인필터의 대책 전·후 측정 결과

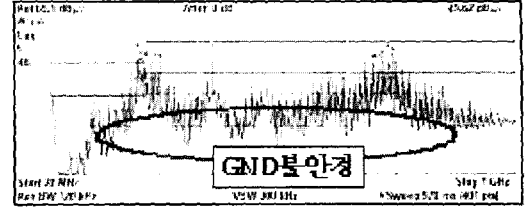
있다. 그림과 같이 라인 필터를 적용한 결과 EMI가 많이 감소가 되었다는 것을 알 수 있다.

다음은 MP 3-Player에 대한 대책 사례를 나타낸 것으로 PCB 도면은 [그림 13]과 같다.

[그림 14]의 결과를 토대로 분석해 보면 임피던스 부정합에 의해 Ground가 불안정하고, Ground 노이즈

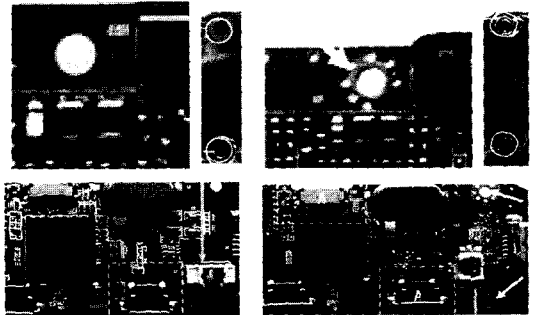


[그림 13] MP 3-Player PCB 도면

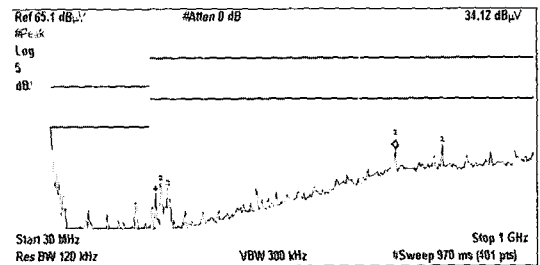


[그림 14] MP 3-Player EMI 측정 결과

에 신호 라인의 노이즈와 4 MHz 하모닉 노이즈가 함께 방사가 된다. 이것은 CPU 내부의 Audio CODEC 회로에서 발생하는 약 4 MHz Harmonic 성분의 노이즈가 원인으로 30 MHz~1 GHz 전 대역에서 한계치를 최대 14 dB 이상 초과하고 있으며, USB 2.0 데이터 전송 중 일반적으로 발생하는 240, 480, 720, 960 MHz 노이즈 중 960 MHz 노이즈가 한계치를 최대 3 dB 이상 초과하고 있다. 또한, 약간의 ESD 문제도 발생되고 있다. 따라서 전체적으로 각각의 layer의



(a) 수정 전과 수정 후 PCB



(b) 대책 후 측정된 EMI 결과

[그림 15] 수정된 MP 3-Player EMI 측정 결과

그라운드를 좀더 보강하고, USB Connector 주변의 회로 정리 및 그라운드 보강을 위해 Battery Connector 위치 변경하였으며, 크롬 도금되어 있는 상하 사출 기구와 PCB가 접촉될 수 있도록, 기구 홀과 닿는 부분 주변의 Solder Mask를 제거하였다. ESD (Electrostatic Discharge) 내성을 강화하기 위해 HOLD, POWER Key 주변의 영향을 받을 수 있는 소자들을 옮기고, 그라운드 Copper 보강을 하였다. [그림 15]는 이러한 구조의 변경된 부분들을 도시하고 수정된 결과의 측정 결과를 나타내었다.

설계자들은 EMC 문제가 발생하게 되면, 소스원 분석시 시스템적인 접근 방법으로 계단식의 분석이 요구된다. 이러한 분석 능력은 EMC 설계 엔지니어의 필수 사항이다. 물론 경험에 대한 지식도 무시하지는 못하지만, 데이터를 보고 어떤 것이 소스원인지에 대한 분석 능력을 향상시키길 설계자들에게 바란다.

#### IV. 결 론

EMC 설계·대책 기법은 복합 기술이기 때문에 많은 지식과 경험이 하모나이즈가 되어야 비로소 그 결과를 유추할 수 있는 매우 난해하고 실질적인 학문이다. 마이크로 대역으로 주파수가 확장되면서 고전적인 회로이론으로 그 현상을 설명할 수가 없으며, RF의 개념을 함께 도입하여 설명을 해야 한다. 또한 소재 부품의 중요성 또한 간과해서는 안 될 것이다. 각 부품의 동작 특성 및 주파수 응답 특성을 정확히 알아야 대책 부품의 효과를 확실히 발휘할 수 있기 때문이다. 참고로 시스템적인 접근 즉, 기구 물적인 대책 방법도 간과해서는 안되며, 상호 복합적인 현상 및 대책이 조화가 이루어져야 EMC 대책이 가능한 경우가 점차 많은 부분을 차지하고 있다. 여기서 살펴 볼 때 상용화 단계의 EMC 대책 사례와 EMC를 고려한 PCB 설계 원리는 초기 설계 단계 및

대책 적용에 많은 참고가 되길 기대한다.

#### 참 고 문 헌

- [1] R. F. German, H. Ott, and C. R. Paul, "Effect of an image plane on PCB radiation", *Proceedings of the IEEE International Symposium on Electromagnetic Compatibility*, New York, 1990.
- [2] T. Hsu, "The validity of using image plane theory to predict PCB radiation", *Proceedings of the IEEE International Symposium on Electromagnetic Compatibility*, IEEE, pp. 58-60, 1991.
- [3] M. I. Montrose, "Overview of design techniques for printed circuit board layout used in high technology product", *Proceedings of the IEEE International Symposium on Electromagnetic Compatibility*, New York, 1991.
- [4] CKC Lab, *EMI Considerations for High Speed System Design*, 1991.
- [5] R. W. Dockey, R. F. German, "New techniques for reducing printed circuit board common-mode radiation", *Proceedings of the IEEE International Symposium on Electromagnetic Compatibility*, New York, pp. 334-339, 1993.
- [6] H. Ott, *Noise Reduction Techniques in Electronic System*, 2nd., New York, John Willy & Sons, 1988.
- [7] C. R. Paul, "Effectiveness of multiple decoupling capacitor", *IEEE EMC-34*, pp. 130-133, 1992.
- [8] H. Johnson, M. Graham, *High-Speed Signal Propagation : Advanced Black Magic*, Prentice Hall, 2003.
- [9] David M. Pozar, *Microwave Engineering*, John Willy & Sons, Inc.
- [10] M. I. Montrose, *EMC and the Printed Circuit Board : Design Theory, and Layout made Simple*,

John Willy & Sons, Inc.

[11] Joseph. J. Carr, *The Technician's EMI Handbook : Clues and Solutions*, Newnes.

[12] K. L. Kaiser, *Electromagnetic Compatibility Handbook*, CRC Press, pp. 16-14, 16-42, 2004.

≡ 필자소개 ≡

정 기 범



1999년 2월: 국민대학교 전자공학과 (공학사)  
2001년 2월: 국민대학교 전자공학과 (공학석사)  
2002년~현재: 한양대학교 전자통신전파공학과 박사과정  
2004년~현재: EMC 기술지원센터 선임연구원

[주 관심분야] EMC 및 대책기술, 전자파수치해석, 안테나 설계

최 형 도



1986년 2월: 고려대학교 재료공학과 (공학사)  
1989년 8월: 고려대학교 재료공학과 (공학석사)  
1996년 8월: 고려대학교 재료공학과 (공학박사)  
1997년 1월~현재: 한국전자통신연구원

전파기술연구그룹  
2004년 6월~현재: 한국전파진흥협회 부설 EMC 기술지원센터장  
[주 관심분야] EMI/EMC, 전자파 인체영향 등