

시스템레벨 EMC 해석 시뮬레이터 (System-Level EMC Analysis Simulator) 개발

권종화 · 이해경 ·

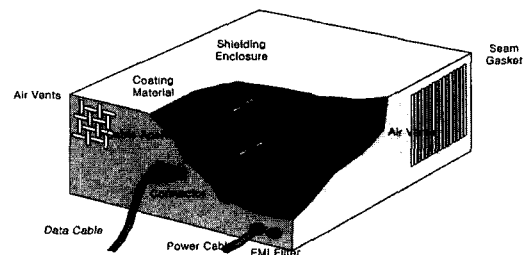
최형도 · 최재익

한국전자통신연구원 디지털
방송연구단 전파기술연구그룹
전자파환경연구팀

I. 서 론

최근 전기 및 전자공학 분야에서의 획기적인 기술적 발전과 방송 및 유·무선 통신 서비스의 급속한 보급으로 전자 기기들과 이를 구성하는 PCB 회로가 복잡해져 가고, PC 등에서 사용되는 디지털 회로의 동작 속도가 높아짐에 따라 이로부터 발생하는 전자파에 의한 장애가 심각한 문제로 대두되고 있다. 특히, 최근 2 GHz 이상의 클럭 주파수와 수백 MHz의 데이터 전송 속도를 사용하는 컴퓨터나 다양한 형태의 유·무선 정보통신기기 등과 같은 고속 정보통신기기의 생명주기(Life Cycle)가 단축되어 신제품 개발에 있어서 Time-to-market의 중요성이 부각됨에 따라 제품의 부가가치를 높이기 위해서는 설계 단계에서 EMC 문제 해결을 위한 적절한 대책 기술의 연구·개발과 적용이 필수적이다. 이를 위해서는 실제 제품을 제작하기 이전에 EMI/EMS 문제를 해석해 볼 수 있는 전자파 해석 시뮬레이터가 필요하고, 국내 관련 기술 및 산업의 보호를 위해 EMC 관련 국산 해석 시뮬레이터의 개발이 시급한 상태이다.

이를 위해 한국전자통신연구원(ETRI) 전자파환경연구팀에서는 시스템 레벨 혹은 합체레벨에서의 EMI/EMS 문제를 해석하고 대책 기술을 마련하기 위한 연구를 수행하고 있으며, 연구의 일환으로 [그림 1]의 구조와 같이 개구부를 갖는 차폐 합체에 케이블이 연결된 구조에 대한 EMC 해석이 가능한 시뮬레이터^[1]를 개발하였다.



[그림 1] 개구부와 케이블이 포함된 전자기기의 일반 구조

본 논문에서는 당 연구팀에서 개발 중인 시스템 레벨 EMC 해석 시뮬레이터의 구성, 동작, 그리고 주요기능에 대해 간단히 설명하고, 해석 결과의 검증을 위해 시뮬레이터를 이용한 해석 결과를 상용 시뮬레이터의 해석 결과와 비교하였다.

II. 시스템 레벨 EMC 해석 시뮬레이터

2-1 개발 목표

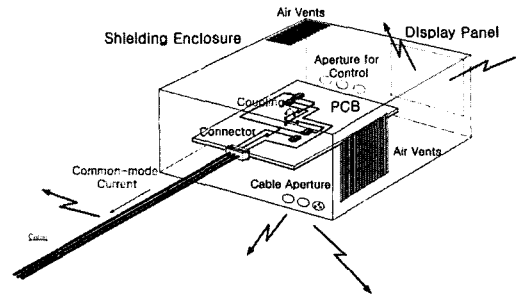
최근 전기 및 전자공학 분야의 산업이 크게 발전함에 따라 전자기기들이 고속화, 특히 디지털화됨에 따라 관련 신호의 대역폭이 크게 확장되었으며, 동시에 기기로부터 고주파 대역의 전자파 복사(radiated emission)가 크게 증가하게 되었다. 또한 전자 기기들의 내부를 살펴보면 여러 가지 기능 구현을 위해 필요한 인쇄 회로 기판(Printed Circuit Board: PCB)의 회로 밀집도가 증가하고 있으며, 사용된 소

자들의 소형화, 집적화 및 저전력화 현상이 나타나고 있다. 이러한 특징 외에 또 하나의 중요한 특징으로는 통신 분야에서의 무선의 사용이 크게 증대됨에 따라 대부분의 전자기기들이 매우 복잡한 전자파 환경 속에 노출되게 되었다는 점이다.

이와 같은 상황에서 대두된 가장 큰 문제점 중의 하나는 인접하고 있는 전자기기들 사이에서, 기기 내부에 밀집되어 있는 부품들 사이에서, 또는 전자기기와 외부 전자파 사이에서의 전자기적 결합(electromagnetic coupling) 현상으로 말미암아 전자기기들의 정보 손실 및 오동작(malfunction) 사례가 빈번하게 나타나게 되었다는 점이다. 전자기적 결합현상은 기본적으로 고역통과(high pass) 특성을 갖고 있기 때문에 디지털 소자들의 스위칭 시 발생하는 심각한 수준의 전자파 복사 현상을 고려하고, 동시에 대부분의 전자기기들의 저전력화 추세로 말미암아 외부 전자파로부터의 간섭에 대한 내성(immunity)이 매우 약하다는 점을 감안한다면 앞으로 전자기기들의 오동작으로 인한 문제점은 더욱 심각해질 것으로 판단된다.

시스템 레벨 혹은 합체(Enclosure) 레벨에서의 전자파 적합성(EMC) 문제와 관련된 여러 가지 원인들 중 가장 중요한 원인은 (1) PCB 내에서의 고속 디지털 선로와 입·출력 선로간의 전자기적 결합 현상(coupling)과 이를 잡음원으로 하여 전자기기의 차폐함체(Shielding Enclosure 혹은 Chassis) 내부의 PCB에 부착된 케이블(attached cable)에 의한 복사 전자파^{[2][3]}와 (2) 전자기기의 기본적인 기능 구현을 위해 필수불가결하게 필요한 공기 배출구(air vent), 이음새(seam), 그리고 여러 가지 형태의 개구부(aperture)를 통한 복사 전자파^{[4][5]} 등으로 알려져 있다.

이러한 합체 레벨에서의 EMC 문제를 해석하기 위해 당 연구팀에서 개발하고자 하는 시스템 레벨 EMC 해석 시뮬레이터(System-level EMC Analysis Simulator: SEMCAS)^[1]는 실제 전자 제품의 구조를 [그림 2]에서 보여주는 바와 같이 간단히 모델링하

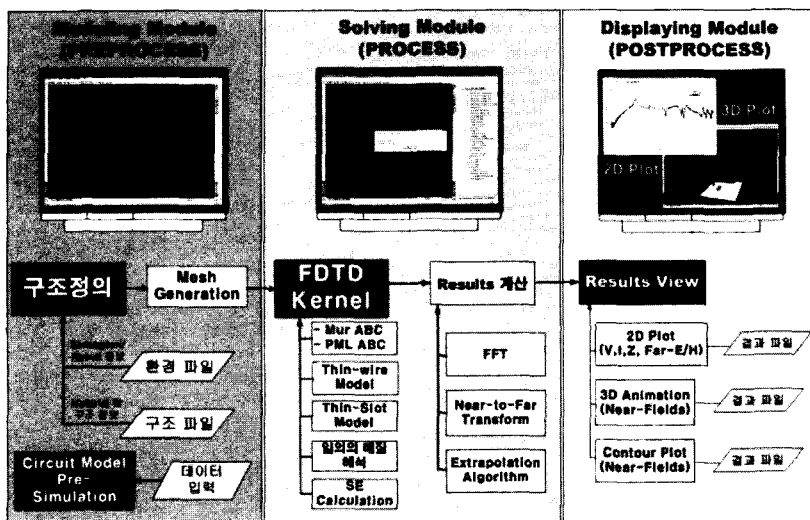


[그림 2] 케이블이 연결되어 있고 개구부를 갖는 차폐함체 구조

고, 3D 수치 해석 기법을 사용하여 개구부 및 케이블을 갖는 차폐함체의 전기적인 특성을 예측하는 전자파 적합성(EMC) 해석 전용 프로그램이다. 이를 위해 시스템 레벨 EMC 해석 시뮬레이터는 시간영역 유한차분(Finite-Difference Time-Domain: FDTD) 기법^[6]이라는 전자파 수치해석 기법을 이용하여 해석 구조에 대한 전기장 및 자기장 분포를 계산한다. 또한 합체 레벨에서의 전자파 적합성 연구에서 중요한 파라미터인 차폐 효과(SE)를 계산하거나 합체 내부 PCB에 연결된 케이블이 차폐함체의 개구부를 통과하여 밖으로 연결된 때, 이 케이블에 의해 야기되는 복사성 EMI를 해석하고 이를 그래픽 사용자 인터페이스(GUI)^[7]와 연결하여 사용자가 편리하게 이용할 수 있도록 하는 EMC 해석 예측 시뮬레이터이다.

2-2 시뮬레이터 구성

본 논문에서 기술하고 있는 시스템 레벨 EMC 해석 시뮬레이터(SEMCAS)는 고유한 기능을 가지며 동시에 독립적으로 동작이 가능한 모듈, 즉 Modeling, Solving, 그리고 Displaying의 세 가지 모듈로 구성되며 모듈간의 인터페이스는 정해진 형식의 데이터를 갖는 파일로 이루어진다. 이는 전체 프로그램을 기능별로 모듈화함으로써 프로그램의 개발은 물론 디버깅(debugging), 검증 그리고 차후 업그레이드



[그림 3] 시스템 레벨 EMC 해석 소프트웨어 상세 기능 블록 다이어그램

등의 관리를 보다 효율적이고 체계적으로 할 수 있도록 하기 위함이다.

[그림 3]에서는 당 연구팀에서 개발하고자 하는 시스템레벨 EMC 해석 시뮬레이터를 구성하는 모듈과 모듈간 데이터 인터페이스에 대해 간단하게 보여주고 있다.

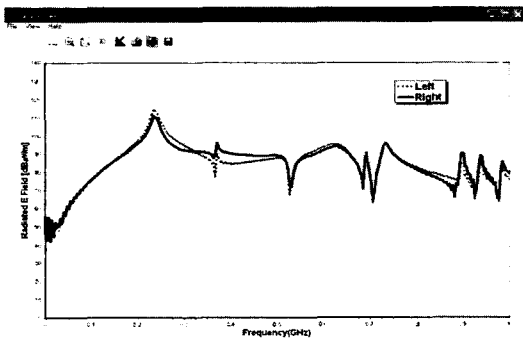
모델링 모듈(Modeling Module)에서는 해석하고자 하는 구조에 대한 구조적 정보를 비롯해서 전자파적 합성 관련 수치해석 시뮬레이션에 필요한 여러 가지 파라미터를 입력으로 받아 해석 엔진에서 요구하는 파일 형식으로 출력하는 기능, 사용자의 이해를 돕기 위해 입력된 구조를 모델러 창에 보여주는 기능, 그리고 기존의 구조 및 환경 파일을 불러오거나 수정 및 저장하는 기능 등을 수행한다.

다음으로 해석 모듈(Solving Module)에서는 모델링 모듈로부터 받은 해석 구조 및 환경 파일로부터 수치해석에 필요한 여러 가지 데이터를 추출하고, 추출된 데이터를 이용하여 3D FDTD 시뮬레이션을 수행하여 사용자가 원하는 형식으로 시뮬레이션 결과를 저장하고 디스플레이 모듈로 전달하는 기능을

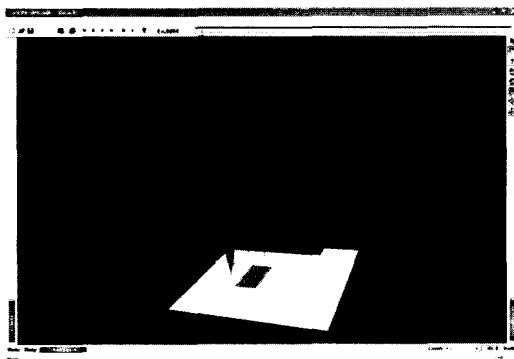
수행한다. 실제 전자기기에 대한 모델링을 위해서는 [그림 3]의 해석 모듈 영역에 간단히 나타난 바와 같이 복잡한 구조에 대해 보다 높은 주파수 대역까지 정확하고 빠른 계산이 가능하도록 흡수경계조건(Mur ABC 및 PML ABC 포함), Thin-wire 및 Thin-slot 해석 알고리즘, 그리고 외삽(extrapolation) 알고리즘 등과 같은 여러 가지 FDTD 해석 알고리즘의 적용이 필요하다. 개구부를 갖는 차폐 함체 구조에 대한 EMC 해석을 위해 SEMCAS 프로그램에 적용된 수치 해석 관련 주요 알고리즘¹⁰⁾은 다음과 같다.

- 3D 시간영역 유한차분 알고리즘
- 균일/비균일 메쉬 데이터 생성 알고리즘
- 흡수경계조건: Mur ABC, PML(Perfectly Matched Layer) ABC
- 근역장-원역장 변환 알고리즘
- 와이어 구조를 갖는 케이블 해석을 위한 Thin-Wire 알고리즘
- 얇은 두께를 갖는 슬롯(Slot) 해석을 위한 Thin-Slot 알고리즘
- 고속 계산을 위한 외삽 알고리즘

마지막으로 디스플레이 모듈(Displaying Module)에서는 해석 모듈에서 계산된 결과를 파일 형태로 받아서 사용자가 원하는 형식으로 보여주는 기능을 수행한다. 즉, 사용자가 원하는 관측점에서의 전기장 혹은 자기장 분포나 합체의 차폐 효과(Shielding Effectiveness)를 보여주기 위해서는 2D 그래프를, 특정 영역에서의 전기장 및 자기장 분포나 시간에 따른 전기장 분포를 보여주기 위해서는 3D 애니메이션 기능을 각각 사용하여 사용자가 해석 결과에 대해 보다 효과적으로 이해할 수 있도록 지원한다. 시뮬레이터에서 지원하는 해석 결과 형태는 다음과 같으며 2D 혹은 3D 결과에 대한 예제를 [그림 4]에 나타내었다.



(a) 2D 결과



(b) 3D 결과

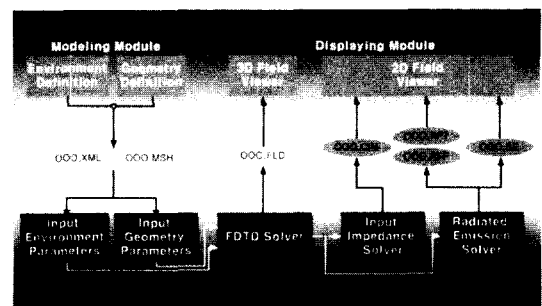
[그림 4] 디스플레이 모듈

- 시간 영역 복사 전기장 및 자기장(Time-domain Radiated E & H Field)
- 주파수 영역 복사 전기장 및 자기장(Frequency-domain Radiated E & H Field)
- 차폐 효과(Shield Effectiveness)
- 케이블 임피던스(Shielding Effectiveness)
- 근역장에 대한 시간영역 전기장 및 자기장 분포(Time Domain E/H Field at Near Zone)

그리고 사용자가 보다 쉽고 편리하게 이용할 수 있도록 모델링 모듈이나 디스플레이 모듈의 경우에는 OpenGL이나 Open Inventor^[7] 등과 같은 상용 그래픽 소프트웨어를 사용하여 개발하였다.

2-3 시뮬레이터 동작

[그림 5]에서는 시스템 레벨 EMC 해석 소프트웨어의 전체 구성도와 내부적으로 또는 외부적으로 생성되는 파일과 시뮬레이션 구동을 위한 동작 흐름도(work flow)를 간단히 나타내었다. 시뮬레이터의 GUI 부분은 크게 (1) 사용자가 수치해석에 필요한 환경 파라미터와 해석구조에 대한 파라미터의 값을 입력할 수 있는 모델링 모듈(Modeling Module)과 (2) 해석된 결과를 사용자가 그래프 혹은 애니메이션으로 볼 수 있도록 하는 디스플레이 모듈(Displaying Module)로 구성된다.

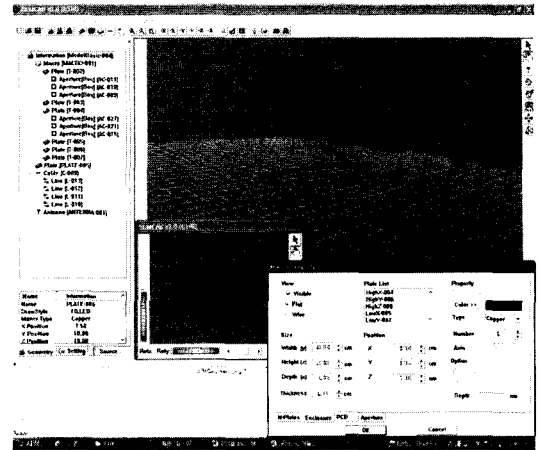


[그림 5] 시스템레벨 EMI/EMS 해석 소프트웨어 동작 흐름도

GUI의 모델링 모듈에서 입력된 환경 파라미터와 해석구조 파라미터 값들은 000.XML 파일 형태로 저장되고, 해석 구조에 대한 FDTD 수치 해석을 위해 생성된 메쉬 데이터는 000.MSH 파일 형태로 해석 엔진의 입력 부분에 의해서 읽혀진다. 해석될 환경과 구조에 대한 모든 파라미터가 결정되면 FDTD 해석 엔진(Solving Module)에서 수치 해석 기법인 FDTD를 이용하여 시뮬레이션을 수행하게 된다. FDTD의 각 Time Step마다 생성되는 계산 영역에서 전기장과 자기장의 분포를 나타내는 000.FLD 파일은 시뮬레이션이 완전히 종결된 다음 GUI의 3D Field Viewer에 의해 디스플레이 될 수 있도록 지정된 폴더에 계속 저장되게 된다. 사용자가 모델링 모듈에서 정의한 출력 데이터의 형태에 따라서 FDTD 해석 엔진에서 계산된 해석 영역에서의 전기장 및 자기장 값들을 이용하여 케이블의 입력 임피던스를 계산할 것인지 또는 복사 전기장이나 합체 구조에 대한 차폐 효과를 계산할 것인지가 결정되며, 이 정보에 따라서 케이블의 입력 임피던스를 계산하거나 차폐 효과를 계산하게 된다. 계산된 결과는 파일의 형태로 저장되는데 데이터에 따라 다른 확장자가 붙게 된다. 즉, 시간 영역 혹은 주파수 영역에서의 복사 전기장 및 자기장 정보는 000.RFT 혹은 000.RFF로, 케이블 입력 임피던스 데이터는 000.CIM, 그리고 차폐 효과에 대한 계산 결과 파일은 000.SE 형태의 출력 파일로 저장되며, 사용자는 이러한 형태의 파일을 GUI의 디스플레이 모듈의 2D Field Viewer에서 호출하여 확인할 수 있도록 한다.

2.4 주요 기능

[그림 6]은 당 연구팀에서 개발한 시스템 레벨 EMC 해석 시뮬레이터의 메인 윈도우이다. SEM-CAS 프로그램의 주요 기능은 전술한 바와 같이 전자파 수치해석 기법을 이용하여 개구부와 케이블, 그리고 내부에 PCB를 갖는 합체 구조에 대한 EMC



[그림 6] 시스템레벨 EMC 해석 시뮬레이터 메인 윈도우

해석을 수행하고 사용자가 원하는 형태로 결과를 출력하여 시스템 혹은 합체 레벨에서의 EMC 대책 수립에 기여하는 것이다. 이를 위해 시스템 레벨 EMC 해석 시뮬레이터는 다음의 주요 기능을 가지고 있다.

2.4.1 합체레벨에 대한 EMC 해석 기능

시뮬레이터는 차폐 합체, 개구부, 케이블, 그리고 PCB와 이들의 조합으로 이루어진 해석 구조에 대해 3D FDTD 기법을 이용하여 근역장 및 원역장에 대한 전자파 해석을 하고, 해석된 결과를 이용하여 EMC 관점에서 사용자가 원하는 데이터, 즉 복사 전자기장 및 차폐효과 등에 대한 결과를 제공한다. 또한 계산 속도를 향상시키기 위한 Thin-Slot 알고리즘이나 외삽 알고리즘 등이 적용되었다.

2.4.2 메쉬 데이터 자동 생성 기능

시간영역 전자파 수치해석 기법으로 잘 알려져 있는 FDTD 기법을 이용하기 위해서는 해석 구조를 포함하는 전체 해석 공간을 직육면체(cube) 모양으로 구성된 메쉬 데이터의 생성이 필수적이다. 일반적으로 가장 많이 쓰이는 메쉬 구조는 모든 메쉬의

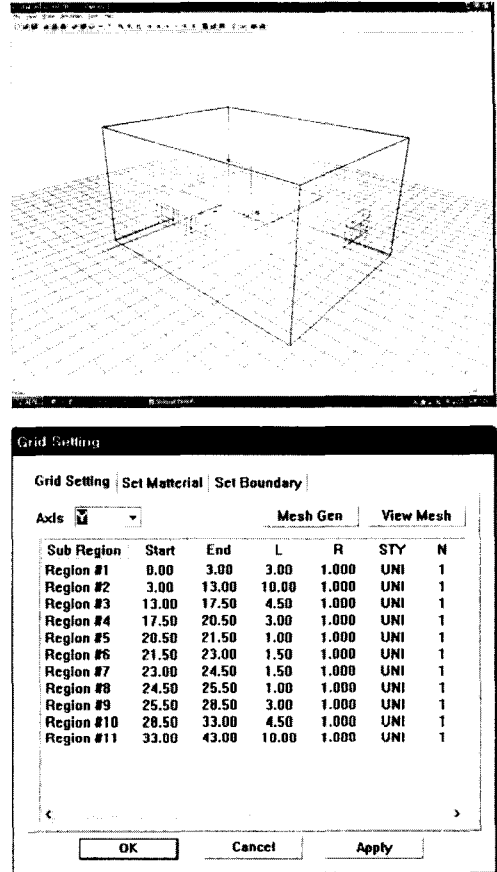
크기가 동일한 균일 메쉬(uniform mesh) 구조이다. 그러나 해석하고자 하는 구조의 전체 크기가 크고 그 안에 아주 작은 구조들을 모델링 해야 하는 경우에 균일한 메쉬 형태로 전체 구조를 모델링할 경우 상당히 많은 양의 데이터를 생성해야 하며, 이는 곧 엄청난 계산량(메모리, 계산시간)을 초래하게 된다. 이러한 단점을 보완하기 위해서 제안된 메쉬 데이터 생성 기법이 비균일 메쉬(non-uniform mesh) 생성이다. 전체 구조에서 상대적으로 작은 크기의 구조에 대해서는 잘게 메쉬 데이터를 생성하고 나머지 부분에 대해서는 적당히 큰 메쉬로 생성해 주어 전체 데이터의 양을 줄여 계산 시간을 단축할 수 있다.

SEMCAS에서는 구조가 입력되면 각 좌표축 방향으로 매질이 달라지는 위치를 Critical Line으로 설정하고, Critical Line들 사이에서 사용자가 해석 주파수와 인접 셀과의 관계를 고려하여 [그림 7]의 파라미터 설정 창(window)을 이용하여 균일/비균일한 메쉬 데이터를 생성할 수 있다. 또한 생성된 메쉬 데이터가 적절한지를 확인할 수 있도록 [그림 7]에서와 같이 해석 구조와 메쉬 데이터를 동시에 보여주는 기능을 제공한다.

2.4.3 회로 모델링 기능

시뮬레이터에서는 회로 모델 기법(Circuit Modeling)^{[8],[9]}을 사용하여 차폐 합체 구조에 대한 간단히 차폐효과(Shielding Effectiveness)를 계산하여 시간이 많이 걸리는 전자파 수치해석을 통한 시뮬레이션 이전에 대략적인 정보를 알아볼 수 있는 기능을 제공한다. 즉, 사각 개구부를 갖는 차폐 합체 구조를 전송선 이론을 적용하여 회로적으로 모델링 하고 차폐효과를 간단히 예측해 보는 Pre-Simulation 기능을 제공하여 개구부를 갖는 합체에 대한 EMC 대책 설계를 할 경우 사용자에게 도움을 줄 수 있도록 하였다.

III. 해석 결과 비교



[그림 7] 메쉬 데이터 생성 윈도우와 파라미터 설정 윈도우

개발된 시스템 레벨 EMC 해석 시뮬레이터(SEM-CAS)의 해석 결과를 검증하기 위해서 상용 소프트웨어인 FLO/ EMC를 이용한 해석 결과와 비교하였다. FLO/EMC는 기구물에 대한 열 해석 소프트웨어로 잘 알려져 있는 영국의 Flomerics사에서 시간영역 수치해석 기법인 TLM(Transmission Line Modeling) 기법을 사용하여 개발된 EMC 해석 전용 시뮬레이터^[10]이다.

3.1 복사 전기장 해석

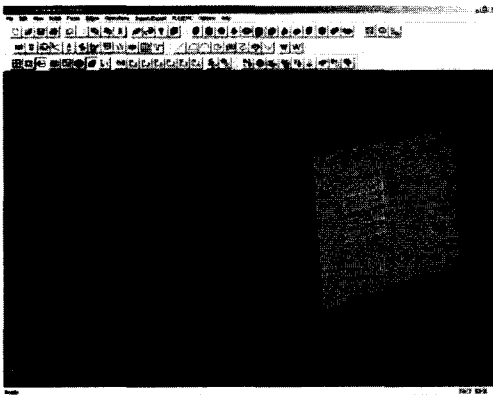
시뮬레이터의 복사 전기장에 대한 해석 성능을

검증하기 위해 선정된 구조는 [그림 8]에서 볼 수 있듯이 150×150 mm 크기의 PCB가 $300 \times 400 \times 200$ mm 크기의 함체 내부에 있고, PCB에 연결된 꺾인 구조의 케이블이 함체의 개구부(20×20 mm)를 통해 나와 있고, 함체에는 공기의 유통을 위한 추가적인 개구부 열(80×10 mm, 4개)이 존재하는 구조이다. [그림 8(a)]와 [그림 8(b)]는 각각 FLO/EMC와 당 연 구팀에서 개발한 시뮬레이터에서 지원되는 모델러를 활용해 설계된 구조를 나타내고 있다.

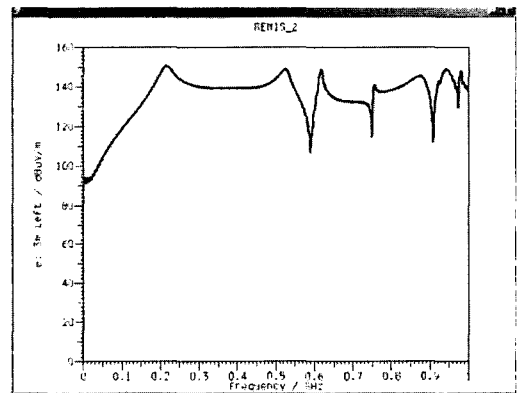
해석 구조에 대한 복사 전기장 해석을 위해 케이블과 PCB가 연결된 지점에 잡음원으로 가우시안 펄

스를 인가하였고 근역장에 대한 전자기장 분포를 계산하였으며, 근역장-원역장 변환 알고리즘을 적용하여 원하는 위치, 즉 함체의 측면으로부터 3 m 떨어진 위치에서의 전기장 값을 FFT를 통해 계산하였다. 시뮬레이션에 걸린 시간은 두 경우 모두 8시간 정도 소요되었는데 이는 대부분 근역장-원역장 변환에 필요한 파라미터의 계산에 의한 것이다.

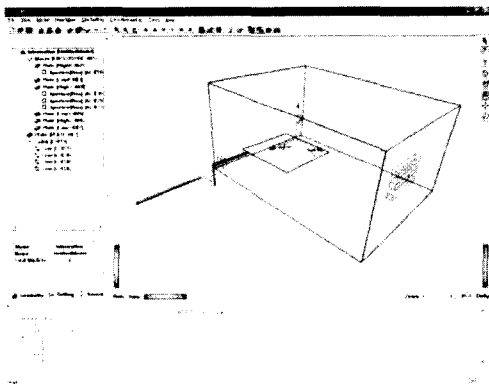
두 시뮬레이터에 의해 계산된 결과는 아래 [그림 9]에 나타내었고, 그림에서 확인할 수 있듯이 두 시뮬레이터로부터 얻어진 해석 결과가 잘 일치함을 볼 수 있다.



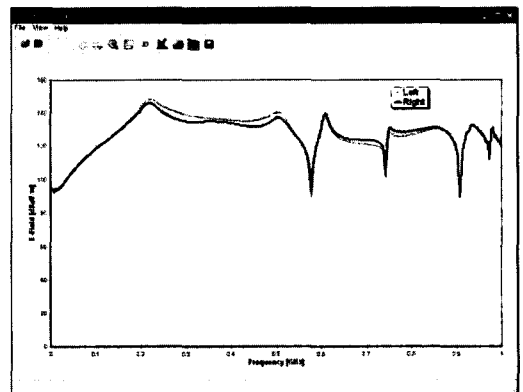
(a) FLO/EMC 모델



(a) FLO/EMC 결과



(b) SEMCAS 모델



(b) SEMCAS 결과

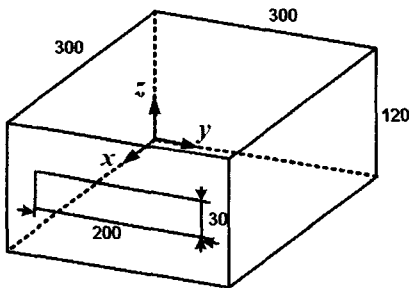
[그림 8] 복사 전기장에 대한 시뮬레이터 결과 검증용 해석 구조

[그림 9] 복사 전기장 시뮬레이션 결과

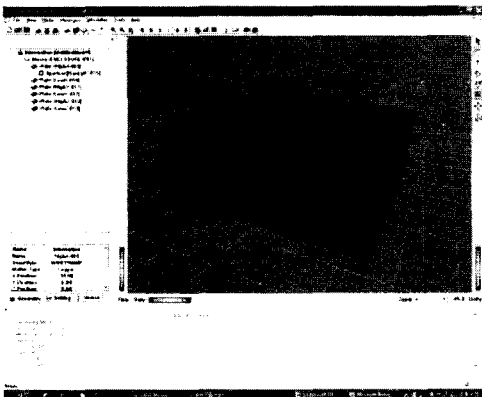
3-2 차폐 효과 해석

개구부를 갖는 합체에 차폐효과 해석에 대한 성능 비교를 위한 구조는 [그림 10]에서 볼 수 있듯이 200×30 mm 크기의 개구부(aperture)가 $300 \times 300 \times 120$ mm 크기의 합체에 있는 구조이다. 합체의 중심 위치(150, 150, 60)에서의 차폐 효과를 시뮬레이션하기 위해서 개구부가 위치한 합체 면에 수직(-x 방향)으로 +z 편파를 가지고 입사하는 가우시안 펄스를 갖는 평면파를 사용하였으며, 흡수 경계조건으로는 PML(Perfectly Matched Layer) 알고리즘을 적용하였다.

SEMCAS에서는 기존의 상용 프로그램에서 합체

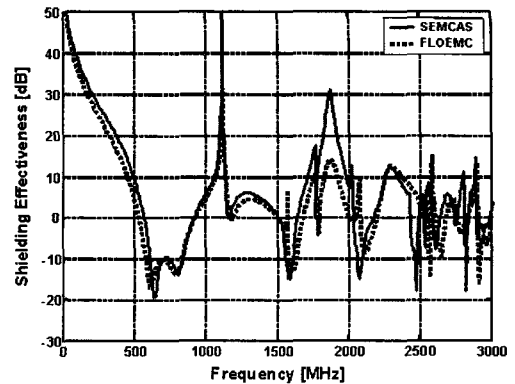


(a) 개구부를 갖는 차폐 합체 구조



(b) SEMCAS 모델

[그림 10] 차폐효과 시뮬레이션 결과 검증을 위한 해석 구조



[그림 11] 차폐효과에 대한 시뮬레이션 결과

가 있을 때와 없을 경우를 시뮬레이션하고 그 결과를 이용하여 차폐 효과를 계산하는 방법과는 달리 한번의 시뮬레이션으로 차폐 효과를 얻은 방법을 적용하여 시뮬레이션에 걸리는 시간을 약 30 % 정도 줄일 수 있다. 또한 복잡한 합체의 경우 내부에서 공진의 발생으로 필드가 정상상태에 도달하기 위해서 계산 시간이 많이 걸리는 문제를 해결하기 위해 외삽(Extrapolation) 알고리즘을 적용하여 계산 시간을 단축할 수 있도록 하였다.

두 시뮬레이터에 의해 계산된 결과는 [그림 11]에 나타내었고, 그림에서 확인할 수 있듯이 두 시뮬레이터로부터 얻어진 해석 결과가 특정 주파수대역(1.8 GHz 부근)을 제외한 대부분의 영역에서 잘 일치함을 볼 수 있다.

IV. 결 론

최근 전기 및 전자공학 분야에서의 획기적인 기술적 발전과 방송 및 유·무선 통신 서비스의 급속한 보급으로 전자 기기들과 이를 구성하는 PCB 회로가 복잡해져 가고, PC 등에서 사용되는 디지털 회로의 동작 속도가 높아짐에 따라 이로부터 발생하는 전자파에 의한 장애가 심각한 문제로 대두되고 있다. 이러한 문제를 해결하기 위한 당 연구팀에서 연

구중인 시스템 레벨에서의 EMC 대책 기술 개발의 일환으로 개발된 시스템 레벨 EMC 해석 시뮬레이터(SEMCAS)는 개구부, PCB 및 케이블을 갖는 차폐 합체의 EMI/EMS 특성을 예측하는 EMC 해석 전용 프로그램이다. 즉, 개구부를 갖는 합체에 대한 차폐 효과(SE)를 계산하거나 내부에 PCB가 존재하는 차폐 합체에서 개구부를 통하여 케이블이 외부로 연결될 때 PCB에서 생긴 노이즈 전압 소스가 케이블에 의해 외부로 복사되는 전기장을 계산하는 프로그램이다.

본 논문에서는 당 연구팀에서 개발하고자 하는 시스템 레벨 EMC 해석 시뮬레이터의 구조와 동작, 그리고 주요 기능 등에 대해 간단히 설명하고, 시뮬레이터를 이용한 해석 결과를 상용 시뮬레이터의 해석 결과와 비교하여 계산 결과가 잘 맞음을 확인하였다.

시스템 레벨 EMC 해석 시뮬레이터를 이용하여 합체 내부에 존재하는 회로를 보호하거나 내부에서 발생된 불요 전자파의 방출을 막기 위한 개구부의 설계나 PCB 및 케이블의 적절한 배치 설계 등에 적용할 수 있으며, 합체 내부에 특정 회로의 보호를 위한 분할(Partition) 등 합체 레벨에서의 다양한 구조에 대한 EMC 시뮬레이션을 수행할 수 있다. 시뮬레이터를 활용하여 실제 제작 이전의 설계 단계에서 이러한 EMC 문제들을 고려함으로써 보다 우수한 제품을 단축된 생산 주기로 개발할 수 있어 제품에 부가가치 및 경쟁력을 높일 수 있다.

참 고 문 헌

- [1] Jong Hwa Kwon, Hyung Do Choi, and Jae Ick Choi, "Development of simulation tool for analyzing EMI/EMC properties of shielding enclosure with apertures and cables", *Korea-Japan Joint Conference on AP/EMC/EMT*, pp. 357-360, Nov. 2004.
- [2] W. Cui, M. Li, X. Luo, J. L. Drewniak, T. H. Hubing, T. P. VanDoren, and R. E. DuBroff, "Anticipating EMI from coupling between high-speed digital and I/O lines", in *IEEE 1999 International Symposium on Electromagnetic Compatibility*, Austin, Texas, pp. 189-194, Aug. 1999.
- [3] M. Tanaka, W. Cui, X. Luo, J. L. Drewniak, T. H. Hubing, T. P. VanDoren, and R. E. DuBroff, "FDTD modeling of EMI antennas", in *IEEE 1999 International Symposium on EMC*, Austin, Texas, pp. 560-563, Aug. 1999.
- [4] M. Li, K-P. Ma, J. L. Drewniak, T. H. Hubing, and T. P. Van Doren, "Numerical and experimental corroboration of an FDTD thin-slot model for slots near corners of shielding enclosures", *IEEE Trans. Electromagn. Compat.*, vol. 39, pp. 225-232, Aug. 1997.
- [5] Min Li, J. Nuebel, J. L. Drewniak, R. E. DuBroff, T. H. Hubing, and T. P. Van Doren, "EMI from cavity modes of shielding enclosures-FDTD modeling and measurements", *IEEE Trans. Electromagn. Compat.*, vol. 42, pp. 29-38, Feb. 2000.
- [6] Taflove, *Advances in Computational Electrodynamics: The Finite-Difference Time-Domain Method*, Artech House, Boston; 1998.
- [7] Open Inventor User Guide, www.tgs.com
- [8] M. P. Robinson, "Analytical formulation for the shielding effectiveness of enclosures with apertures", *IEEE Trans. Electromagnetic Compatibility*, vol. 40, no. 3, pp. 240-248, Aug. 1998.
- [9] <http://www.emc.york.ac.uk/projects/intdsn/index.html>, Intermediate Level Modeling of EMC, University of York, EMC Lab.
- [10] FLO/EMC User Guide, www.floemc.com

≡ 필자소개 ≡

권 종 화



1994년 2월: 충남대학교 전자공학과 (공학사)
1999년 2월: 충남대학교 전파공학과 (공학석사)
1999년 1월~현재: 한국전자통신연구원
무선방송연구소 전파기술연구부 연구원

[주 관심분야] 전자기 이론, EMI/EMC

최 형 도



1986년 2월: 고려대학교 재료공학과 (공학사)
1989년 8월: 고려대학교 재료공학과 (공학석사)
1996년 8월: 고려대학교 재료공학과 (공학박사)
1997년 1월~현재: 한국전자통신연구원

디지털방송연구단 전파기술연구그룹

2004년 6월~현재: 한국전파진흥협회 부설 EMC 기술지원센터장

[주 관심분야] EMI/EMC, 전자파 인체영향 등

이 애 경



1990년 2월: 중앙대학교 전자공학과 (공학사)
1992년 2월: 중앙대학교 전자공학과 (공학석사)
2003년 8월: 충남대학교 전파공학과 (공학박사)
1992년 2월~현재: 한국전자통신연구원

디지털방송연구단 전파기술연구그룹 책임연구원

[주 관심분야] EMC 현상의 이론적 해석, 전자파 인체 노출량 평가 등

최 재 익



1981년 2월: 고려대학교 전자공학과 (공학사)
1983년 8월: 고려대학교 전자공학과 (공학석사)
1995년 2월: 고려대학교 전자공학과 (공학박사)
1983년~현재: 한국전자통신연구원

디지털방송연구단 전파기술연구그룹 전자파환경연구팀장

[주 관심분야] 위성통신 및 이동통신 관련 전파기술 등