

고속 저전력 동작을 위한 개방형 파이프라인 ADC 설계 기법

김 신 후*, 김 윤 정*, 윤 재 윤*, 임 신 일**, 강 성 모***, 김 석 기*

Open-Loop Pipeline ADC Design Techniques for High Speed & Low Power Consumption

Shinhoo Kim*, Yunjeong Kim*, Jaeyoun Youn*, Shin-Il Lim**, Sung-Mo Kang***, Suki Kim*

요 약

본 논문에서는 고속, 저전력 8-비트 ADC를 설계하는 기법들을 제안하였다. 비교적 적은 전력 소모를 가지면서 고속으로 동작 시키기 위해 기존의 파이프라인 구조인 MDAC를 이용한 폐쇄형 구조 대신에 개방형 구조를 채택하였다. 또한 Distributed THA와 캐스캐이드 형태의 구조를 이용하여 높은 샘플링 속도에 최적화 하였다. 제안한 각 단의 크로싱 지점을 판별하는 기법은 증폭기의 개수를 줄일 수 있도록 함으로서 저전력과 좁은 면적의ADC 구현을 가능하게 하였다. 모의 실험 결과 500-MHz의 샘플링 속도와 1.8V 전원 전압에서 테스트에 필요한 디지털 회로까지 포함, 210mW의 전력을 소비함을 확인 할 수 있었다. 또한 1.2Vpp(Differential) 입력 범위와 200-MHz까지의 입력 주파수에서 8-비트에 가까운 ENOB를 가짐을 볼 수 있었다. 설계된 ADC는 0.18 μ m 6-Metal 1-Poly CMOS 공정을 이용, 900 μ m \times 500 μ m의 면적을 차지한다.

Key Words : ADC, open-loop pipeline, distributed THA, cascade structure, zero-crossing point generation

ABSTRACT

Some design techniques for high speed and low power pipelined 8-bit ADC are described. To perform high-speed operation with relatively low power consumption, open loop architecture is adopted, while closed loop architecture (with MDAC) is used in conventional pipeline ADC. A distributed track and hold amplifier and a cascading structure are also adopted to increase the sampling rate. To reduce the power consumption and the die area, the number of amplifiers in each stage are optimized and reduced with proposed zero-crossing point generation method. At 500-MHz sampling rate, simulation results show that the power consumption is 210mW including digital logic with 1.8V power supply. And the targeted ADC achieves ENOB of about 8-bit with input frequency up to 200-MHz and input range of 1.2Vpp (Differential). The ADC is designed using a 0.18 μ m 6-Metal 1-Poly CMOS process and occupies an area of 900 μ m \times 500 μ m

I. 서 론

신호처리의 속도가 점점 증가하고 고해상도의 신호를 요구함에 따라서 그 핵심 회로 중 하나인 ADC (Analog to Digital Converter) 역시 고해상도를 가지

면서 고속 동작이 요구된다. 또한 고속 동작을 하면서도 전력 소모가 작은 ADC역시 관심의 대상이 되고 있다. 고속 ADC에는 Flash Type과 2-Step Type 등이 있으나 일반적인 CMOS 공정을 이용하여8-비트 해상도와 고속 동작을 만족하기 위해서는 면적과 전

* 고려대학교 전자공학과 ULSI 연구실

** 서경대학교 컴퓨터공학과 집적회로 연구실 *** Dept of Electrical Eng, USSC

논문번호 : #040014-0010 접수일자 : 2004년 1월 16일

력 소모 면에서 구현에 어려움이 많다. 따라서 그림 1과 같은 파이프라인(Pipeline) 구조가 고속 고해상도 ADC구현에 많이 사용되고 있다. 그림에서 보는 바와 같이 파이프라인 구조에는 기존의 MDAC (Multiplying Digital to Analog Converter)를 이용한 구조[2][3][4]와 개방형 구조의 인터플레이션 (Interpolation)과 MUX를 이용한 구조[1]가 있다. 그런데 기존 구조에서는 고해상도와 고속을 동시에 구현하기 위해 높은 전압 이득과 넓은 주파수 대역을 갖는 증폭기가 필요하다.[3][4] 따라서 설계가 복잡할 뿐만 아니라 고속을 구현하기 위해서는 전력 소모가 크다. 따라서 본 논문에서는 간단한 차동 증폭기 (Differential Amplifier)와 MUX 스위치를 이용한 개방형 구조를 채택하여 적은 소모전력으로 고속 ADC를 설계하는 기술을 제안하였다.

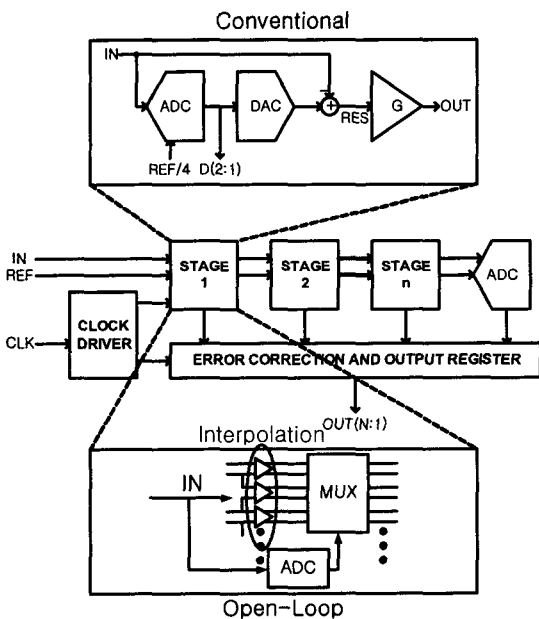


그림 1. 두가지 파이프라인 ADC의 구조

이 개방형(Open-loop) 구조는 그림에서 보는 바와 같이 신호를 인터플레이션(Interpolation) 하면서 신호의 크로싱 정보를 이용하여 아날로그 신호를 디지털 신호로 변환을 한다[1][6][7]. 따라서 기존의 구조처럼 정확한 이득을 갖는 증폭기에 의해 다음 단에서 새로운 아날로그 신호를 만들어 낼 필요가 없으므로 증폭기의 이득이 정확할 필요가 없고, 단지 크로싱(Crossing) 정보가 정확하게 전달되도록 선형성이 보장되면 된다. 그리고 입력이 들어온 부분에 해당하는 증폭기의 출력만

이 크로싱 정보를 가지고 있으므로 나머지 증폭기들의 출력은 사실상 필요하지 않다[1][6]. 따라서 개방형 파이프라인 구조에서는 그 부분의 신호만 일부 선택하여 다음 단으로 보내주면 된다. 이 때 MUX를 통해서 선택하게 되는데, 이 MUX는 ADC를 통해 나오는 1-of-N 코드에 의해서 제어된다. 즉 앞 단에서 넘어오는 신호의 위치를 ADC를 통해 판단하여 어느 특정 증폭기들의 출력만을 1-of-N 코드에 의해서 제어되는 스위치를 통하여 다음 단으로 전달되는 구조이다. 여기서 사용되는 증폭기들은 선형성을 위해 전압 이득이 작고 높은 임피던스(Impedance)를 갖는 노드(Node)가 없는 간단한 차동 증폭기를 이용하기 때문에 고속 동작에 용이하고 전력 소모가 적을 뿐 아니라 설계가 간단하게 된다[1].

이러한 개방형(Open-loop) 구조의 ADC는 참고문헌 [1]에 잘 나와있다. 하지만 500MSPS의 속도에서 동작하기 위해서는 좀 더 고려해야 할 사항이 있다. 먼저 각 단의 증폭기가 THA(Track and Hold Amplifier)의 역할을 하면서 인터플레이션(Interpolation)을 동시에 수행하게 되면 MUX 스위치의 로드(Load)가 커져 500MSPS의 고속 동작에 용이하지 않다. 그리고 THA와 선행증폭기를 각각 사용하고 있는데, 고속 THA설계가 복잡할 뿐만 아니라 THA와 선행 증폭기 모두 전류를 소모하여 전력 소모가 커지게 된다. 이 외 여러가지 점들을 고려하여 본 논문에서는 이러한 개방형 파이프라인 구조를 이용하여 아날로그 디지털 변환기를 설계하면서 제안된 여러가지 고속, 저전력 설계 기술에 대해서 논하고자 한다.

II. 설계된 ADC의 구조

2.1 전체 ADC의 설계

그림 2은 제안된 ADC의 전체 구조도이다. 총 5단으로 구성되어 있으며 각 단은 0.5-비트의 Redundancy를 포함하고 마지막에 덧셈기를 이용하여 에러 보정을 하였다. 아날로그 입력은 먼저 D-THA(Distributed THA)에 전달되어 8개의 저항열에 의한 9개의 기준전압들과의 차이를 첫 번째 단에 전달되게 된다. 그런 다음 D-THA의 출력은 첫째 단 증폭기에 의해 반주기 동안 저장되는 사이에, 2.5-비트 ADC에도 전달되어 첫 단의 디지털 출력이 나오고 1-of-N 코드를 출력한다. 그리고 이 1-of-N 코드는 첫째 단의 증폭기에 전달되었던 9개의 입력이 첫째 단 증폭기에 의해 출력될 때 크로싱 정보가 있는 3개

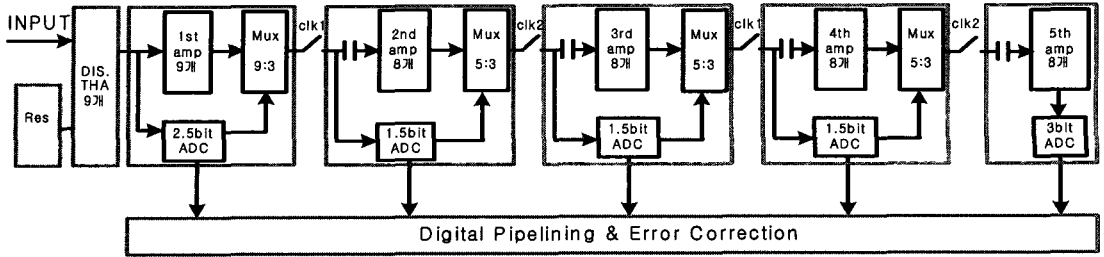


그림 2. 전체 ADC 구조도

의 증폭기의 출력만 다음단에 전달해 주는 MUX 스위치를 열게 된다. 다음 단으로 전달된 3개의 입력은 증폭기에 의해서 5개의 차동 신호로 인터플레이션된다. 또한 한편, 그 3개의 입력 신호를 이용하여 1.5-비트 ADC는 1-of-N코드를 출력, 이 코드에 의해 인터플레이션 된 5개의 증폭기 출력 중에 3개의 출력만 다음 단으로 보내게 된다(그림 5(b) 참조). 세번째 단과 네번째 단은 이러한 두번째 단의 동작과 같다. 그리고 마지막 단에서는 3개의 입력을 인터플레이션 한 다음 ADC에서 한 번 더 인터플레이션을 하여 최종 3비트를 출력하게 된다.

전체적으로 구성된 ADC의 신호 흐름과 그에 의한 코딩 값을 을 그림 3에 나타내었다. 그림에서 볼 수 있듯이 마지막 여러 보정 단에서 각 단의 LSB는 다음단의 MSB와 더해져서 결국 8-비트의 코드 출력하게 된다. 이 구조는 신호의 크로싱 정보를 이용하여 코딩하는 것이기 때문에 증폭기의 전압 이득은 정확하게 2가 될 필요가 없다. 단지 선형성을 유지하여 8-비트의 크로싱 정보를 얻으면 되기 때문이다[1]. 따라서 실제로는 그림 3에서처럼 정확한 이득을 가지면서 변하는 것은 아니다.

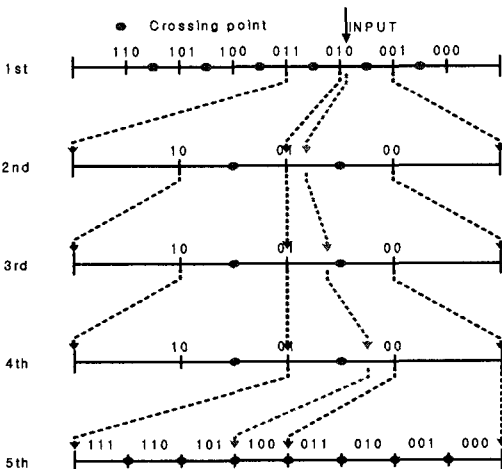


그림 3. 코딩 과정

2.2 Distributed THA 의 설계

그림 4은 설계된 D-THA의 구조도이다. 이 D-THA는 CLK1에서는 입력 전압을 캐패시터에 저장하고 반대 위상인 CLK2에서 입력과 각각 인가된 9개의 기준 전압들과의 차이를 증폭하는 역할을 한다. 이때 CLK1과 CLK2는 중첩되지 않은 두 위상 클럭(Non-overlapping Two-phase Clock)이며, 증폭기에는 오프셋 제거(Offset cancellation) 기법을 이용하였다[2]. Resistor Averaging 기법은 플래쉬 ADC에서 많은 수의 증폭기들 사이의 미스매치에 의한 선형성을 보장하는 기법이고, 부가적인 저항 때문에 면적이 크다. 따라서 이 구조에서는 차동 증폭기 자체의 공정에 의한 입력 게이트의 offset을 줄이는 효과와 고속 증폭기에서 차동 신호의 Reset 효과를 동시에 볼 수 있는 auto-zero 기법을 사용하였습니다.

그리고 설계된 ADC의 아날로그 입력 범위 0.6V(1.2V Differential)에 대하여 선형성을 보장하기 위해서는 먼저 스위치의 선형성을 보장해야 한다. 따라서 아날로그 입력을 받는 D-THA의 스위치에는 Clock feed-through noise의 감소를 위해 Dummy Switch를 사용하였다. 또한 증폭기 역시 선형성을 위해 1.1V/V 정도의 낮은 전압 이득을 가지면서 큰 대역폭을 가질 수 있도록 설계되었다.

고속으로 동작하는 THA는 클럭에 매우 민감할 뿐 아니라 넓은 입력 범위에서 선형성을 보장하기 힘들고, 고속으로 동작시 첫번째 단에 전달되는 아날로그 신호를 빠르게 정착(Settling) 시키기 위해서 버퍼(Buffer)에 많은 소모 전류가 필요하다[4][5]. 그리고 1.8V의 낮은 전원 전압에서 스위치의 선형성을 보장하기 위한 여러가지 방법들이 있지만 이 역시 부가적인 전력 소모가 뒤따른다[5][8]. 이 구조에서는 앞 단의 신호 중에서 Crossing이 일어난 지점의 신호만 필요하다. 따라서 전력 소모가 크고 고속 동작이 힘든 하나의 SHA 보다는 Distributed T/H를 사용한 것입니다. DTH를 사용하면 증폭기의 전체 입력에 대한

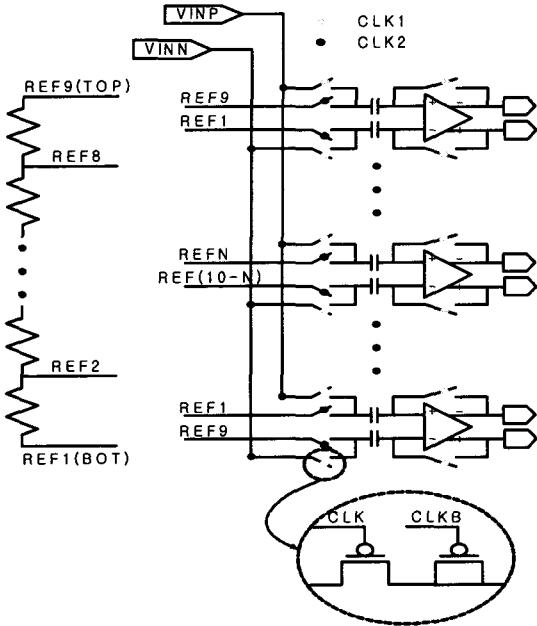


그림 4. 설계된 Distributed THA 단의 구조도

선형성을 보장할 필요가 없고 필요한 입력 범위(Ex 현재 상태에서는 Full cale/8)에서의 선형성만 필요하기 때문에 증폭기 설계가 간단하고 고속 동작에 용이합니다[4]. 이는 참고문헌 [1]의 THA와 선형증폭기의 역할을 동시에 수행하는 것으로서 전력과 면적 면에서 이득을 볼 수 있는 구조이다. 그리고, 각 THA의 증폭기에 의한 미스매치는 레이아웃 상에서 Clock의 방향과 입력 신호의 방향을 같게 하여 Delay에 의한 영향을 최소화 하였다.

2.3 중간 단의 구조

그림 5는 1.5-비트 단을 구현하면서 고속, 저전력에 적합하게 구조를 최적화 시키는 과정을 보여준다. 기존 5개의 신호가 필요한 구조는 그림 5(a)처럼 증폭기 9개를 이용하여 신호를 반주기 동안 저장하면서 동시에 인터플레이션을 수행하도록 하는 구조였다.[1]. 하지만 이 경우에 바로 앞 단 MUX 출력이 두 증폭기의 입력이 되어 부하가 크기 때문에 고속 동작에 용이하지 않을 뿐만 아니라, 고속 동작 시에 신호를 빠르게 정착(Settling)시키기 위해서는 증폭기에 전류를 많이 흘려주어야 하고, 동시에 MUX 스위치의 크기가 증가하게 되므로서 1-of-N 코드를 출력하는 디지털 회로의 크기도 커지게 된다. 따라서 적은 소모 전력을 이용하여 고속으로 동작시키기 위해서 각 단을 그림 5(b)와 같은 캐스캐이드(Cascade) 구조로 설계할

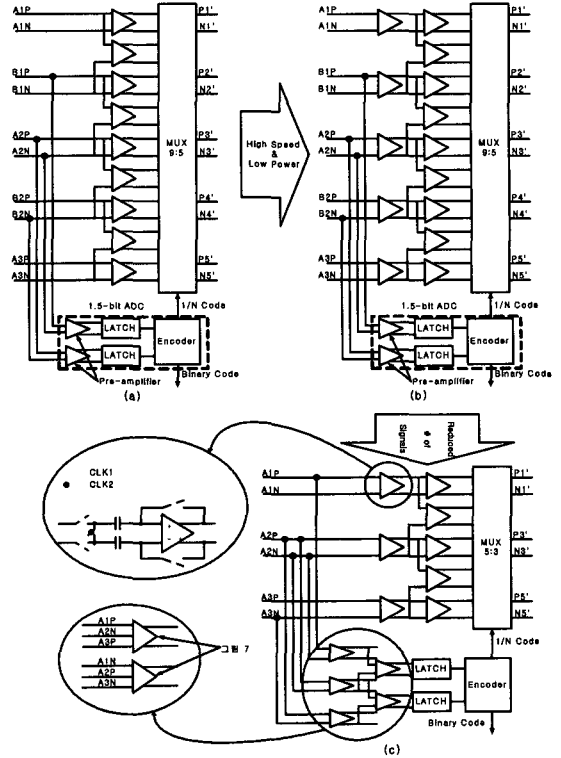


그림 5. 중간 단의 구조도, (a) 기존 방식으로 구현한 1.5-비트 단의 구조, (b) 고속, 저전력을 위한 캐스캐이드 구조, (c) 입력 신호의 개수를 줄인 구조

수 있다. 이는 먼저 5개의 신호를 5개의 증폭기를 이용하여 받은 다음에 9개의 증폭기를 이용하여 인터플레이션 하는 구조이다. 실제로 증폭기의 개수가 증가 하였으나, MUX 스위치의 부하가 줄어들게 됨으로 인해 오히려 증폭기에서 필요한 전류가 작아지게 되어 모의 실험 결과 약 40%의 전력을 절감할 수 있음을 확인하였다. 그리고 MUX 스위치와 디지털 회로 역시 작은 크기로 설계 할 수 있다.

한편, 그림 5(b)의 구조는 크로싱 정보를 판별하는 각 단의 1.5-비트 ADC의 변화를 통해 그림 5(c)와 같은 구조로 변할 수 있다. 이는 각 단에서, 5개 차동 입력 대신에 3개의 차동 입력을 이용하고, 대신 그림 5(c)처럼 2번의 인터플레이션을 통해 1.5-비트 크로싱 지점을 판단 할 수 있기 때문에 가능한 것이다. 이러한 각 단 입력 신호 개수의 감소는 전력과 면적 면에서 그림 5(b)의 설계에 비해 추가로 40%의 절감을 가져다 주었다. 이에 대한 설명은 뒷 절에서 자세히 하기로 한다.

결국 그림 5(c)의 구조로 구현된 1.5비트 단을 보면, 각 단의 3개의 차동 입력은 샘플링(Sampling)과

저장(Hold)을 할 수 있는 캐패시터(Capacitor)가 달린 3개의 증폭기들에 의해서 반주기 동안 증폭되면서 저장이 되고, 다시 5개의 증폭기들을 통해 5개의 차동 신호로 인터플레이션 된다. 그리고 1.5-비트 ADC에서 미리 생성된 온도계 코드는 MUX 스위치를 제어하는 1-of-N 코드를 발생시킨다. 이 코드에 의해 MUX는 5개의 차동 입력 중 그 입력이 들어온 부분에 해당하는 3개의 차동 신호만 선택하여 다음 단계 전달하게 된다.

각 증폭기들은 선형성을 위해 1-2 V/V의 전압 이득을 갖도록 설계하면서 오프셋 제거(Offset cancellation) 기법을 적용하여 8-비트의 해상도를 확보할 수 있었다. 또한 1.8V의 낮은 전원 전압에서 신호들의 선형성을 보장하기 위해서, D-THA 입력 이외의 모든 아날로그 신호를 1V 이상에서 구동함으로써 MUX는 오로지 PMOS만을 사용하였습니다.

이 구조에서 첫 단의 해상도를 빼면 나머지 MUX의 해상도는 6비트 이상이 되면 가능하다. 따라서 ADC의 입력 이외의 모든 내부 아날로그 신호는 300mV이내에서 움직이기 때문에 이 범위에서 PMOS MUX의 해상도는 6비트 이상이 된다. 300mV의 입력에 대한 Clock Feed-Through의 영향은 작기 때문에, 특히 레이아웃에서는 최대한의 대칭성을 갖도록 하고, Dummy 패턴을 이용하여 고려하였습니다.

2.4 신호의 개수를 줄이는 방법과 구현

앞에서도 언급했듯이 이 개방형 구조는 신호의 크로싱 정보를 이용하여 엔코딩을 하는 방식이다. 따라서 각 단계에서 크로싱 정보를 이용하기 위해서는 원하는 비트 수에 따라 앞 단계에서 뒷 단계로 전달해 주어야 할 신호 수의 선정이 필요하다. 기존에는 1.5-비트 단을 구성하면서 5개의 신호가 필요하였다. 그렇지만 각 단계에서 필요한 신호의 개수가 줄어들게 되면, 그림 5(b)의 구조에서, 입력을 받는 증폭기의 개수가 줄어들게 되고, 마찬가지로 인터플레이션을 하는 증폭기의 개수 역시 줄어들 수 있다. 개방형(Open-loop) 파이프라인 ADC에서 전체 전력 소모의 80% 이상이 증폭기에서 소비하는 아날로그 전력이다[1]. 따라서 증폭기의 개수가 줄어들면 전체적인 소비 전력을 줄일 수 있다. 단 신호의 개수를 줄이면서도 1.5-비트의 출력은 할 수 있어야 한다. 본 논문에서는 각 1.5-비트 단에서 필요한 신호의 개수를 5개에서 3개로 줄이는 방법을 제안한다. 이는 크로싱 지점을 판별하는 방법이 인터플레이션에 의해서 이뤄지기 때문에 가능한 것이다. 그림 6을 보자.

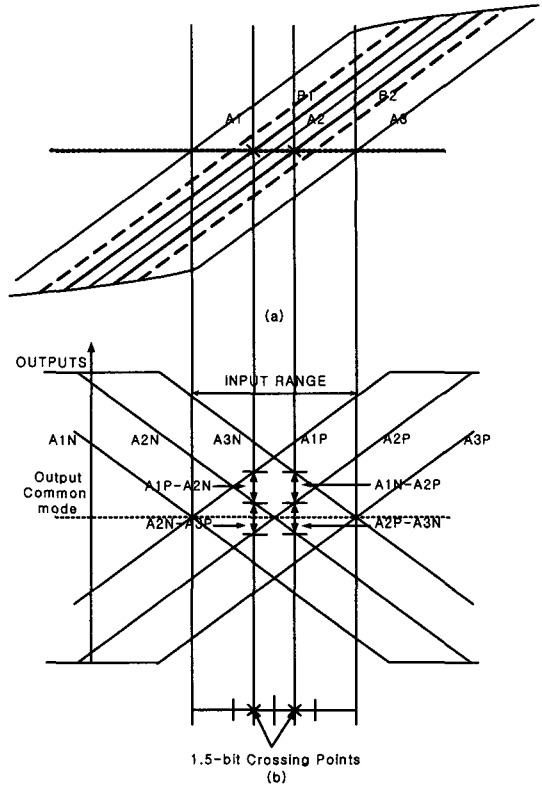


그림 6. 1.5-비트 단의 크로싱 지점과 신호 흐름

그림 6(a)는 선형성을 유지하면서 변화하는 신호를 인터플레이션 했을 때, 신호들 사이 사이에 크로싱 지점이 하나씩 늘어나는 것을 보여준다. A1, A2, A3를 인터플레이션 하면 B1, B2의 신호가 되고, 여기에서 1.5-비트의 크로싱 지점은 그림에서 보는 바와 같이 B1과 A2, A2와 B2를 인터플레이션 한 신호에서 찾을 수 있다. 기존의 구조를 이용한 그림 5(a), 5(b)의 구조를 보면, A1, B1, A2, B2, A3의 5개의 신호를 이용하여 1.5-비트 ADC 안에 있는 비교기(래치) 앞의 선행 증폭기를 이용하여, B1과 A2, A2와 B2 사이의 두 개의 크로싱 지점을 구별하는 것을 알 수 있다. 그렇지만 여기에서 이런 두 개의 크로싱 지점은 각 단계에서 3개의 차동 신호만 있어도 구별할 수 있음을 알 수 있다. 즉 A1, A2, A3의 3개의 신호를 두 번 인터플레이션을 통하면 찾을 수 있으므로 그림 5(c)와 같이, ADC 내의 선행 증폭기를 이용한 두 번의 인터플레이션을 통해 구현할 수 있다는 것이다. 이렇게 되면 아날로그 신호를 전달하고 인터플레이션 하는 증폭기의 개수는 그림 5(b)의 14개에서 그림 5(c)의 8개로 줄어들게 됨을 알 수 있고, 대신에 1.5-비트 ADC내의 선행 증폭기(Pre-Amplifier)의 개

수는 2개에서 5개로 늘어남을 알 수 있다.

그런데 여기에서 그림 6(b)를 살펴보자. 실제로 ADC 내의 모든 신호는 차동 신호이기 때문에 6(a)의 A1, A2, A3신호를 차동 신호로 모델링 하면 6(b)와 같은 신호의 흐름임을 알 수 있다. 여기에서 1.5-비트 단의 두 개의 크로싱 지점은 신호의 크기들이 다음과 같은 두 식처럼 될 때 존재함을 알 수 있다.

$$A1P-A2N=A2N-A3P \quad (식1)$$

$$A1N-A2P=A2P-A3N \quad (식2)$$

따라서 식 1, 식 2의 크로싱 정보를 판별할 수 있는 선행 증폭기가 있다면 그림 5(c)에서의 1.5-비트 ADC 내의 5개의 선행 증폭기를 2개로 줄일 수 있게 된다. 이러한 선행 증폭기는 DDA(Differential Difference Amplifier)를 응용하여 구현 할 수 있다. 그림 7에 이러한 선행 증폭기를 나타내었다. 이는 그림 5의 3개 입력 증폭기를 나타낸다. 이 증폭기의 제로 크로싱(Zero Crossing)은 식 3와 같이 나타낸다.

$$Vip1-Vin=Vin-Vip2 \quad (식3)$$

따라서 이 증폭기의 입력에 그림 5에서와 같이 입력을 인가하게 되면 식 1, 식 2의 크로싱 지점을 각각 판단할 수 있게 된다. 이렇게 함으로서 결국 중간 단 1.5-비트 ADC내 선행 증폭기 개수의 추가적인 증가 없이 아날로그 증폭기의 개수를 줄일 수 있었다. 이는 전력 면에서 약 40% 정도 이득을 본 것이며, 면적 면에서도 마찬가지로 40%의 이득이 있다. 다시 생각하면 각 단의 신호의 개수가 줄어들면 신호를 만드는 데 필요한 증폭기의 개수가 줄어들게 되고, 이로 인해 전력 소모와 면적에 크게 줄어들게 된다.

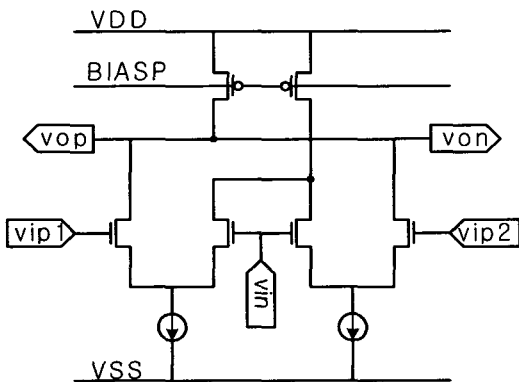


그림 7. DDA를 이용한 1.5-비트 단의 선행 증폭기

이렇게 신호의 개수를 줄이게 되면 아날로그 전력뿐만 아니라 디지털 전력과 면적에도 이득이 있다. 그

림 5에서 보는 바와 같이 MUX가 9:5에서 5:3으로 줄어들고, 이 때문에 스위치를 제어하는 디지털 로직(Logic)역시 간단해지기 때문이다.

비교기로 쓰인 래치(Latch)는 고속 동작에 적합하도록 다이내믹(Dynamic) 래치[9]를 사용하였고, 1-of-N 코드는 각 단의 아날로그 출력이 나오는 시점에 정확히 MUX 스위치가 열릴 수 있도록 정확하게 동기시켰다. 또한 전체 ADC의 출력은 테스트시의 편의를 위하여 500MHz의 디지털 출력을 16분주하여 칩 외부로 나올 수 있도록 하는 분주기(Divider)를 내장하였다. 모의 실험 결과 500MSPS의 샘플링(Sampling) 속도에서 분주기를 포함하여 210mW의 전력을 소모하면서 8-비트의 해상도를 가짐을 확인할 수 있었다.

III. 모의 실험 및 레이아웃

그림8은 500MSPS에서 설계된 ADC가 Missing Code가 있는지 알아볼 수 있도록 전체 8비트의 코드를 보여준다.

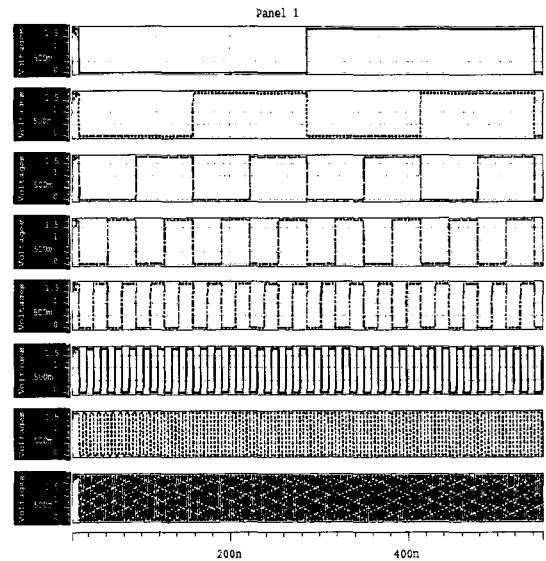


그림 8. 설계된 ADC의 8비트 전체 코드

그림 9는 설계된 ADC의 FFT(Fast Fourier Transform) 시뮬레이션 결과이다. 500MSPS의 샘플링 속도에서 입력 주파수는 각각4MHz와 103MHz에서 모의 실험 한 결과를 보여준다. 이 결과를 가지고 SNDR를 측정한 결과 각각 49.2dB와 48.5dB를 얻게

됨으로서 ADC의 동적 특성이 8-비트에 가까움을 알 수 있었다. 그리고 모의 실험 결과 입력 주파수에 따른 SFDR과 SNDR의 변화를 표 1에 나타내었다.

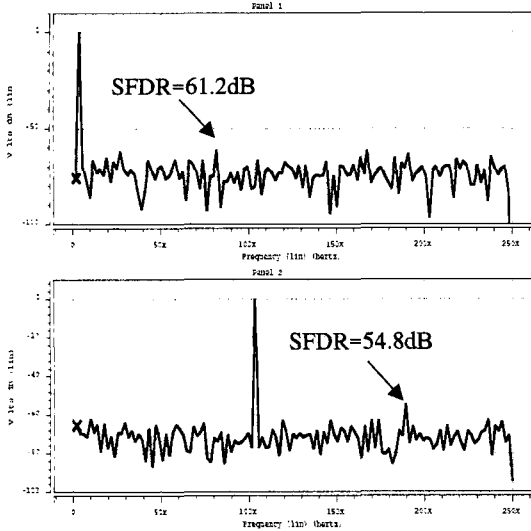
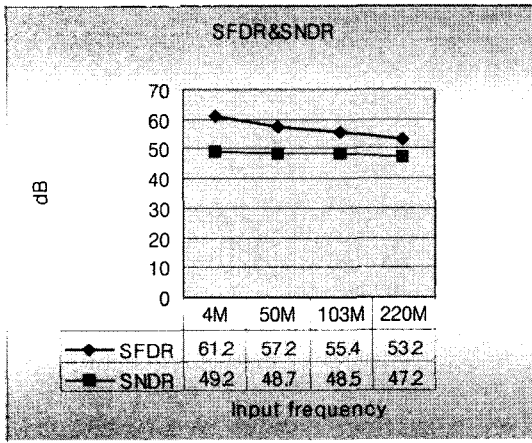


그림 9. FFT Simulation 결과
(256pt, Fin=4MHz, 103MHz @Fs=500Mps)

표 1. 입력 주파수에 따른 동적 특성 변화



본 연구는 0.18 μ m, 1Poly 6Metal CMOS Process를 이용하여 설계되었다. 그림 10은 설계된 ADC의 레이아웃도를 보여준다. 고속으로 아날로그 신호가 전달되기 때문에 아날로그 신호의 진행 방향에 일치하도록 레이아웃이 고려되었으며, 아날로그 신호의 지연(delay)과 스위치를 제어하는 클럭(Clock) 신호의 지연이 최대한 같을 수 있도록 하였다. 설계된 칩은 현재 공정 중에 있다.

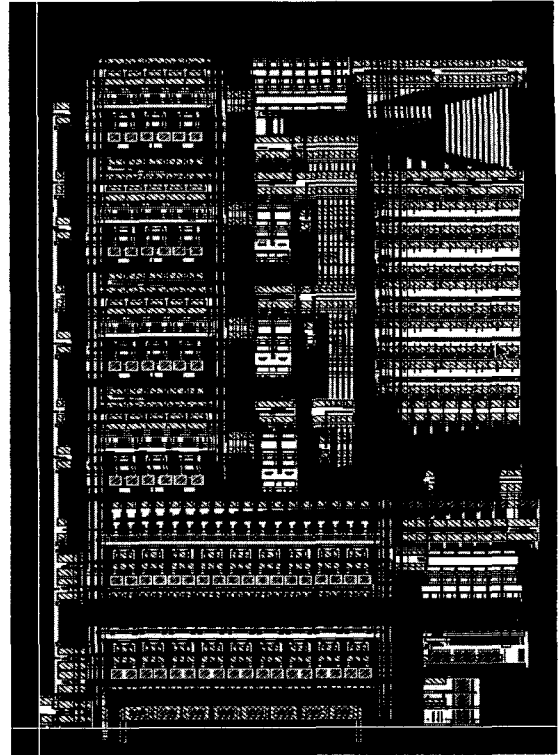


그림 10. 레이아웃(Layout)도(900 μ m \times 500 μ m)

IV. 결론

본 논문에서는 0.18 μ m CMOS공정을 이용하여 고속 동작을 하면서 저전력을 구현할 수 있는 설계 기법을 제안하여 8-비트 500MSPS ADC에 적용시켜 보았다. 설계된 ADC는 고속 동작을 위하여 개방형 증폭기들에 의해서 인터플레이션 하면서 MUX를 통하여 선택적으로 신호를 전달하는 개방형 파이프라인 구조를 이용하였으며, Distributed THA를 이용하였다. 그리고 중간 단에서 3개의 신호를 가지고 1.5-비트 크로싱 지점을 판단할 수 있는 방법과, 이를 위한 선행 증폭기를 DDA를 이용하여 구현함으로써 전체적인 증폭기의 개수를 줄일 수 있게 되었다. 따라서 전력과 속도 면에서 40% 이상의 이득을 얻을 수 있었다. 아날로그 입력 스위치에는 선형성을 위해 Dummy 스위치를 이용하였고 Offset Cancellation 기법을 사용한 증폭기들에 의해서 아날로그 신호가 전달 되게 함으로서 8비트의 해상도를 얻을 수 있었다. 시뮬레이션 결과 1.8V 전원 전압에서 1.2Vpp(Differential)

입력에 대하여 500MSPS의 속도로 8비트의 해상도를 가짐을 확인할 수 있었다. 또한 200MHz이상의 입력에 대해서도 8비트에 가까운 동적특성을 보임을 확인할 수 있었다. 표 2에 설계된 ADC의 모의 실험 결과와 전체 사양을 요약하였고 표 3에는 고속, 고해상도 ADC 와 전력과 면적을 비교하였다. 설계된 ADC 가 500MSPS속도를 감안하면 비교적 낮은 소모전력과 작은 칩 면적을 가짐을 알 수 있다.

표 2. 설계된 ADC의 특성

Resolution Sampling Freq.	8bit 500Msamples
Input Range	1.2Vp-p Differential
Process Supply	0.18μm CMOS 1.8V
SNDR @Fin=4MHz 103MHz	49.2dB 48.5dB
Power Dissipation	210mW (Digital logic included)
Size	900μm×500μm

표 3. 설계된 ADC의 특성

출처	사양	구조	공정 m	면적 mm ²	전원 V	전력 mW
JSSC 2000	8bit 150M	Pipeline (Open-loop)	0.35	1.2 1.5	3.3	395
JSSC 2001	8bit 100M	Folding Interpolating	0.5	1.4 1.2	5	165
ISSCC 2003	10bit 150M	Pipeline (Conventional)	0.18	1.4 1.6	1.8	123
JSSC 2003	8bit 200M	Flash	0.35	1.4 2.4	3	655
This work	8bit 500M	Pipeline (Open-loop)	0.18	0.9 0.5	1.8	210

본 논문은 정보통신부의 출연금으로 수행한 IT SoC 핵심설계인력양성사업의 수행결과입니다

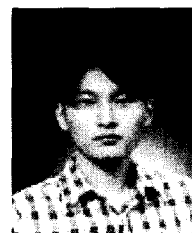
참고 문헌

[1] Yun-Ti Wang & Behzad Razavi "An 8bit 150MHz CMOS A/D Converter" *IEEE J. Solid State Circuits.* vol 35, no 3, March 2000
 [2] David A. Johns and Ken Martin, *Analog*

Integrated Circuit Design. John Wiley & Sons Inc, 1997

[3] B. Razavi, *Principles of Data Conversion System Design.* New York: IEEE Press, 1995
 [4] Rudy van de Plassche, *Integrated Analog-to-Digital And Digital-to-Analog Converters* Kluwer Academic Publishers, 1994
 [5] Choi. M., Abidi A.A., "A 6-b 1.3Gsamples/s A/D converter in 0.35um CMOS ", *IEEE J. Solid-State Circuits*, vol. 36, no. 12, December 2001
 [6] Myung-Jun Choe, "An 8-b 100-MSample/s CMOS Pipelined Folding ADC ", *IEEE J. Solid-State Circuits*, vol. 36, no. 2, February 2001
 [7] Koen Uyttenhov, "Design Techniques and Implementation of an 8-bit 200-MS/s Interpolating/Averaging CMOS A/D Converter" *IEEE J. Solid-State Circuits*, vol. 38, no. 3, March 2003
 [8] E. Bidari, "Low Voltage Switched Capacitor Circuits," in Proc. *IEEE Int. Symp. Circuits Syst.*, vol. 2, May 1999.
 [9] Lauri Sumanen, "A 10-b 200-MS/s CMOS Parallel Pipeline A/D Converter" in *IEEE J. Solid-State Circuits*, vol. 36, no. 7 July 2001.

김 신 후 (金 信 厚, Shin-hu Kim)



2002 고려대학교 전자공학과 졸업

2004 고려대학교 전자컴퓨터 공학 석사

2004~현재 LG전자 연구원

<주 관심 분야> 아날로그 IC설계, 혼성회로 칩설계, ADC/DAC 설계

김 윤 정 (金 允 貞, Yun-Jeong Kim)



2001 청주대학교 전자공학과 졸업
2004 고려대학교 전자컴퓨터 공학 석사
2004~ 고려대학교 전자컴퓨터 공학 박사과정

<주 관심 분야> 아날로그 IC설계, 혼성회로 칩설계, ADC/DAC 설계

강성모 (Steve Kang)



1975 (미) UC Berkeley 전 기공학 박사
1975~1985 AT&T Bell
1985~2001 UIUC 전기컴퓨터공학 정교수
2001~현재 UCSC 정교수

<주 관심 분야> Low power VLSI design, High Speed optoelectric

윤 재 윤 (尹 載 允, Jae-young Youn)



1996 성균관대학교 물리학과 졸업
1996~2002 삼성전자 DRAM 설계 연구원
2002~2004 고려대학교 전자 컴퓨터공학과 석사

2004~현재 삼성전자 DRAM 설계 책임연구원

<주 관심 분야> Data Converter, High Speed I/O

김 석 기 (金 錫 基, Suki Kim)



1973 고려대학교 전기공학과 졸업(공학사)
1979 (미) Minesota 대학 전 기공학 석사
1980 (미) Minesota 대학 전 기공학 박사

1974~1975 KIST 반도체 공정개발 연구원
1980~1984 (미) AT&T Bell Lab, 설계 연구원 (Mixed Mode IC 설계)
1984~1988 (미) Honeywell사 LSI 개발 Manager (산업용, 군수용 System IC 설계)
1988~1990 (미) Hughes사 LSI 개발 Manager (군수용 Mixed Mode IC 설계)
1990~1995 삼성전자 비메모리 개발 담당 상무이사
1995~현재 고려대 전자과 정교수

<주 관심 분야> 아날로그 IC설계, 혼성회로 칩설계, ADC/DAC 설계, 통신용 IC설계

임 신 일 (林 信 一, Shin-Il Lim)



1980 서강대학교 전자공학과 졸업(공학사)
1983 서강대학교 대학원 전자공학과 석사
1995 서강대학교 대학원 전자공학과 박사

1982~1991 한국 전자통신 연구원(ETRI) 선임 연구원

1991~1995 전자부품 연구원(KETI) 선임 연구원

1995~현재 서경대학교 전자통신컴퓨터공학부 부교수

<주 관심 분야> 아날로그 IC설계, 혼성회로 칩설계, ADC/DAC 설계, 통신용 IC설계