

## 전류 감쇠 조정 회로에서의 정밀도 향상 기술

(Accuracy Enhancement Technique in the Current-Attenuator Circuit)

김성권\*

(Seong-Kweon Kim)

### 요 약

전류모드 아날로그 회로를 이용하여 FIR(Finite Impulse Response) 필터를 설계하는 경우에 tap coefficient와 전류모드 FFT(Fast Fourier Transform) LSI의 회전인자(twiddle factor)를 실현시키기 위해서는 높은 정밀도를 갖는 전류 감쇠 회로가 필요하게 된다.

본 논문은 전류 모드 신호처리 기술에서 전류감쇠 회로의 감쇠 정밀도를 향상시킬 수 있는 기술을 소개하고자 한다. 먼저 게이트 길이 비율을 조정하는(gate-ratioed) Current Mirror 회로를 사용하는 기존의 전류 감쇠 조정 회로에 있어서의 DC offset 전류 에러에 대하여 분석하였으며, 다음으로 DC offset 전류 에러를 제거할 수 있는 전류 감쇠 회로를 제안하였다. 회로 구성은 입력 전류를  $1/N$ 로 감쇠시킬 수 있도록  $N$ 개의 Current Mirror를 병렬로 연결하는 기본 구성을 하였으며, Kirchhoff 전류 법칙에 근거하여, 전류 감쇠가 결정되도록 설계하였다. 또한 Current Mirror 회로에서, 정전류원의 사용을 줄일 수 있는 회로설계를 제안하였다. 제안된 전류 감쇠 회로에서 정밀도는 Current Mirror의 ac 이득 에러에 의하여 제한되며 High Swing Current Mirror를 기본 Current Mirror로 사용한 경우에, 최대 정밀도는 이론상 입력 전류의  $-80[\text{dB}]$ 까지 실현가능하다.

### Abstract

To realize the tap coefficient of a finite impulse response(FIR) filter or the twiddle factor of a fast Fourier transform(FFT) using a current-mode analog circuit, a high accurate current-attenuator circuit is needed. This paper introduces an accuracy enhancement technique in the current-mode signal processing. First of all, the DC offset-current error in a conventional current-attenuator using a gate-ratioed current mirror circuit is analyzed and then, the current-attenuator circuit with a negligibly small DC offset-current error is introduced. The circuit consists of  $N$ -output current mirrors connected in parallel with one another. The output current of the circuit is attenuated to  $1/N$  of the input current. On the basis of the Kirchhoff current law, the current scale ratio is determined simply by the number of the current mirrors in the  $N$ -current mirrors connected in parallel. In the proposed current-attenuator circuit, the scale accuracy is limited by the ac gain error of the current mirror. Considering that a current mirror has a negligibly small ac gain error, the attainable maximum scale accuracy is theoretically  $-80[\text{dB}]$  to the input current.

Key Words : Current mode Circuit, current-attenuator, DC offset-current

\* 주저자 : 국립목포해양대학교 해양정보통신공학과 교수

Tel : 061-240-7263, Fax : 061-240-7283, E-mail : skkim12632@mmu.ac.kr

접수일자 : 2005년 10월 13일, 1차심사 : 2005년 10월 19일, 심사완료 : 2005년 10월 31일

## 1. 서론

무선 통신용 LSI는 배터리로부터 전력을 공급받기 때문에 기본적으로 적은 전력으로 동작해야 함을 기본으로 한다. 저소비전력이 가능한 무선통신용 LSI 개발을 위한 방법 중 한 가지는 Switched Current(SI) Mode 회로를 사용하는 전류 모드 아날로그 신호 처리가 있을 수 있다[1,2]. SI Mode 회로를 이용한 전류 모드 아날로그 신호 처리는 저전원 동작가능, 가산 회로의 순시적인 동작 그리고, 시스템의 동작 주파수와 무관하게 일정한 전력을 나타내는 특성을 갖는다. 이 SI Mode 회로를 이용한 전류 모드 아날로그 신호 처리의 저소비 동작적 특성을 이용하여, OFDM(Orthogonal Frequency Division Multiplexing)용 FFT(Fast Fourier Transform) LSI를 구현하는 등 여러 가지 시도가 있어 왔다[3]. 전류모드 FFT LSI의 연산결과는 디지털 신호처리에서와 마찬가지로 FFT 연산의 회전인자(twiddle factor)를 얼마나 정밀도를 갖도록 하게 하느냐에 달려있다[3]. 이는 FIR(finite impulse response) 필터의 동작이 정밀한 tap coefficient 구현과 밀접한 연관성이 있는 것과 같은 경우이다. 지금까지는 OFDM용 FFT LSI의 회전인자와 FIR 필터의 tap coefficient를 전류모드 회로로 구현함에 있어서는 전류 감쇠 조정 회로를 사용하여 왔는데 기존의 전류 감쇠 조정 회로는 Current Mirror 회로에서 MOS 게이트의 폭 비율을 조정하여 입력전류를 게이트 폭의 비율에 따라 출력전류를 내는 회로 구성을 갖는 회로였다. 기존의 전류 감쇠조정 회로는 게이트 폭의 변화에 따른 threshold 전압의 변화가 발생하여 DC offset 전류 에러를 가지고 있는 문제점이 있어서, 전류조정 비율을 맞추기에 큰 어려움이 있었다.

본 논문은 DC offset 전류 에러를 제거할 수 있는 전류 감쇠 조정 회로를 동일한 게이트 폭만을 갖는 MOS 트랜지스터로 설계하는 기술을 제안하고자 한다. 제안한 높은 정밀도를 갖는 전류 감쇠 조정회로는 전류 모드 아날로그 신호 처리에 있어서 저소비 전력 특성에 부가하여 디지털 신호처리 수준의 정밀도를 성취시켜 줄 수 있는 가능성을 제시한다.

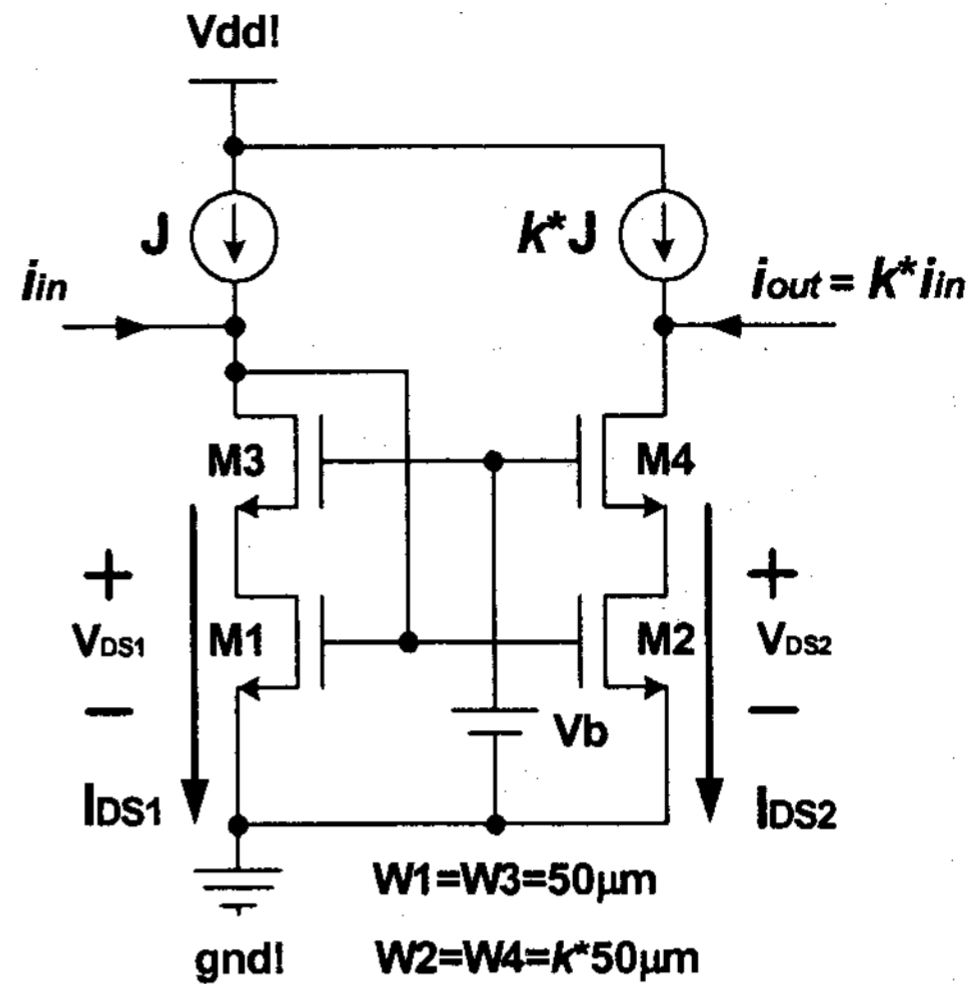


그림 1. 기존의 전류 감쇠 회로  
Fig. 1. Conventional current attenuator Circuit

## 2. DC offset 전류 에러의 분석

그림 1은 전류모드 전류 전달 특성이 우수한 High Swing Cascode Current Mirror를 이용한 기존의 전류 감쇠 조정회로를 나타내고 있다. High Swing Cascode Current Mirror 회로는 Cascode 구성으로 Channel Length Modulation 효과를 줄이는 회로구성을 갖고 있다. 입력전류는 설계되는  $k$  ( $0 < k \leq 1$ )의 비율만큼 감소되어 출력되는 특성을 갖는다.

그림 2는 High Swing Cascode Current Mirror를 이용한 기존의 전류 감쇠 조정회로의 치명적인 문제점이 되는 DC offset 전류에러 특성을 나타내고 있다. 이 시뮬레이션 결과는 AMS 0.8[ $\mu\text{m}$ ] CMOS 공정에 의해 만들어진 BSIM3 NMOS 트랜지스터를 이용하였으며, 시뮬레이션 툴로써 Cadence Analog Artist spectreS가 사용되었다. x축인  $k$ 값은 0.1씩 증가하여 0.1에서 1.0까지 변하고, y축은 DC offset 전류 에러값을 나타낸다. 그리고 이 논문에서 사용되는 용어로 DC offset 전류 에러의 의미는 입력전류가 없는 상태에서 측정되는 출력전류로 정의되어진다. High Swing Cascode Current Mirror를 이용한 기존의 전류 감쇠 조정회로에서의 DC offset 전류 에러는 그림 2에서 비율 0.1에 대하여 약 2.7[ $\mu\text{A}$ ]를 보여주고 있다. 이는 10[ $\mu\text{A}$ ]의 입력 전류로부터 0.1

전류 감쇠 조정 외로에서의 정밀도 향상 기술

의 크기 비율을 구현하고 싶은 경우에 1[μA]의 출력 전류를 설계하는 것은 불가능하다는 것을 의미한다. 즉 종래의 전류 감쇠 회로에서는 DC offset 전류 에러로 이미 약 2.7[μA]가 흐르고 있기 때문이다.

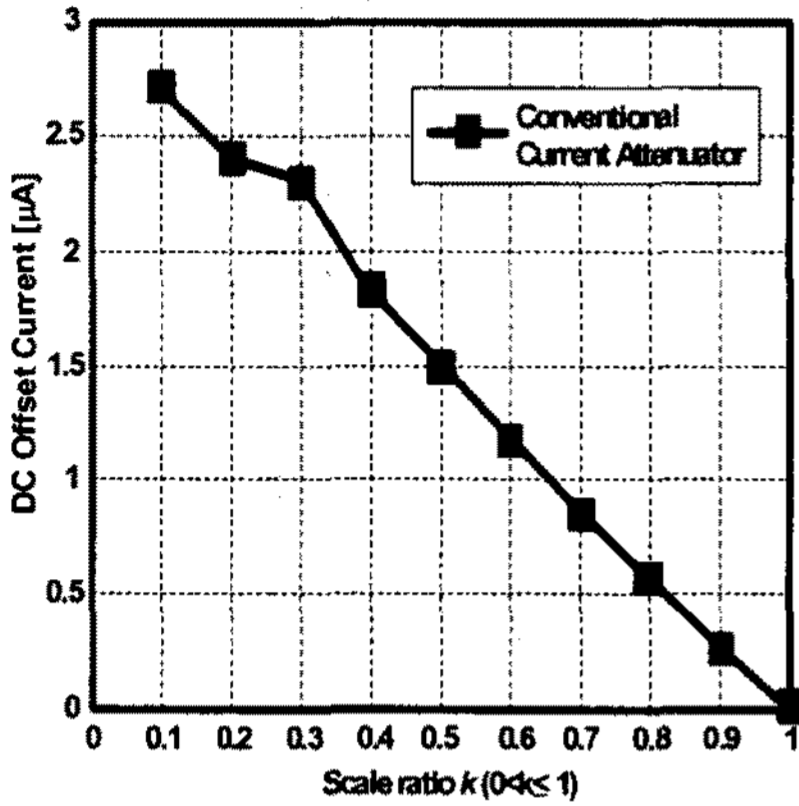


그림 2. 기존의 전류 감쇠회로의 DC-offset 전류에러  
Fig. 2. DC offset-current errors to the scale ratio k

전류모드 FFT LSI의 회전인자와 FIR 필터의 계수를 기존의 전류 감쇠 조정회로로 구현하는 것에는 확실히 한계가 있다고 할 수 있다. 그럼 지금부터 그림 1의 종래의 전류 감쇠 조정회로에 있어서의 DC offset 전류 에러에 대하여 분석하여 보자.

전류감쇠 조정회로에서 입력전류  $i_{in}$ 은 MOS 게이트의 폭과 Bias 전류가 같은 크기의 k ( $k = W_2/W_1 = W_4/W_3, 0 < k \leq 1$ )에 의해 감쇠 조정된다.  $W_1$ 은 트랜지스터 M1의 게이트 폭이고,  $W_2$ 는  $kW_1$ 의 크기로 설계된 트랜지스터 M2의 게이트 폭이 된다. 트랜지스터 M1과 M2가 포화상태에서 동작한다고 가정하면 입력 drain-source 전류  $I_{DS1}$ 과 출력 drain-source 전류  $I_{DS2}$ 사이의 관계가 식 (1)에 의해 주어진다.

$$\frac{I_{DS2}}{I_{DS1}} = \left(\frac{L_1 W_2}{L_2 W_1}\right) \left(\frac{V_{GS} - V_{t1}}{V_{GS} - V_{t2}}\right)^2 \left(\frac{1 + \lambda_2 \times V_{DS2}}{1 + \lambda_1 \times V_{DS1}}\right) \left(\frac{K_2}{K_1}\right) \quad (1)$$

위 식에서  $K_1$ 과  $K_2$ 는 상호컨덕턴스,  $W_1/L_1$ 과  $W_2/L_2$ 는 게이트의 폭과 길이의 비율을 나타내며,  $V_{t1}$ 과  $V_{t2}$ 는 각각 threshold voltage를 나타내며,  $V_{DS1}$ 과  $V_{DS2}$ 는 각각 트랜지스터 M1과 M2

의 channel length modulation 구간을 나타낸다.

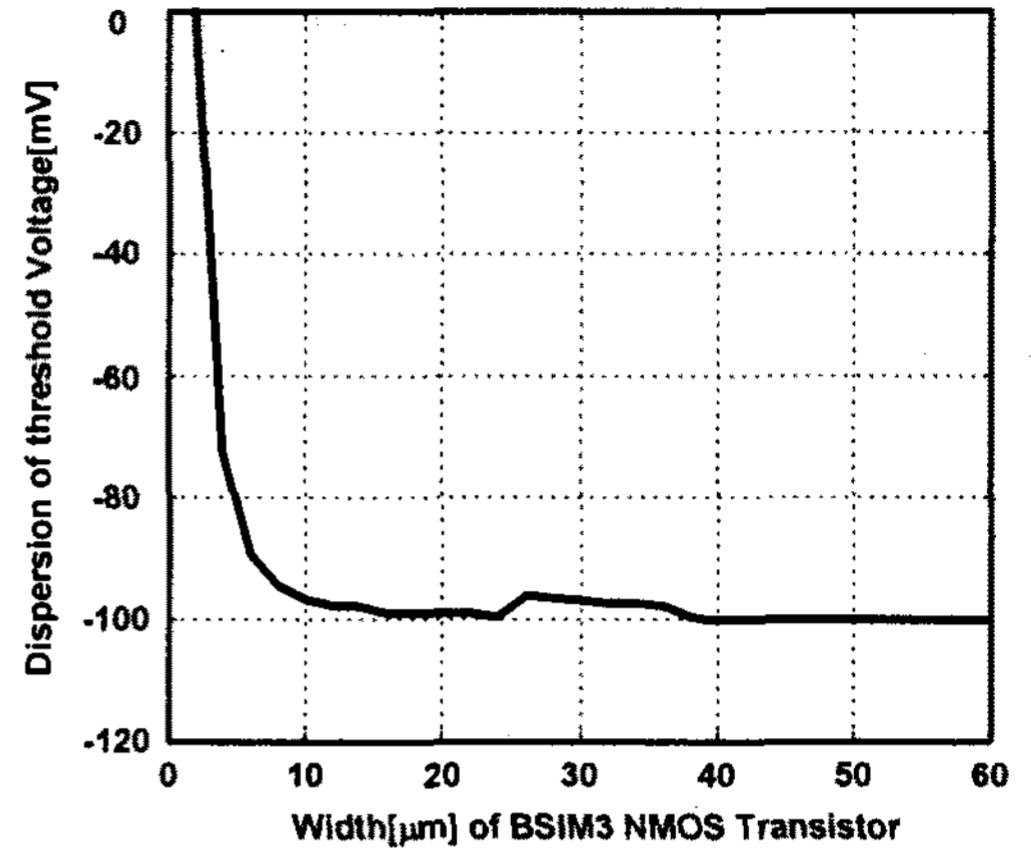


그림 3. NMOS 트랜지스터의 게이트 폭의 변화에 따른 threshold 전압의 분산특성  
Fig. 3. The dispersion characteristics of the threshold voltage to the variation of the width of the NMOS transistor

두 트랜지스터는 각각 같은 두께의 산화막이 사용되었다고 볼 수 있기 때문에 물리적 변수  $K'_1$ 과  $K'_2$ 는 같다고 할 수 있고, high swing cascode Current Mirror 회로 구성에서는  $V_{DS1}$ 과  $V_{DS2}$ 는 같은 값으로 무시될 수 있다. 그리고 완전한 기하학상의 연결이라 가정하면  $W_2/W_1 = k$ 이고  $L1 = L2$ 이다. 그래서 식 (1)이 식 (2)와 같이 간단하게 표현된다.

$$\frac{I_{DS2}}{I_{DS1}} = k \times \left(\frac{V_{GS} - V_{t2}}{V_{GS} - V_{t1}}\right)^2 \quad (2)$$

$V_T = (V_{t1} + V_{t2})/2$ 와  $\Delta V_T = V_{t2} - V_{t1}$ 의 식을 이용하면 식 (2)는 식 (3)과 같이 전개된다.

$$\begin{aligned} \frac{I_{DS2}}{I_{DS1}} &= k \times \left(\frac{V_{GS} - V_T - \Delta V_T/2}{V_{GS} - V_T + \Delta V_T/2}\right)^2 \\ &= k \times \left(\frac{(V_{GS} - V_T)^2 - \Delta V_T(V_{GS} - V_T) + (\Delta V_T/2)^2}{(V_{GS} - V_T)^2 - (\Delta V_T/2)^2}\right)^2 \end{aligned} \quad (3)$$

$\Delta V_T^2 \cong 0$  이므로 이 관계를 이용하면, 식 (3)은 다음의 식 (4)와 같은 근사식으로 나타낼 수 있다.

$$\frac{I_{DS2}}{I_{DS1}} \cong k \times \left(1 - \frac{2\Delta V_T}{V_{GS} - V_T}\right)^2 \quad (4)$$

DC offset 전류 에러  $\Delta I$  는 식 (5)와 같이 정의되므로 식 (4)를 이용하면, 식 (6)과 같이 된다.

$$\Delta I = I_{DS2} - k \times I_{DS1} \quad (5)$$

$$\Delta I \cong k \times I_{DS1} \times \left( \frac{2\Delta V_T}{V_{GS} - V_T} \right) \quad (6)$$

결과적으로 DC offset 전류 에러는 식 (6)에서 알 수 있듯이 threshold voltage 분산 값에 해당하는  $\Delta V_T$  값에 가장 큰 영향을 받는다는 것을 보여준다.

그림 3은 n-channel MOS(NMOS) 트랜지스터의 게이트 폭의 변화에 따른 threshold voltage의 분산 특성을 보여준다. 그림 3은 게이트 길이가  $0.8[\mu m]$  인 NMOS 트랜지스터의 폭을  $2[\mu m]$ 에서  $60[\mu m]$ 까지 변화시켜며 (x축) threshold voltage (y축)를 측정한 결과이다. 모델로 사용된 트랜지스터는 마찬가지로 AMS  $0.8[\mu m]$  CMOS 공정에 의해 만들어진 BSIM3 NMOS이고 시뮬레이션 툴로써 Cadence Analog Artist spectreS가 사용되었다. threshold voltage의 최대 분산 차이는 그림 3에서 알 수 있듯이 MOS 트랜지스터의 게이트 폭  $2[\mu m]$ 에서와  $60[\mu m]$ 에서의 차이로  $100[mV]$ 임을 알 수 있다. 종래의 전류 감쇠 조정

회로에서 치명적인 문제가 되었던 DC offset 전류 에러는 gate 폭이 다른 MOS 트랜지스터를 사용하여 생겨나는 threshold voltage 분산특성임을 알 수 있게 되었다. 따라서 종래의 전류 감쇠 조정회로에서 DC offset 전류 에러는 피할 수 없는 문제였다. 그림 3을 다른 각도에서 보면 동일한 gate 폭을 가진 MOS 트랜지스터를 사용할 경우, MOS 트랜지스터의 gate 폭의 변화에 따른 분산특성에 따른 DC offset 전류 에러는 발생하지 않는다는, 즉 고려하지 않아도 된다는 흥미로운 응용의 가능성을 보여 주고 있다.

### 3. 감쇠 회로의 정밀도 향상 기술

앞 절에서 다루었듯이 NMOS 게이트 폭의 변화에 따른 Threshold voltage의 분산특성은 동일한 게이트 폭의 MOS 트랜지스터를 사용하는 Simple Current Mirror 회로에서는 무시된다.

따라서 제안하는 감쇠 조정회로의 정밀도를 향상시키는 기술은 동일한 게이트 폭을 가진 MOS 트랜지스터로 구성된 Simple Current Mirror를 활용하는데 있다.

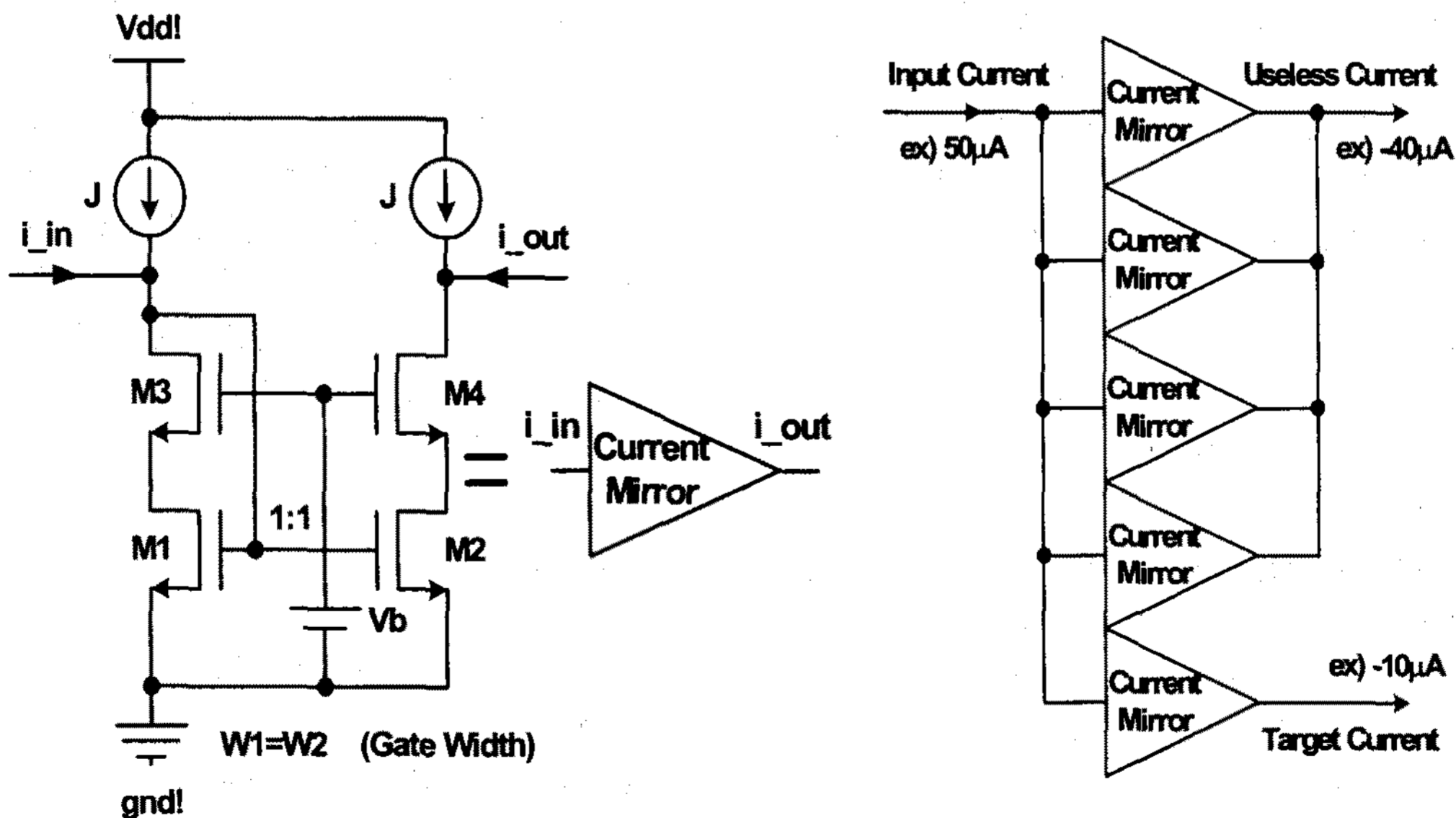


그림 4. 제시된 전류 감쇠 회로의 블록 다이어그램  
Fig. 4. The block diagram of the proposed current attenuator circuit

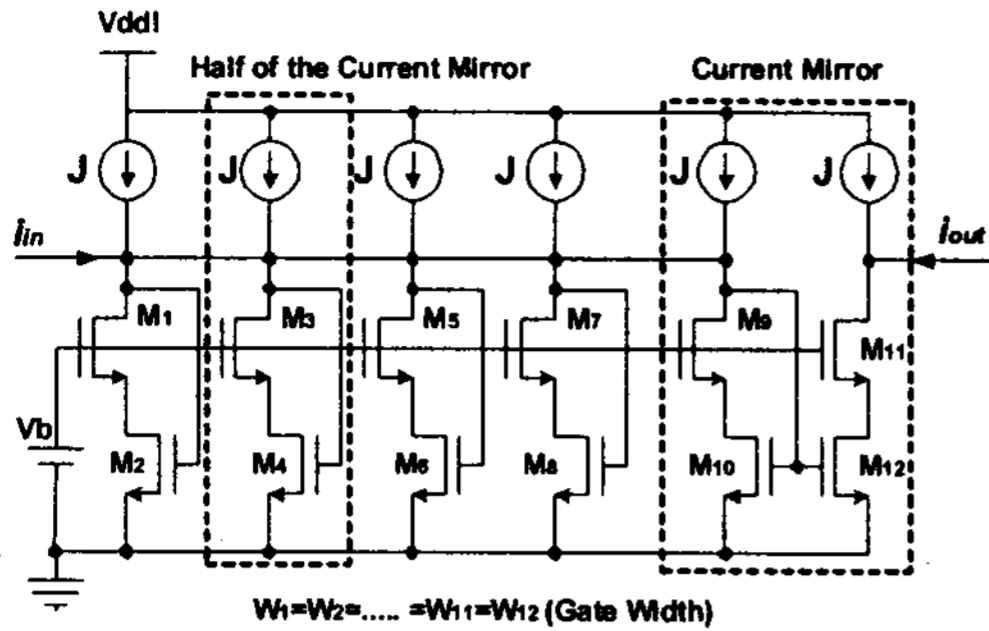


그림 5. 제시된 전류 감쇠 회로의 간략도  
Fig. 5. The example of the proposed current attenuator circuit

그림 4는 전류 감쇠 조정비가 0.2인 경우를 구성한 전류 감쇠 조정회로의 예를 보여준다. 설계된 회로는 서로 병렬 연결된 5개의 Current Mirror로 구성되어 있다. 입력 전류는 5개의 Current Mirror 각각의 입력측에서 보이는 임피던스가 동일하기 때문에 균등하게 분할되어 5개의 동일한 전류로 들어간다. 입력 전류의 1/5에 해당하는 출력 전류는 한 개의 Current Mirror의 출력으로부터 얻어진다. 이 제안된 회로기술의 장점은 Kirchhoff의 전류법칙에 따라 입력 전류가 나뉘어지며 병렬 연결된 N개의 Current Mirror에서 주어진 감쇠비율에 따라 Current Mirror의 출력전류를 간단하게 Wired-OR 함으로서 구현된다는 것이다. 그러나 실제 회로에서의 응용적인 측면으로 본다면 이 회로기술은 전력소비가 매우 크다는 약점을 갖는다. 즉 그라운드로 쓸 데 없이 흘러가는 대기전류(Quiescent Current)의 양이 많아서, 막대한 소비전력의 손실이 생긴다. 그림 4의 경우에 대기전류의 크기는  $J \times 2 \times 5$ 이다. 여기서 5는 Current Mirror의 개수를 의미하며, 2는 Current Mirror 회로는 두 개의 전류원을 가지고 있다는 것을 의미한다.

이러한 문제점은 Current Mirror의 전류원을 절반만 사용하는 기술로 극복이 가능하다. 이 제안되는 회로는 그림 5에서 보여주는데, 이렇게 되면 대기전류는 약  $J \times 6$ 으로 급격히 감소한다. 그림 6은 감쇠비율 k의 변화에 따른 종래의 전류 감쇠 조정회로와 제안된 전류 감쇠 조정회로에서의 DC offset 전류 에러 특성을 비교한 결과를 보여주고 있다.

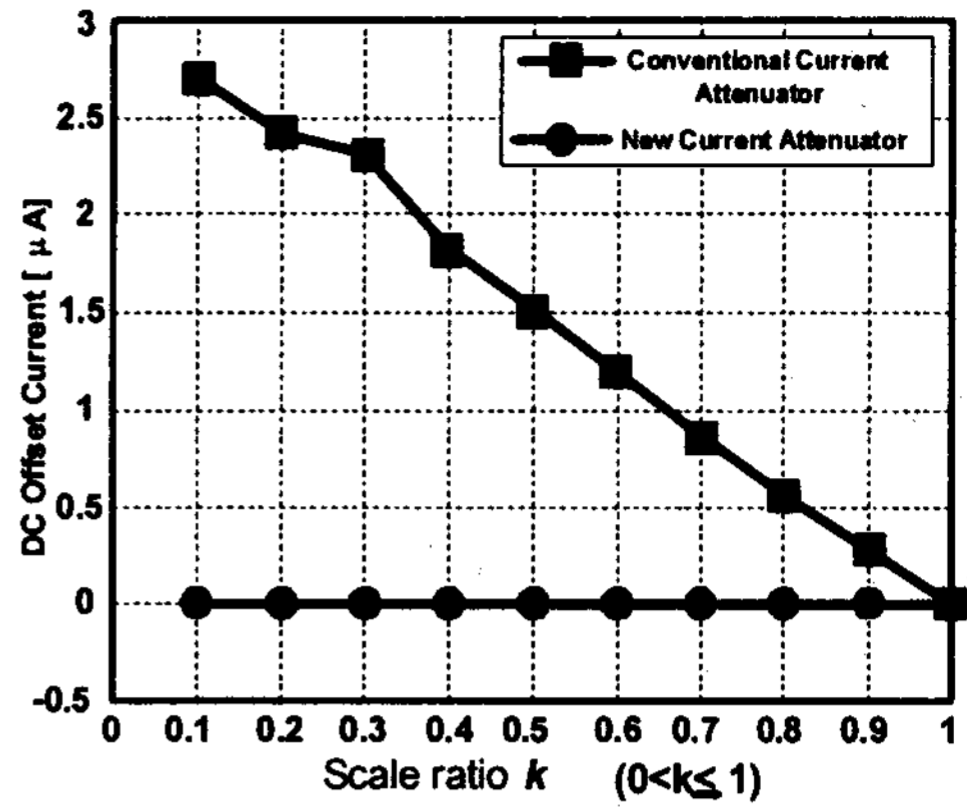


그림 6. 제시된 전류 감쇠기의 offset 전류 에러(●)와 기존의 전류 감쇠기의 offset 전류 에러(■)의 비교  
Fig. 6. The DC offset current characteristics of the proposed current attenuator compared with the conventional current attenuator

x축인 k값은 0.1씩 증가하여 0.1에서 1.0까지 변하고, y축은 각각의 DC offset 전류 에러값을 나타낸다. 제안한 전류 감쇠 조정회로의 경우, DC offset 전류 에러값은 감쇠비율 k에 관계없이  $50 \text{ aA} (= 10^{-15} \text{ A})$ 로써, 무시할 수 있는 값을 보였다. 제안한 전류 감쇠 조정회로를 이용한 회로 시뮬레이션 결과에 따르면  $10[\mu\text{A}]$ 의 입력전류에 대한 출력전류 감쇠 정밀도는 약  $-30[\text{dB}]$ 까지 실현가능함을 확인하였다. 일반적으로 제안한 전류 감쇠조정 회로는 Simple Current Mirror를 응용한 회로이므로 그 감쇠 정밀도는 Simple Current Mirror의 ac 이득 에러에 의해 제한된다고 할 수 있다. 특히 High Swing Cascode Current Mirror 회로에서는 이론상 ac 이득 에러가 0.01[%]가 된다는 점을 고려한다면, 제안한 전류 감쇠 조정회로의 최대 정밀도는 이론상  $-80[\text{dB}]$ 까지 실현될 수 있다.

#### 4. 결 론

본 논문에서는 전류모드 아날로그 회로를 이용하여 FIR(Finite Impulse Response) 필터에서 tap coefficient를 구현하는 회로와 FFT(Fast Fourier Transform) LSI의 회전인자(twiddle factor)를 구현하는 회로를 종래의 전류 감쇠 조정회로를 이용하여

## References

- [1] HEZ, TERRI S. and ALLSTOT, DAVID J. : 'CMOS Switched-Current Ladder Filters', IEEE J. Solid-State Circuits, December 1990, VOL.25, NO.6, pp. 1360 - 1367.
- [2] TOGURA, K., NAKASE, H., KUBOTA, K., MASU, K., and TSUBOUCHI, K.: 'Low Power Current-Cut Switched-Current Matched Filter for CDMA', IEICE Trans., ELECTRON., February 2001, Vol. E84-C, no.2, pp. 212 - 219.
- [3] KIM, S.K., CHA, J.S., NAKASE, H., and TSUBOUCHI, K.: 'Novel FFT LSI for Orthogonal Frequency Division Multiplexing Using Current Mode Circuit', Jpn. J. Appl.Phys. Vol.40(2001) pp. 2859 - 2865 [Extended Abstracts of the 2000 Int. Conf. on Solid State Devices and Materials, Sendai, 2000, pp. 384-385].

## ◇ 저자소개 ◇

## 김성권 (金成權)

1968년 3월 18일생. 1996년 인하대학교 졸업(학사). 1996~1999년 삼성전자 시스템 LSI사업부 주임연구원. 2002년 일본 東北대학교 대학원 전자공학과 졸업(박사). 2002~2003년 일본 東北대학교 전기통신연구소 조수. 2003~2004년 일본 東北대학교 전기통신연구소 Research Fellow. 2004년 9월~현재 국립목포해양대학교 해양전자통신공학부 교수.

설계한 경우, 나타나는 피할 수 없는 DC offset 전류 에러의 문제점을 분석하였으며, 동일한 게이트 폭을 사용하는 Simple Current Mirror를 사용하여, Threshold voltage의 분산 특성의 영향을 배제시킴으로써, 높은 정밀도를 갖는 전류 감쇠 조정회로를 구현하는 기술을 소개하였다. 제안된 회로기술을 응용한 전류 감쇠 조정회로의 시뮬레이션 결과는 DC offset 전류 에러를 무시할 만한 수준까지 배제시키는 유용한 특성을 보여주었다.

무선 통신용 LSI는 배터리로부터 전력을 공급받기 때문에 기본적으로 저소비 전력으로 동작해야만 하고, 또 최근의 통신기술은 대용량 전송을 위하여 고속 신호처리를 수반하고 있다는 점을 본다면, 시스템의 동작주파수에 관계없이 일정한 소비전력을 나타낼 수 있는 전류모드 아날로그 신호처리는 저소비전력 무선통신용 LSI개발에는 유용한 기술이 될 것이다.

본 논문에서 제안한 전류 감쇠 조정회로는 전류모드 아날로그 신호 처리에서의 정밀도 향상 기술이 되며, 특히 전류모드 아날로그 회로를 이용한 FIR필터에서의 tap coefficient 회로와 FFT LSI에서의 회전인자를 구현함에 있어서 유용한 회로가 되어 성능 개선을 가능하게 하여 준다.