

CMOS 집적회로 테스트를 위한 내장형 전류 감지회로 설계

Design of a Built-In Current Sensor for CMOS IC Testing

金兌相*, 洪昇鎬*, 郭哲昊**, 金政範*

Tae Sang Kim*, Seung Ho Hong*, Chul Ho Kwak**, Jeong Beom Kim*

요약

본 논문에서는 전류 테스트를 이용하여 CMOS 집적회로에 존재하는 결함을 검출하는 내장형 전류 감지회로를 설계하였다. 이 회로는 일반적인 CMOS 공정으로 구현하였으며 결함전류와 기준전류를 전압으로 변환시켜 시험대상 회로의 결함을 고속으로 검출하며, 미세공정에도 적용가능한 회로이다. 제안한 전류 감지회로는 전류원 내장으로 인한 추가적인 전력소모를 문제를 해결하였다. 제안한 회로의 정당성 및 효율성은 HSPICE를 이용한 시뮬레이션으로 그 타당성을 입증하였다. 제안한 전류 감지회로가 칩의 전체 면적에서 차지하는 면적소모는 시험대상회로에서 약 9.2%로, 내장형 전류 감지회로에 의한 면적소모는 무시할 만 하다. 제안한 회로는 Hynix 0.35um 2-poly 4-metal N-Well 표준 CMOS 공정으로 제작하였다.

Abstract

This paper presents a built-in current sensor(BICS) that detects defects in CMOS integrated circuits using the current testing technique. This circuit employs a cross-coupled connected PMOS transistors, it is used as a current comparator. The proposed circuit has a negligible impact on the performance of the circuit under test (CUT) and high speed detection time. In addition, in the operation of the normal mode, the BICS does not have dissipation of extra power, and it can be applied to the deep submicron process. The validity and effectiveness are verified through the HSPICE simulation on circuits with defects. The area overhead of a BICS versus the entire chip is about 9.2%. The chip was fabricated with Hynix 0.35 μ m 2-poly 4-metal N-well CMOS standard technology

Keywords : VLSI Testing, Current Testing, Built-In Current Sensor, Reliability

1. 서론

오늘날 대부분의 VLSI 칩에는 적은 전력소모와 높은 집적률 등의 장점을 지닌 CMOS 소자가 중요한 회로 구성 소자로서 집적회로 구현에 널리 사용되고 있다. CMOS 회로는 다층 금속도선과 미세공정 설계규칙이 적용되어 집적도가 크게 증가하고 있으나 설계와 제조과정에서 많은 물리적 결함들이 발생하고 있다 [1]-[3][14]. 반도체 공정에서 발생할 수 있는 결함은 그 양상이 다양하고 복잡하다. 특히, CMOS 공정기술

에서 발생하는 결함 중 종래의 고착결함으로 모델링이 불가능한 결함이 많이 존재한다. 따라서 고착결함 모

* 강원대학교 전기전자정보통신공학부

(Dept. of Electrical and Computer Eng., Kangwon National University)

** 충남대학교 정보통신공학부

(Div. of Electrical and Computer Eng., Chungnam National University)

接受日:2005年 3月 16日, 修正完了日:2005年 7月 21日

델을 대치하거나 보완할 수 있는 결합 모델이 필요하다. CMOS 공정에서 흔히 발생할 수 있는 결합들은 트랜지스터 합선고장과 같은 고전적인 고장 이외도 주변에 있는 노드 사이의 단락에 의한 브리징 고장(bridging fault) 그리고 게이트 옥사이드(gate oxide) 두께의 감소로 인한 게이트와 소스, 게이트와 드레인, 게이트와 채널 사이의 단락에 의한 게이트 옥사이드 단락고장 등이 있다[1][2].

CMOS 소자는 그 구조적 특성으로 인하여 결합이 없으면 정상상태에서 P-N 접합 누설 전류 이외에는 전류가 흐르지 않는다. 그러나 입력전압이 논리 임계전압 근처에서 변화하는 과도상태에서는 과도전류가 흐르며, 게이트 수가 증가 할 수 록 전원에서 공급되는 과도전류는 증가하게 된다. CMOS 회로 내에 브리징 또는 게이트 옥사이드 합선 고장 등이 발생하면 정상상태에서 전원과 접지단 사이에 전류경로가 형성되어 P-N 접합 누설전류보다 큰 결합전류가 흐르게 된다. 따라서 합선결합모델은 트랜지스터 합선결합이나 게이트 옥사이드 합선결합과 같은 CMOS 공정기술에서 발생하기 쉬운 결합을 고착결합 모델보다 정확하게 표현할 수 있다[1]-[3]. 이러한 결합들은 대부분 논리결합을 발생하지 않으면서 신호지연이 발생하고 시간이 경과함에 따라 그 상태가 더욱 악화되어 시스템 사용 중에 고장을 유발할 수 있어 시스템 신뢰도를 현저하게 감소시킨다. 이러한 결합들은 시험대상회로의 입력에 테스트 패턴들을 인가한 후 출력 단에서 논리 값만을 확인하여 시험대상회로의 정상동작 여부를 판단하는 방법으로는 효과적으로 검출하지 못한다. 전압 테스트에서 검출 해낼 수 없는 이러한 결합을 효과적으로 검출하기 위한 방법이 전류 테스트, 혹은 IDDQ (quiescent power supply current monitoring) 테스트이다[4]-[10].

본 논문에서는 전류 테스트를 이용하여 CMOS 집적회로에 존재하는 결합을 검출하는 내장형 전류 감지회로(BICS : Built-In Current Sensor)를 설계하였다. 이 회로는 일반적인 CMOS 공정으로 구현하였으며 결합전류와 기준전류를 전압으로 변환시켜 시험대상회로의 결합을 고속으로 검출해 낸다. 제안한 내장형 전류 감지회로는 전류원 내장으로 인한 추가적인 전력소모를 문제를 해결하였으며, 미세공정에도 적용이 가능한 회로이다.

II. 전류 테스트

전류 테스트는 결합전류를 칩의 외부에서 측정하는 외부 전류테스팅(external IDDQ tesing)과 결합전류를 칩의 내부에서 측정하는 내장형 전류 테스트(built-in current testing) 방법이 있다. 칩의 외부에서 전류를 테스트 하는 방법은 외부 테스트 장비가 테스트 대상 회로에 비해서 상당히 큰 부하를 가지므로 출력단자가 외부부하를 구동하기 위해서는 큰 전류를 공급해야 하므로 결합전류와 구동전류를 구별하기가 쉽지 않다. 특히 작은 양의 결합전류를 감지 할 수 없으며, 또한 외부 테스트 장비에 있는 임피던스가 지연을 유발하여 고속 테스트가 불가능한 단점을 가지고 있다. 또 기존의 테스트 장비들이 주로 전압을 측정하도록 되어 있기 때문에 별도의 전류 테스트 장비를 사용해야 하는 문제점을 가지고 있다. 외부 전류 테스트가 갖는 문제를 해결하기 위한 방법으로 별도의 전류 감지회로를 설계하여 CMOS 집적회로 내에 내장하는 전류 테스트 기법이 제안되었다. 내장형 전류 테스트의 개략도는 그림1과 같다.

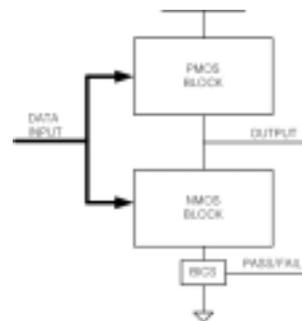


그림 1. 내장형 전류 테스트의 블록도

Fig.1. Blockdiagram of built-in current testing.

이 방식은 테스트 할 회로 내의 전류만을 기준전류와 비교함으로써 고장전류의 판별이 쉽고, 외부의 부하가 존재하지 않으므로 지연이 적어 고속으로 테스트 할 수 있다. 또한 측정이 어려운 전류값의 변화를 논리값의 변화로 관찰하여 기존의 테스트 장비를 이용할 수 있는 장점이 있다. 그러나 이 방법은 내부에 전류 감지회로가 내장되기 때문에 내장형 전류 감지회로의 성능에 따라 칩 면적이 증가하고 칩 성능이 저하되는 단점이 있다[10]. 따라서 큰 입출력 전류에 영향을 받지 않고 정상동작 상태에서 성능저하를 최소화 할 수

있는 내장형 전류 감지회로가 필요하다. 기존의 내장형 전류 감지회로는 다음과 같다.

2.1 Maly의 내장형 전류 감지회로[5]

Maly의 내장형 전류 감지회로는 차동 증폭기를 사용하며 기준전압과 비교하여 고장전류를 검출한다. 이때 두 개의 제어용 클럭을 사용하고 고장전류에 의해 발생하는 전압을 발생시키기 위해 수평형 NPN BJT를 사용한다. 이 회로는 BJT를 사용함으로써 매우 작은 고장전류의 검출이 가능하지만, 외부의 기준전압이 필요하고 두 개의 클럭을 필요로 하며 BiCMOS 공정 필요하기 때문에 비용이 증가되는 문제점을 가지고 있다.

2.2 Favalli의 내장형 전류 감지회로[4]

Favalli의 내장형 전류 감지회로는 시험 대상회로의 각 게이트마다 연결되는 2개씩의 트랜지스터와 예비 충전용 트랜지스터로 구성되어 있으며 아날로그 고장을 고착고장으로 변환하여 테스트한다. 테스트 모드와 정상 동작모드를 구분하는 모드 설정 라인을 사용한다. 제작이 간단하고 용이하지만, 디지털 회로에서만 사용이 가능하고 면적소모가 매우 큰 문제점을 가진다.

2.3 Miura의 내장형 전류 감지회로[6]

Miura의 내장형 전류 감지회로는 V-I 변환기, 레벨 변환기, 적분회로로 구성되어 있다. 이 회로는 외부전류 소스 사용으로 BICS 자체 테스트 가능하지만 큰 커패시터와 저항 사용으로 면적소모가 크고 고장 유무 판단 위해 적분회로를 사용하는 문제점을 가진다.

2.4 Shen의 내장형 전류 감지회로[7]

Shen의 내장형 전류 감지회로는 차동형 증폭 비교기와 출력회로로 구성되었으며, 비 중첩 2상 클럭을 사용하고 외부 제어신호 3개를 사용한다. 2ns의 검출 시간으로 비교적 고속 테스트가 가능하지만 다이오드 전압강하에 의해 시험 대상회로의 동작특성이 저하되고 부가 회로의 면적 소모가 큰 단점을 가진다.

2.5 Tang의 내장형 전류 감지회로[8]

Tang의 내장형 전류 감지회로는 연산 증폭기, 전류 감지용 저항, 전류 감지기로 구성되었으며, 2개의 서로 다른 공급전원을 사용한다. 전류 분석도 조절이 가능하고 외부 기준 전류/전압 불필요하지만, 공급전원 2

개가 필요하고 BJT 공정 혼용으로 제작이 어렵다.

2.6 Kim의 내장형 전류 감지회로[9]

Kim의 내장형 전류 감지회로는 V-I 트랜지스터와 전류미러 형태 회로를 사용하여 구성되었다. 이 회로는 매우 작은 트랜지스터를 사용함으로써 면적소모 면에 있어서 최소를 가져왔으나, 모드선택이 필요하고 이를 위하여 외부 제어단자가 필요하다.

III. 제안한 전류 감지회로

본 논문에서 제안한 내장형 전류 감지회로는 CMOS 회로 내에서 그림 2와 같이 구성되어 시험대상 회로에 흐르는 결합전류를 검사한다. 내장형 전류 감지회로는 테스트 모드와 정상모드를 구분하는 부분(MN5, INV1, node N3)과 기준전류원 생성 블록(reference current generator block), 전류를 전압으로 변환하는 변환 트랜지스터(MN1, MN4) 그리고 PASS/FAIL 신호 출력단의 인버터(INV2)와 기준전류와 결합전류를 비교하는 비교기 블록(MP2, MP3, MN2, MN3)로 구성된다. 제안한 내장형 전류 감지회로는 정상모드와 테스트 모드로 동작한다. 정상동작 모드에서는 TEST신호가 '0'이 되고, N3단이 접지단에 연결된다. 이 때 기준전류 생성 블록은 기준전류를 생성하지 않고, 트랜지스터 MN5는 차단상태가 되어 시험대상회로와 내장형 전류 감지회로는 시험대상 회로에 대하여 완전히 격리된다. 트랜지스터 MN2, MN3 또한 차단상태가 되어 Pass/Fail 단의 출력은 '0'이 된다. 그러나 제안한 회로는 테스트 모드에서만 결합의 유무를 확인하기 때문에 정상동작 모드에서의 출력 값은 의미가 없다. 정상동작 모드에서 N3단자는 전류 감지회로를 바이패스(bypass) 시키도록 접지단에 연결되어 있기 때문에 전류 감지회로로 인한 접지 전위 상승과 같은 현상은 발생하지 않는다. 테스트 모드에서 TEST 신호는 '1'이 되고, N3 단자는 격리된다. 이 때 내장형 전류 감지회로와 시험대상회로를 격리시키는 역할을 하는 트랜지스터 MN5는 도통되고, 결합전류를 전압으로 변환시켜주는 트랜지스터 MN4를 통하여 결합전류가 전압으로 변환되어 트랜지스터 MN3의 게이트 단에 인가된다. 기준전류 생성 블록에서 생성된 기준전류(Iref)를 전압으로 변환시켜주는 트랜지스터 MN1을 통하여 기준전류를 전압 값으로 변환하여 트랜지스터 MN2의 게이트 단에 인가된다. 기

준전류는 시험대상회로가 결함이 있는지 없는지를 판단하는 상수 전류 값이 기준전류와 결합전류를 비교해서 결함의 유무를 검출하는 역할을 하는 비교기 블록은 트랜지스터 MN2, MN3의 게이트 단에 인가된 전압의 크기를 상호연결된 PMOS 트랜지스터(MP2, MP3) 단에서 비교하여 결함여부를 판단하게 된다.

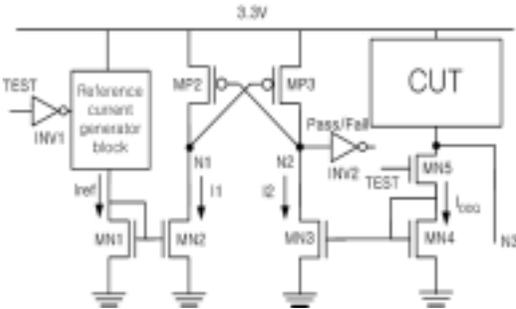


그림 2. 제안한 내장형 전류 감지회로
Fig.2. Proposed Built-in current sensor.

3.1 기준전류 생성 블록

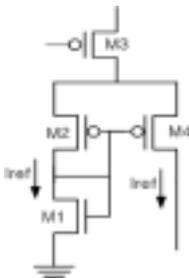


그림 3. 기준전류 생성 회로
Fig.3. Reference current generation circuit.

기준전류 생성 블록은 그림 3과 같이 구성된다. M1 트랜지스터에서 생성된 기준전류는 전류미러(M2, MP4)에 의해 M4단에 복제되고, 결합전류와 비교하는 기준전류는 전류-전압 변환 트랜지스터(MN1)의 드레인단에 인가된다. 내장형 전류 감지회로 중 내장 전류원을 사용한 회로의 가장 큰 문제점은 정상동작 시 다이오드 형태로 연결된 트랜지스터 M1으로 인해 추가적인 전력소모가 존재한다는 것이다. 이러한 문제점을 해결하기 위하여 테스트 모드와 정상모드를 구분할 때 사용되는 인버터(INV1)의 출력을 M3 트랜지스터의 게이트 단에 연결하였다. 이로 인해 정상상태 TEST

신호가 '0'이면 M3 트랜지스터는 차단상태가 되어 기준전류 생성 블록을 공급전원과 완전히 고립시켜 정상상태에서도 전류원 내장으로 인한 추가적인 전력소모 문제를 해결하였다.

3.2 비교기

회로의 결함이 없고 초기상태에서 N1 단과 N2 단은 충전되어 있는 상태로 가정하면, 테스트 초기단계에서 MN2 트랜지스터는 전류-전압 변환 트랜지스터 MN1 으로부터 기준전류를 전압으로 변환한 값을 게이트 단으로 입력받게 된다. 따라서 N1 단이 방전되고 이로 인해 MP3 트랜지스터의 게이트 전압이 감소하여 MP3 트랜지스터가 도통되고, N1 단의 방전으로 인해 MP3은 지속적으로 도통되어 N2 단의 전압을 증가시킨다. 이렇게 MP3 트랜지스터에 의해 N2 단은 충전이 되고 MP2 트랜지스터는 차단상태가 된다. 회로에 결함이 있는 경우 MN4 트랜지스터를 통해서 MN3 트랜지스터의 게이트 단으로 결합전류를 전압으로 변환한 전압이 인가된다. 결합전류가 기준전류보다 크면, MN2 트랜지스터 게이트 단의 전압보다 MN3 트랜지스터 게이트 단의 전압이 더 크게 된다. 따라서 N2단이 방전되는 시간이 N1단이 방전되는 시간보다 빠르게 되므로 MP2 트랜지스터는 MP3 트랜지스터 보다 빠르게 도통되고, N1단의 전압에 비해 N2의 전압이 더 낮아져 MP2 트랜지스터는 도통되어 N1의 전압을 증가시킨다. N1단의 전압이 증가함에 따라 MP3 트랜지스터는 더 빠르게 차단 상태가 된다. 이때 Pass/Fail 신호 출력 단자에서는 신호가 '1'이 발생하여 회로의 결함이 존재함을 출력한다.

본 논문에서 제안한 전류 감지회로의 비교기는 전류를 전압으로 변환한 전압을 비교해 어느 한쪽이 더 크게 되면 상호연결로 구성된 PMOS pull-up latch의 정귀환 동작에 의해 빠른 동작속도를 갖는다.

IV. 물리적 구현과 시뮬레이션 결과

4.1 물리적 구현

본 논문에서 사용한 공정기술은 Hynix 반도체의 0.35 μ m 2-poly 4-metal CMOS 표준공정으로 구현하였다. 테스트 대상 회로는 4x4 병렬 곱셈기이다. 이 곱셈기는 8개의 전가산기, 4개의 반가산기와 16개의 AND 게이트로 구성된다. 테스트 칩의 마스크 레이어 수는 그림 4와 같다. 전류 감지회로는 칩의 좌측전류-

전압 변환 트랜지스터 MN1과 MN4의 W/L (channel width/length)은 동일한 크기로 설계 하였으며, 내장형 전류 감지회로를 격리시키거나 연결시키는 스위치 트랜지스터 MN5 트랜지스터는 W/L 크기를 크게 하여 기능을 안정적으로 수행하도록 하였다. 병렬 곱셈기 구성 블록 중 전가산기 블록에 합선결함을 삽입하였다. 합선결함을 삽입한 실험대상회로는 그림 6과 같다. 하단부에 위치하고 있으며 그림 5와 같다.

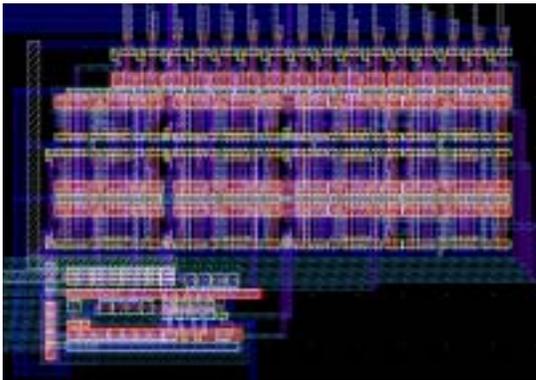


그림 4. 테스트용 칩의 레이아웃
Fig.4. Layout of test chip.

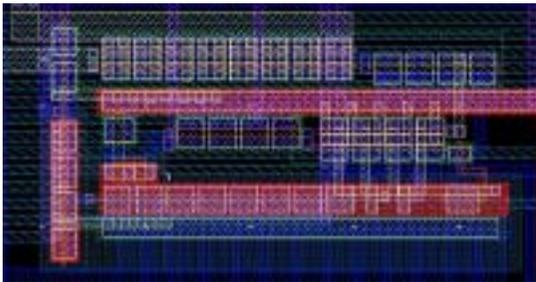


그림 5. 내장형 전류감지회로의 레이아웃
Fig.5. Layout of built-in current sensor.

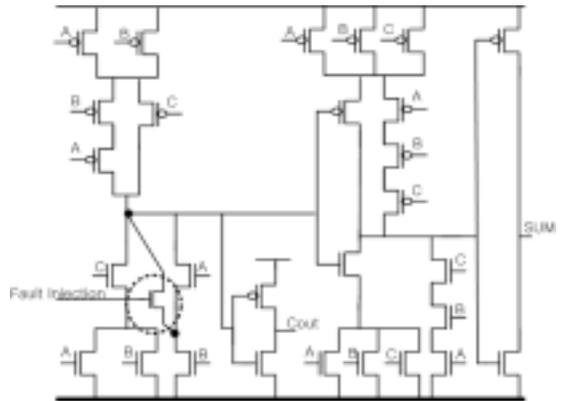
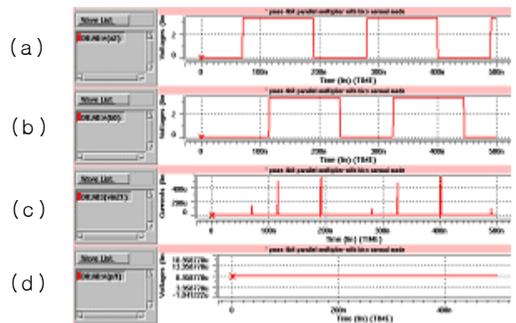


그림 6. 테스트 칩에 삽입된 합선고장
Fig.6. Inserted short fault in the test chip.

삽입한 결함은 입력패턴에 따라 결함이 발생하는 결함이다. 특정 입력패턴이 입력되면 공급전원과 접지단자 사이에 전류경로가 형성되어 결함전류가 흐르게 된다. 합선결함을 구현하기 위하여 NMOS 트랜지스터를 삽입하여 임의의 합선결함을 구현하였다. 전체 칩의 크기는 $116 \times 65 \mu\text{m}^2$ 이며 내장형 전류 감지회로가 차지하는 면적은 $41 \times 17 \mu\text{m}^2$ 로 9.2%의 작은 면적을 차지한다.



(a) (b) 입력신호 (c) CUT의 전류변화 (d) Pass/Fail

그림 7. 전류 감지회로가 내장되고 결함이 없는 회로의 시뮬레이션 결과

Fig.7. Simulation results of fault-free circuit with built-in current sensor.

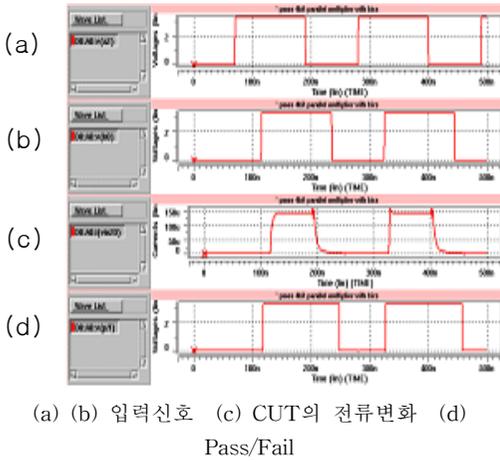


그림 8. 전류 감지회로가 내장되고 결합이 있는 회로의 시뮬레이션 결과

Fig.8. Simulation results of faulty circuit with built-in current sensor.

4.2 시뮬레이션 결과

제안한 내장형 전류 감지회로는 HSPICE BSIM3 모델을 사용하여 시뮬레이션하였다. 전류 감지회로를 내장하고 결합을 활성화 시키지 않은 회로의 시뮬레이션 결과는 그림 7과 같다. 첫 번째 신호와 두 번째 신호는 입력신호, 세 번째 신호는 시험대상회로의 전류 변화이고 네 번째 신호가 Pass/Fail신호이다. 그림 8에 합선고장을 활성화 시킨 회로에서의 시뮬레이션 결과를 나타낸다. 제안한 내장형 전류 감지회로는 미세공정에 적용 가능함을 보이기 위하여 0.25 μ m 공정으로 시뮬레이션 결과를 그림 9에 보였다. 시뮬레이션 결과를 종합해 보면 제안한 내장형 전류 감지회로는 결합으로 발생한 과대전류를 모두 검출하는 것을 알 수 있으며 미세공정에 적용한 결과 역시 결합전류를 모두 검출해 내는 것을 알 수 있다.

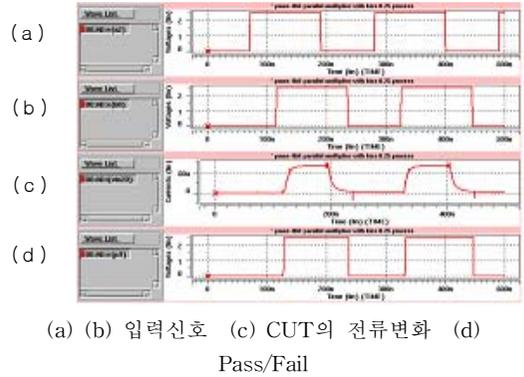


그림 9. 미세공정에 적용한 시뮬레이션 결과
Fig.9. Simulation results in the deep-submicron technology

표 1. 비교표(I)

Table 1. Comparison table(I).

| | 소자수 | 전력소모 | 속도감쇄 | 모드 선택 | 제어 핀 | 출력핀 |
|-------------------|--------------------------|------------|------------|-------|----------|-----|
| Favalli's BICS[4] | TR: 2x gates+1 | NA | NA | Y | 1 | 1 |
| Maly's BICS[5] | TR:10 INV:2 NAND:1 | NA | NA | Y | 5 | 1 |
| Miura's BICS[6] | TR:16 R:1 C:1 | NA | NA | Y | 3 | 1 |
| Shen's BICS[7] | TR:13 Diode:1 | - | 14.4% | N | 3 | 2 |
| Tang's BICS[8] | TR:24 R:1 | - | Negligible | N | 3 | 1 |
| Kim's BICS[9] | TR:6 INV:1 | NA | Negligible | Y | 2 | 1 |
| Kwak's BICS[10] | TR:10 INV:3 | - | Negligible | N | Not used | 1 |
| Proposed BICS | TR:11 INV:2 | Negligible | Negligible | Y | 2 | 1 |

(NA: Not Reported, - : On-Line Testing)

표 2. 비교표(II)

Table 2. Comparison table(II).

| | 전류 감지회로를 내장하지 않은 경우 | 전류 감지회로를 내장한 경우 (정상동작 모드) |
|------|---------------------|---------------------------|
| 전력소모 | 0.260mW | 0.265mW |
| 전달지연 | 1.80ns | 1.80ns |

3. 비교 및 분석

표 1은 기존의 여러 연구자들이 설계한 내장형 전류 감지회로와 본 논문에서 제안한 회로에 대하여 동작성능 및 회로구성을 비교한 결과이다. 표 1에 나타

넨 바와 같이 본 논문에서 제안한 내장형 전류 감지회로는 별도의 클록을 사용하지 않으며 11개의 트랜지스터와 2개의 인버터를 사용하였다. 또한, 제안한 내장형 전류 감지회로는 미세공정에 적용 가능성을 시뮬레이션을 통하여 확인하였다. 표 2는 전류 감지회로를 내장하지 않았을 경우와 내장했을 경우에 전력소모와 전달지연특성을 비교하였다.

V. 결론

본 논문에서는 새로운 내장형 전류 감지회로를 제시하였다. 이 회로는 일반적인 CMOS 공정으로 구현할 수 있으며 결함전류와 기준전류를 전압으로 변환시켜 시험대상회로의 결함을 빠르게 검출해낸다. 제안한 내장형 전류 감지회로는, 전류원 내장으로 인한 추가적인 전력소모를 문제를 해결하였으며, 미세공정에도 적용 가능성을 확인하였다. 그러나 비교기 블록의 W/L 크기 조정이 까다로운 단점을 가지고 있다.

감사의 글

이 논문은 강원대학교 두뇌한국21(BK21)사업에 의해 지원되었으며, 본 연구에 사용한 설계용 CAD S/W는 IDEC(반도체 설계교육센터) 지원에 의한 것 임.

참고 문헌

[1] W. Maly, "Realistic fault modeling for VLSI testing," in Proc. Design Automation conf., pp. 173-180, 1987

[2] F. J Ferguson and J. P. Shen, "A CMOS fault extractor for inductive fault analysis," IEEE Trans. Computer-Aided Design, vol. 7, pp. 1181-1194, Nov. 1988

[3] J. M. Sorden, R. K. Treece, M. R. Taylor, and C. F. Hawkins, "CMOS IC stuck-open fault electrical effects and design consideration," in Proc. Int. Test Conf., 1989, pp. 423-430

[4] M. Favalli, P. Olivo, M. Damiani, and B. Ricco, "Novel design for testability schemes for CMOS IC's," IEEE J. Solid-State Circuits, vol. 25, pp. 1239-1246, Oct. 1990.

[5] W. Maly, and M. Patyra, "Built-in current

testing," IEEE J. Solid-State Circuits, vol. 27, no. 3, pp. 425-428, Mar. 1992.

[6] Y. Miura and K. Kinoshita, "Circuit design for built-in current testing," in Proc. International Test Conference, pp. 873-881, Nov. 1992.

[7] T. L. Shen, J. C. Daly, and J. C. Lo, "A 2-ns detecting time, 2- μ m CMOS built-in current sensing circuit," IEEE J. Solid-State Circuits, vol. 28, pp. 72-77, Jan. 1993.

[8] J. J. Tang, K. J. Lee, and B. D. Liu, "A practical current sensing technique for IDDQ testing," IEEE Trans. VLSI systems, vol. 3, no. 2, pp. 302-310, June. 1995.

[9] J. B. Kim, S. J. Hong, and J. Kim, "Design of a built-in current sensor for IDDQ testing," IEEE J. Solid-State Circuit, vol. 33, no. 8, pp. 1266-1272, Aug.1998.

[10] C. H. Kwak and J. B. Kim, "Novel built-in current sensor for on line current testing," IEICE Trans. Electronics. vol. E86-C, no. 9, pp. 1898-1902, Sept. 2003.

[14] 홍성제 외, "테스팅 및 테스팅을 고려한 설계," 홍릉과학출판사, 1998

저 자 소 개

金 兌 相



2004년 2월 강원대학교 전자공학과 학사
 2004년 3월 ~ 현재 : 강원대학교 전자공학과 석사과정 재학 중
 <주관심분야> VLSI 설계, Mixed-Signal Systems

洪昇鎬

2002년 2월 강원대학교 전자공학과
학사
2004년 2월 강원대학교 전자공학과
석사
2004년 3월 ~ 현 재 : LDT(주)

<주관심분야> Current testing(BICS), OLED Driver
IC 설계

郭哲昊

1995년 2월 강원대학교 재료공학과
학사
1997년 2월 강원대학교 대학원 재료
공학과 석사
2002년 2월 강원대학교 대학원 전자
공학과 박사
2002년 3월~ 현 재 : 충남대학교 정

보통신 인력향성 사업단 전임교수

<주관심분야> MMIC 설계, VLSI 설계

金政範 (正會員)

1985년 2월 인하대학교 전자공학과
학사
1987년 2월 인하대학교 대학원 전자
공학과 석사
1997년 2월 포항공과대학교 대학원
전자전기공학과 박사
1987년 1월~1992년 5월 금성반도체

중앙연구소 선임연구원

1994년 8월~1997년 9월 현대전자 시스템IC연구소 책임
연구원

1997년 9월~1999년 2월 충북대학교 전기전자공학부

1999년 3월~ 현 재 강원대학교 전기전자정보통신 공
학부 부교수

<주관심분야> VLSI 설계, CAD, Multi-Valued Logic