

# 드레인 정규화 감지회로를 이용한 차동 PLL 설계 및 차동 공정보상기법

## Regulated Drain Detection and Its Differential PLL Application to Compensate Processes

徐範洙\*, 趙鉉默\*\*

Benjamin Suh\*, Hyun-Mook Cho\*\*

### 요 약

본 논문은 공정변화를 검출하여 회로에 반영 및 보상하는 드레인 정규화 검출(regulated drain detection) 방식과 차동 VCO 에 적용하는 기법을 제안하였으며, 제안된 방식과 기법을 검증하기 위하여 저 전압 차동 PLL을 제작하여 그 성능을 검증하였다. 제안된 드레인 정규화 검출 방식과 이를 차동적으로 응용하여 설계된 저-지터 차동 PLL은 실제로 0.18 $\mu\text{m}$  1-폴리 3-메탈 공정으로 제작되었으며 공정변화에 따른 여러 가지 공정 코너(corner)에 대한 VCO의 동작을 다양한 모의실험을 통하여 검증하였다. 제작된 PLL은 80MHz - 240MHz의 동작범위를 가지며 전체 die size는 내부 루프필터를 포함하여 330 $\mu\text{m}$  x 380 $\mu\text{m}$  이다. 1.8V 공급전압 일때 모든 동작주파수에 대한 트래킹 지터 특성은 150psec peak-to-peak 이하로 안정적인 성능을 보였다.

### Abstract

A process variation compensation method called "regulated drain detection" is proposed. This paper also shows the how this newly invented method is applied to a typical differential PLL. The proposed RDD(regulated drain detection) and its PLL application has been designed and tested in a 0.18 $\mu\text{m}$  1-poly 3-metal plain digital process so that its stable performance and higher yield can be proven. The implemented PLL aimed to the operation range of 80MHz - 240MHz and the total die size is only 330 $\mu\text{m}$  x 380 $\mu\text{m}$  including the internal loop filter. The tracking jitter characteristics is measured to less than 150 peak-to-peak under 1.8V supply rail.

Keywords : Process Compensation, Process Detection, Regulated Drain Detection, Fully differential PLL, VCO, Low-jitter

## 1. 서론

최근의 CMOS 반도체 공정은 0.18 $\mu\text{m}$  공정을 넘어 서서 이미 0.13 $\mu\text{m}$  공정이 일반화되고 있는 추세이다. 현재 상용화되고 있는 고 집적 프로세서들은 이미 90nm 공정으로 제작되고 있으며 이러한 추세라면 수

년이내에 나노미터 공정이 대중화될 것이 분명하다. 이와 같은 고 집적화의 노력의 결과로 공정의 feature size는 작아지는 반면 전체적인 die size는 커지는 결과를 초래하여 집적회로들은 수  $\text{cm}^2$ 의 대형 SOC 화

\* 公州大學校 情報通信工學部

(Division of Info. & Comm. Eng., Kongju Nat. Univ.)

★ 교신 저자 (Correspondence author)

接受日:2004年 7月 21日, 修正完了日:2005年 7月 22日

※ 본 논문은 공주대학교 자체학술연구비에 의해 일부 지원되었음.

의 동향을 보인다. 그러나 칩의 고 집적화, 대형화는 극심한 잡음환경을 생성하게 되며, 커진 die size 에 의한 공정변화(process variation)는 회로 블록의 위치에 따라 극심한 차이를 보이기도 한다. 이를 보상하기 위해 PLL, ADC, DAC 등 안정된 성능을 요구하는 혼성모드(mixed-mode) 블록의 경우, 0.4 $\mu\text{m}$  이상의 채널길이(channel length)와 보다 높은 공급전압을 적용하고 기판을 분리하여 핵심 로직 부분의 스위칭 잡음으로부터 혼성회로를 고립시키는 방법을 쓴다. 그러나, 이러한 추가적인 특수공정은 성능에서는 다소 보장을 받을 수 있을지는 모르지만 레이아웃 2000달러를 초과하는 추가적인 마스크들이 필요하다는 점을 상기해볼 때 경제적인 면에서 결코 유리하다 할 수 없다. 더군다나 최근의 SOC는 가격경쟁이 치열한 핸드폰, MP3, 디지털 카메라류의 mobile multimedia processor가 시장의 주류를 이루고 있으므로 추가적인 프로세스로 인한 단가상승과 공정변이로 인한 수율저하는 제품경쟁력에 큰 타격을 받을 수 밖에 없다. 또한, 이러한 mobile processor들은 USB, Bluetooth와 같은 각종 통신 I/O를 탑재하고 있을 뿐만 아니라, 음성과 비디오 processing을 위한 DAC, ADC 등을 기본으로 장착하고 있어 PLL의 지터특성이 곧 멀티미디어 성능에 직접적인 영향을 줄 수 있다.

Supply rail을 통한 core logic으로부터의 잡음을 감쇄시키는 대책으로는 VCO와 전하펌프 그리고 loop filter 회로의 완전차동 설계기법을 응용한다면 어느 정도의 supply rail에 나타나는 동상의 잡음을 감쇄시킬수 있어 일반 submicron digital 공정만으로도 상당수준 향상된 jitter 특성을 얻을 수 있을 것이다<sup>[1]</sup>. 그러나, 최근 processor나 FPGA등의 범용 ASIC에서 널리 사용하는 programmable PLL의 경우 일반적인 단일발진주파수 VCO를 사용하는 경우에 비하여 상당히 넓은 발진범위를 요구하며, 설계 마진을 크게 잡고 delay cell 배열을 응용한 delay interpolation<sup>[2]</sup>을 사용하는 경우라도 공정변화에 따라서는 발진하지 않는 주파수 범위가 발생할 수 있다. 따라서, 만일 공정변화를 감지하여 VCO의 ring oscillator에 그 변화를 반영할 수만 있다면 공정변화에 대한 VCO의 안정성을 증가시켜줄 수 있어 순수 디지털 공정만으로도 안정된 수율을 확보할 수 있을 것이다.

## II. 회로설계

### 2.1 Regulated Drain Detection 회로

공정변화를 감지하여 회로에 반영하기 위하여 본 논문에서 제안한 드레인 정규화 검출(RDD) 회로는 두 개의 TR의 I-V 특성차이를 이용하여 공정변이를 검출한다. 즉, 그림 1 에서 공정의 현 상태는 각각 장채널 TR  $M_L$ 과 단채널 TR  $M_S$ 의  $g_m$  값 변화로 나타나고, 공정의 상태에 따라 차이가 발생하는 두 TR의  $g_m$  값을 각 TR의 gate 전압차로 변환하게 된다. 이 때, 두 개의 TR은 서로 같은 (W/L) 값을 가지지만 L의 값 즉, 채널길이(channel length)는 서로 다르다. 그림 1의 OPAMP는 피드백에 의하여  $M_L$ 과  $M_S$ 의 드레인 전압을 같게 잡아주는 역할을 하며, 공정변화에 따른 드레인 전류차는 피드백에 의하여  $V_D$ 와  $V_{G2}$ 의 전압차로 나타난다.

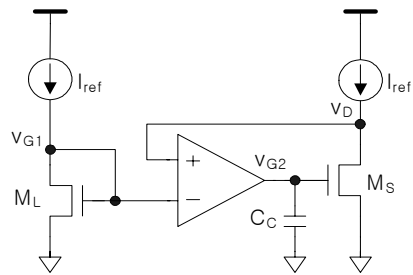


그림 1. 드레인 정규화 검출회로

Fig. 1. Regulated Drain Detection Circuit

0.18 $\mu\text{m}$  이하의 피쳐크기를 사용하는 공정에서 최소 채널사이즈 단채널 TR인  $M_S$ 는 채널길이변조(channel length modulation), 수직장에 의한 이동도 감쇠(mobility degradation with vertical field), 속도 포화(velocity saturation) 등을 포함한 여러 가지 단채널효과(short channel effect)를 겪게 되고<sup>[3]</sup>, 이러한 단채널 TR은 단채널효과로 인하여 I-V 특성 면에서 장채널 TR이  $i_D \propto (V_{GS} - V_{TH})^2$ 의 관계를 보이는 것과는 대조적으로 공정의 조건이 악화됨에 따라  $i_D \propto (V_{GS} - V_{TH})$ 에 가까운 일차함수적인 양상에 근접하게 된다. 즉, 단채널 TR  $M_S$ 의 드레인전류는, 식 (1)을 만족한다.<sup>[4,5]</sup>

$$i_D = W \cdot C_{OX} \cdot v_{sat} \cdot \frac{(v_{GS} - v_{TH})^2}{(v_{GS} - v_{TH}) + \frac{2v_{sat}L}{\mu_{eff}}} \quad (1)$$

또한, 효과이동도(effective mobility)  $\mu_{eff}$ 는 다음

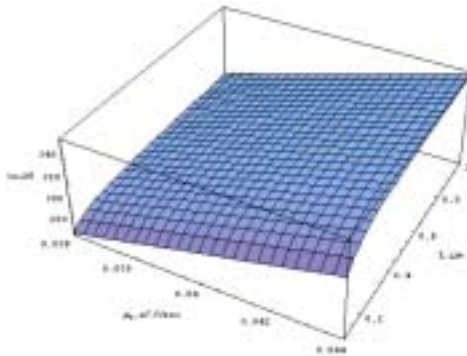
식으로 주어진다.

$$\mu_{eff} = \frac{\mu_0}{1 + \theta \cdot (v_{GS} - v_{TH})} \quad (2)$$

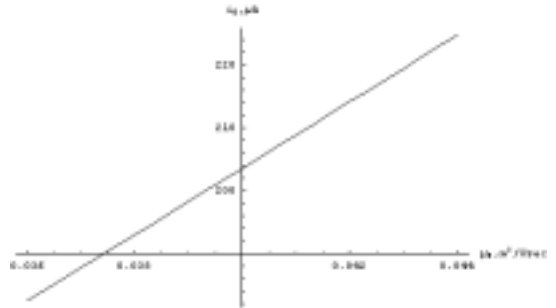
여기에서,  $\theta$ 는 비례정수 (scaling factor)로  $10^{-7}/t_{OX}$  의 값을 갖고  $v_{sat}$ 는 채널에서 포화 (saturation)가 발생하기 시작하는 시점에서의 캐리어 속도(carrier velocity)이다. 그림 2는 수식(1)과 (2)에 의거하여 채널길이 변화에 따른 전류의 변화를 도시화 한 것으로, 그림 2의 (a)는 10% 이동도(mobility) 변화에 대한 TR의 채널길이 L과 드레인 전류  $i_D$ 의 관계를 그래프화 한 것이고 그림 2의 (b)는 10% 이동도 변화에 대한 장채널 TR  $M_L$ 과 단채널 TR  $M_S$ 의 드레인 전류차를 그래프로 표시한 것이다. 수식과 그림에서 알 수 있듯이 이동도가 상대적으로 높은 경우가 낮은 경우에 비하여  $M_L$ 과  $M_S$  간의 드레인 전류차가 크게 나타나며, 그 차이가 이동도 변화에 대하여 매우 선형적임을 알 수 있다. 또한 그림 2의 (a)에서 단채널 효과가 두드러지기 시작하는 시점은 L의 크기가  $0.4\mu m$  보다 작아지기 시작하는 시점이며 따라서  $M_L$ 의 채널길이는  $0.4\mu m$ 보다 큰 값을 가지는 TR을 사용해야 한다는 점도 알 수 있다. 위와 같은 근거 하에서 만일 같은 (W/L) 값을 가지는 단채널 TR  $M_S$ 와 장채널 TR  $M_S$ 의 드레인 전류를 비교하여 그 차를 구할 수 있다면 공정의 이동도 변이를 회로적으로 감지해 낼 수 있다는 결론에 도달할 수 있다.

**2.2 VCO(Voltage Controlled Oscillator) 회로**

본 논문에서 검증용으로 사용한 PLL의 내부회로인 VCO 회로는 4단 차동 VCO이며, VCO 회로의delay cell과 VI-converter, regulated drain



(a)



(b)

- (a) 10% 이동도 변화에 대한  $i_D$  대 채널길이(L)
  - (b) 10% 이동도 변화에 대한  $1\mu m$  채널 TR과  $0.09\mu m$  채널 TR의 드레인 전류의 차 변화
- 그림 2.  $M_S$ 와  $M_L$ 의 특성 차이

Fig. 2. Characteristic difference of  $M_S$  and  $M_L$

detection 회로의 총체적인 연결도는 그림 3과 같다. 이와 같은 연결을 통하여 제안된 regulated drain detection 회로에서 공정의 변화로 인해 발생된 전압차  $V_{G1}-V_{G2}$  ( $V_D=V_{G1}$  가정)은 그림 3의 [B]에 해당하는 차동 V-I converter에 의하여 VCO 지연셀에 적용하기 위한 전류차  $I_1-I_2$ 로 변환된다. 그림 3의 지연셀 [C]은 delay interpolation기법<sup>[6]</sup>을 적용한 것으로 에서 좌측의 ECL(emitter coupled logic) 쌍의 전류 sink와 우측 ECL의 sink는 지연셀의 지연시간을 조절하는 역할을 하며, 상대적으로 좌측 sink의 전류가 많아지면 지연은 증가하고 우측 sink의 전류가 증가하면 지연은 감소한다.<sup>[7]</sup> 그림 3의 V-I converter 중 오른쪽  $M_9, M_{10}$  쌍은 차동루프필터의 출력(차동전하 펌프의 출력이기도 함)을 입력으로 하여 VCO의 발진주파수를 조절하는 주 조절역할을 하고, 좌측  $M_7, M_8$  쌍의 경우는 제안된 드레인 정규화 검출회로에서 발생된 공정변화에 따른 전압차가 입력으로 적용되어 공정변화에 따른 VCO의 발진 동작영역을 보상하게 된다.

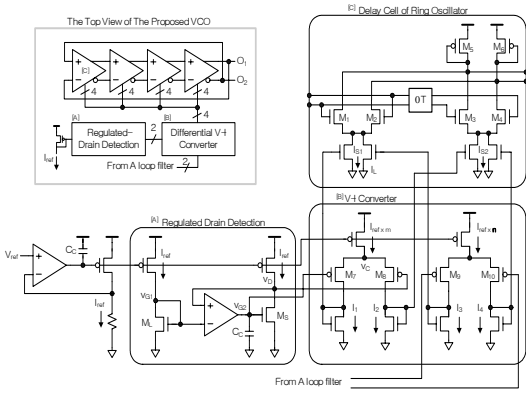


그림 3. 4단 지연셀을 이용한 Ring oscillator  
Fig. 3. Ring oscillator using 4-stage delay cell

만일, 식(1)로부터  $\beta_k$  를 식 (3)으로 정리한다면, 앞에서 언급한 수식 (1)을 모델 1 방정식으로 근사화하여 생각할 수 있고, 공정의 변이는  $\beta$ 의 변이로 간주할 수 있다.

$$\beta_k = \frac{W_k \cdot C_{OX} \cdot v_{sat}}{(v_{GS} - v_{TH}) + \frac{2v_{sat}L_k}{\mu_{eff}}} \quad (3)$$

그림 3 에서 V-I 변환기는  $v_1 - v_2$ 로부터  $i_1 - i_2$ 를 생성하게 된다. 즉,

$$i_1 - i_2 = \beta_{VI}(v_{G1}^2 - v_{G2}^2) \quad (4)$$

또한,  $v_{G1}^2$  과  $v_{G2}^2$  는 그림 1에서 MODEL 1 방정식을 적용하면 어렵지 않게 구해진다. 그림 1 에서  $M_L$  드레인 전압  $v_{G1}$ 은 OPAMP와  $M_S$ 의 피드백(feed back)에 의하여  $M_S$ 의 드레인 전압  $v_D$ 와 같고  $M_L$ 은 장채널 TR로 MODEL 1 적용이 타당하고  $M_S$  역시 OPAMP 피드백에 의한 이득증강효과(gain boosting) 효과가 발생하므로 OPAMP와 복합하여 높은 출력임피던스를 가지는 MODEL 1 TR로 간주할 수 있게 된다.<sup>[8,9,10]</sup> 따라서, MODEL 1 방정식

$i_D = \beta_k(v_G - v_{TH})^2$ 로부터 각각  $v_{G1}$ 과  $v_{G2}$ 를 구하여 정리하면 다음과 같다.

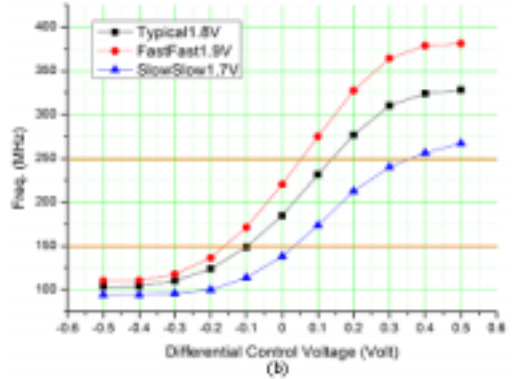
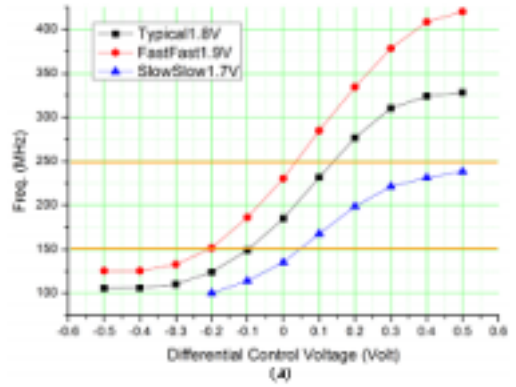
$$v_{G1}^2 - v_{G2}^2 = \left( \frac{1}{\beta_L} - \frac{1}{\beta_S} \right) \cdot I_{REF} \quad (5)$$

수식 (4)에 수식 (5)를 대입하고  $\beta_L \beta_S \cong \beta_{VI}^2$  으로

가정하면 다음식을 얻을 수 있다.

$$\begin{aligned} i_1 - i_2 &= \beta_{VI} \left( \frac{1}{\beta_L} - \frac{1}{\beta_S} \right) \cdot I_{REF} \\ &= \frac{1}{\beta_{VI}} (\beta_S - \beta_L) \cdot I_{REF} \end{aligned} \quad (6)$$

수식 (6)은 드레인 정규화 검출(RDD) 회로가 그림 3의 차동 V-I 변환기회로[B]에 적용되어 공정에 따른 두 TR의  $\beta$  값 차를 기준전류(reference current)  $I_{REF}$ 에 선형적으로 반영함을 보여준다. 그림 3의 VCO 회로에 대해서 3가지 극단적인 corner 조건을 적용하여 VCO의 V-F 특성을 시뮬레이션한 결과를 그림 4에 나타내었다.



(a) RDD(regulated drain detection)비적용 (b) RDD 적용  
그림 4. VCO 회로의 특성곡선

Fig. 4. VCO characteristic curve

그림 4에서 (a)의 경우는 본 논문에서 제안한 드레인 정규화 검출회로를 적용하지 않은 경우로써, 공급전원이 1.7V이고 Slow-Slow model parameter를 적

용하였을 때(그림의 삼각형 곡선) 차동제어전압(differential control voltage)이  $-0.2V$  이하인 경우에는 발진을 전혀 하지 않음을 볼 수 있으며 Fast-Fast 1.9V와 Slow-Slow 1.7V의 선간 격차가 매우 벌어져 있음을 알 수 있다. 반면에 (b)의 드레인 정규화 검출회로를 적용한 경우는, corner 곡선간 간격이 좁혀져 있고 3가지 경우 모두 150~250MHz의 동작범위를 만족시키고 있음을 볼 수 있다. 특히, (b)의 경우는 동작조건이 다소 악화되더라도 발진을 하지 않는 경우가 없어 공정에 대하여 안정적임을 시사한다. 그림 5 에는 제안된 VCO 회로에 대해서 총 7가지의 공정 corner에 대한 HSPICE 모의실험 결과를 나타내었다.

그림 5의 시뮬레이션은 BSIM3 LEVEL49 모델 파라미터를 사용하였고 모든 TR의 parasitics(AD, AS 등)를 포함시켜 수행한 것으로 VCO의 동작범위는 160MHz~240MHz로 정하여 설계한 것이다.

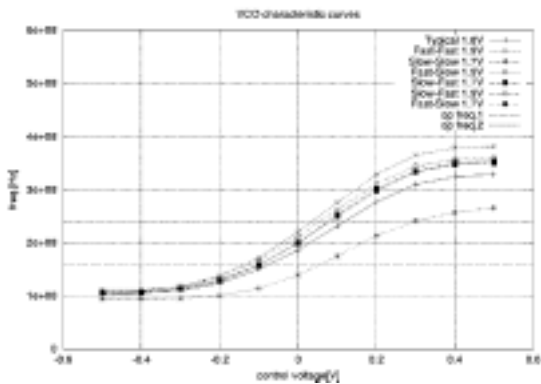


그림 5. VCO에 대한 주파수 동작 시뮬레이션 결과  
Fig. 5. The frequency characteristics simulation result of VCO

### III. 칩 제작 및 측정

그림 6 은 제안된 regulated drain detection 회로를 사용한 differential PLL을 순수 digital 0.18m CMOS 공정만을 사용하여 설계한 레이아웃 그림이다. 제작한 PLL에 대해서 4GHz digital sampling oscilloscope를 사용하여 jitter 특성을 측정된 결과를 그림 7 에 나타내었다.

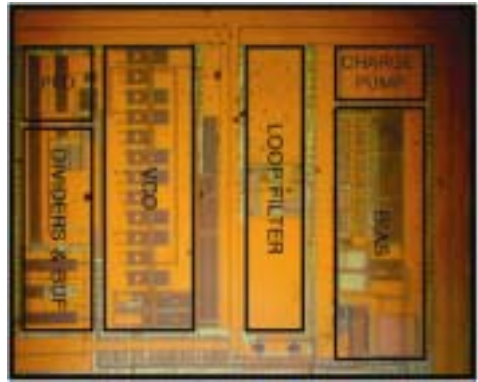


그림 6. 구현된 PLL의 레이아웃  
Fig. 6. Layout of PLL

이 특성은 HP3563E 신호발생기의 출력과 동기시켜 PLL의 출력과형의 jitter 특성을 측정된 것으로 tracking jitter를 측정된 것이다. 측정된 jitter 수치는 PLL이 발생하는 가장 낮은 주파수인 80MHz 출력과형을 기준으로 RMS jitter가 20psec, peak-to-peak jitter가 140psec 정도로 기성제품의 특성에 비하여 매우 양호한 jitter 특성을 보여주고 있다.

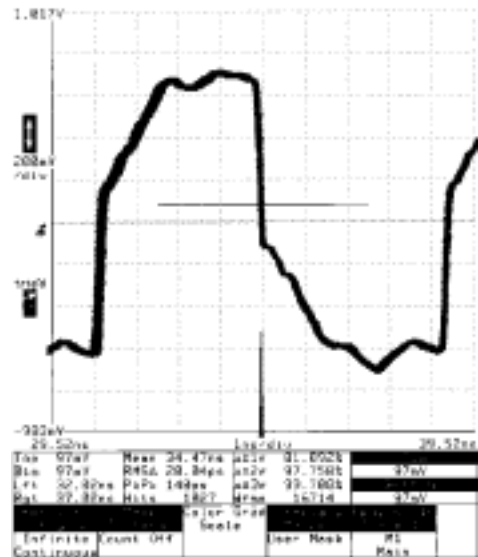


그림 7. 제작된 PLL의 jitter 특성 측정결과  
Fig. 7. The jitter Test Plot of PLL

여러번 공정을 거친 LOT별 수율측정은 비용적인 측면이나 현실적으로 어려움이 따르는 관계로 주어진 샘플에 대하여만 수율을 검사해 본 결과 제작된 총 100개의 sample에 대하여 100% 샘플이 150psec 이내의 동일한 동작특성을 보였으며 이는 설계된 회로의 안전성과 부분적으로나마 제작된 샘플의 수율이 안정적임을 시사하는 결과이다.

#### IV. 결론

본 논문에서는 제안된 드레인 정규화 검출법(RDD : Regulated Drain Detection)의 동작원리와 타당성을 검증하였으며, 이를 차동 PLL에 적용하는 새로운 방식을 제안하였으며 모의실험과 멀티미디어 프로세서용 차동 PLL을 설계 및 제작하여 제안된 방식의 효용성을 검증하였다. PLL은 80-240MHz 동작범위로 설계되었고 제안된 regulated drain detection 회로를 활용하여 공정 및 동작환경의 변화에 대하여 매우 안정적인 특성을 보였다. 특히 1.8V의 낮은 동작전압을 사용하고 일반적인 디지털 공정을 그대로 적용하였는데도 불구하고 수율 및 동작 특성이 매우 안정적이었으며, 따라서 드레인 정규화 검출법과 차동 적용기법의 적용이 가능함을 입증해 주었다. 제안된 공정보상기법은 부가적인 마스크 비용을 크게 줄일 수 있어 현재 대중화되고 있는 mobile multimedia processor 등의 연구 및 개발에 유용하게 사용될 수 있으리라 기대된다.

[5] P. K. Ko, "Approaches to Scaling," pp. 1-35, in Advance MOS Device Physics, N.G.Einspruch and G. Gildenblat, Editors, San Diego: *Academic Press*, 1998.

[6] B. Lai and R. C. Walker, "A monolithic 622Mb/s clock extraction data retiming circuit," in *ISSCC Dig. Tech Papers*, pp. 144-145, Feb. 1991

[7] Seema Butala Anand, "A CMOS Clock Recovery Circuit for 2.5-Gb/s NRZ Data," *IEEE J. Solid-State Circuits*, vol. 36 No. 3, pp 432-439 March 2001

[8] B. Hosticka, "Improvement of the Gain of MOS Amplifiers," *IEEE Journal of Solid-State circuits*, p1111-1114, VOL. SC-14, NO. 14, December 1979.

[9] K. Bult and G. J. G. M. Geelen, "A Fast-Settling CMOS Opamp for SC Circuits with 90dB DC Gain," *IEEE Journal of Solid-State Circuits*, p1379-1384, VOL. 25, NO. 6, December 1990.

[10] E. Säcker and W. Guggenbühl, "A High-Swing, High-Impedance MOS cascode circuit," *IEEE Journal of Solid-State Circuits*, p289-298, VOL. 25, NO. 1, February 1990.

#### 저 자 소 개

#### 참고 문헌

- [1] Frank Herzel and Behzad Razavi. "A Study of Oscillator Jitter Due to Supply and Substrate Noise," *IEEE Transactions on Circuits and Systems - II*, 46(1), Jan 1999
- [2] Behzad Razavi, "Design of Monolithic Phase-Locked Loops and Clock Recovery Circuits," *IEEE PRESS*, 1999
- [3] Behzad Razavi, "Design of Analog CMOS Integrated Circuits," *Mc Graw Hill*, 2001
- [4] C. G. Sodini, P.K.Ko, and J. L. Moll, "The effect of High Fields on MOS Device and Circuit Performance," *IEEE Tran. on Electron Devices*, vol. 31, pp. 1386-1393, Oct .1984

#### 徐 範 洙 (正會員)



1989년 : 고려대학교 전자공학과졸업 (공학사)

2001년 : 고려대학교 대학원 전자공학과 졸업(공학석사)

2001년 : 고려대학교 대학원 전자공학과 수료(박사수료)

2001년~현재 공주대학교 대학원 전기전자정보공학과 박사과정

2005년 현재 - 디케이트 주식회사 수석연구원

**趙 鉉 默** (正會員)

1989년 : 고려대학교 전자공학과 졸업(공학사)

1991년 : 고려대학교 대학원 전자공학과 졸업(공학석사)

1995년 : 고려대학교 대학원 전자공학과 졸업(공학박사)

1995년~ 현재 공주대학교 정보통신

공학부 교수

<주관심분야> SoC 설계, 멀티미디어 시스템 설계 등