

전류모드 CMOS 4치 논리회로를 이용한 고성능 곱셈기 설계

Design of a High Performance Multiplier Using Current-Mode CMOS Quaternary Logic Circuits

김중수*, 김정범*

JongSoo Kim*, JeongBeom Kim*

요 약

본 논문에서는 CMOS 다치 논리회로를 이용한 고성능 곱셈기를 제안하였다. 이 곱셈기는 Modified Baugh-Wooley 곱셈 알고리즘과 전류모드 4치 논리회로를 적용하여 트랜지스터의 수를 감소시키고 이에 따른 상호연결 복잡도를 감소시켜 곱셈기 성능을 향상시켰다. 제안한 회로는 전압모드 2진 논리신호를 전류모드 4치 논리신호로 확장하는 동시에 부분 곱을 생성하고 4치 논리 가산기를 통해 가산을 수행 후 전류모드 4치-2진 논리 변환 디코더를 이용하여 출력을 생성한다. 이와 같이 곱셈기의 내부는 전류모드 4치 논리로 구성하였으며 입출력단은 전압모드 2진 논리회로의 입,출력을 사용함으로써 기존의 시스템과 완벽한 호환성을 갖도록 설계하였다. 이 곱셈기는 6.1mW의 소비전력과 4.5ns의 전달지연을 보였으며, 트랜지스터 수는 두 개의 비교 대상 회로에 비해 60%, 43% 노드 수는 46%, 35% 감소하였다. 설계한 회로는 3.3V의 공급전원과 단위전류 5 μ A를 사용하여, 0.35 μ m 표준 CMOS 공정을 이용하여 구현하였으며, HSPICE를 사용하여 그 타당성을 입증하였다.

Abstract

This paper proposes a high performance multiplier using CMOS multiple-valued logic circuits. The multiplier based on the Modified Baugh-Wooley algorithm is designed with current-mode CMOS quaternary logic circuits. The multiplier is functionally partitioned into the following major sections: partial product generator block(binary-quaternary logic conversion block), current-mode quaternary logic full-adder block, and quaternary-binary logic conversion block. The proposed multiplier has 4.5ns of propagation delay and 6.1mW of power consumption. This multiplier can easily adapted to the binary system by the encoder and the decoder. This circuit is designed with 0.35 μ m standard CMOS process at 3.3V supply voltage and 5 μ A unit current. The validity and effectiveness are verified through the HSPICE simulation.

Keywords : Multiple-Valued Logic, Current-Mode Circuit, Full-Adder, Multiplier

1. 서론

오늘날 컴퓨터나 전자제품의 핵심은 마이크로프로세서라고 할 수 있다. 마이크로프로세서의 여러 기능 중에서 가장 기본이 되는 기능은 연산 기능이며 가산, 감산, 곱셈, 나눗셈을 그 기초로 두고 있다. 따라서 연

산블록의 성능에 따라서 시스템의 성능이 좌우된다고

* 강원대학교 전기전자정보통신공학부

(Dept. of Electrical and Computer Eng., Kangwon National University)

接受日:2004年 7月 21日, 修正完了日:2005年 6月 28日

해도 과언이 아니다[1]. 여러 연산기능 중에서 곱셈은 마이크로프로세서가 수행하는 산술연산 중에서 가산, 감산 다음으로 자주 사용되는 연산이며 가감산에 비해 소요되는 연산시간이 길고 필요로 하는 트랜지스터의 개수가 많기 때문에 마이크로프로세서 성능에 많은 영향을 미치게 된다[2]. 또한 곱셈은 마이크로프로세서뿐 아니라 디지털 연산기능을 필요로 하는 다른 응용분야에 기본이 되기 때문에 고성능 곱셈기의 설계기술에 대한 연구가 필요하다.

칩이 고성능화 되어감으로 인해 시스템의 규모가 증가하고 트랜지스터의 수와 내부 신호 선 수가 급격히 증가하게 함으로써 단자간 상호연결 문제, Pinout 문제, 그리고 많은 정보량 처리 문제 등의 제한성을 갖게 되었다. 이러한 문제의 해결 방법 중의 하나가 다치 논리회로(multiple-valued logic circuit)이다[3-7]. 다치 논리회로는 2진 논리와 아날로그 신호의 특성이 혼합된 형태이다. 즉 잡음에 강한 2진 논리의 이점을 유지하면서 많은 정보를 포함 할 수 있는 아날로그 신호의 장점을 가지고 있다. 그러나 다치 논리회로를 전류모드로 구현함으로써 잡음 여유도(noise margin)의 감소, 2진 논리에 비해 최소 구동전류가 작기 때문에 발생하는 스위칭 속도 감소 등의 문제가 있다. 회로의 구동능력은 공급전압의 제공에 비례하기 때문에 낮은 공급전압에서 높은 구동능력을 가지는 다치 논리회로를 개발하면 스위칭 속도 향상, 전력소모 감소효과를 얻을 수 있다[5].

본 논문에서는 다치 논리회로의 장점을 이용하여 4치 논리회로(quaternary logic circuit)를 적용하여 트랜지스터의 수를 감소시키고 이에 따른 상호연결 복잡도를 감소시켜 곱셈기 성능을 향상시켰다. 4치 논리는 2진 논리와 변환 및 복원이 간편하여 기존의 시스템과 호환성이 가능하다. 본 논문에서는 Modified Baugh-Wooley 곱셈 알고리즘과 전류모드 CMOS 4치 논리회로를 이용하여 Signed, Unsigned 곱셈이 가능한 고성능 곱셈기를 제안하였다. 이 곱셈기는 부분 곱 생성과 4치 논리확장을 동시에 수행하고, Super Wilson 전류미러를 사용하여 연산속도와 정확도를 향상시켰다. 제안한 곱셈기는 세 단계로 구성된다. 첫 번째 단계는 부분 곱을 생성하는 동시에 2진 입력신호를 전류모드 4치 논리로 부호화(encoding)한다. 두 번째는 생성된 부분 곱을 전류모드 4치 논리 가산기를 통해 가산을 수행한다. 마지막으로 가산을 통한 전류모드 4치 논리 값을 2진 출력신호로 복호화(decoding)한다. 이와 같이 곱셈기의 내부는 4치 논리로 구성되어 시스템 성

능을 향상시키고, 입출력 부분은 2진 입,출력을 그대로 사용함으로써 기존의 시스템과 완벽한 호환성을 갖도록 설계하였다.

II. 곱셈기의 구조

1. 전류모드 CMOS 2진-4치 논리변환을 내장한 부분 곱 생성기

본 논문에서 제안한 부분 곱 생성기는 두 개의 2비트 입력을 가진다. 부분 곱 생성기는 전압모드 2진 입력을 전류모드 4치 논리로 확장하는 인코더(encoder) 기능을 하며, 또한 이를 다중 비트의 부분 곱 생성기로 사용할 수 있도록 2 bit 곱셈의 결과로 나타낸다. 그림 2와 같이 Modified Baugh-Wooley 곱셈 알고리즘을 적용하여 부분 곱을 생성하고 BQ1, BQ2, BQ3, BQ4 네 개의 다른 기능 블록으로 구성된다. 네 개의 부분 곱 생성기 회로는 기본 단위전류의 정수 배만큼의 전류를 복제하고 이를 NMOS 트랜지스터 스위칭에 따라 각각 자리올림수(carry)와 합(sum)의 전류 값을 결정한다

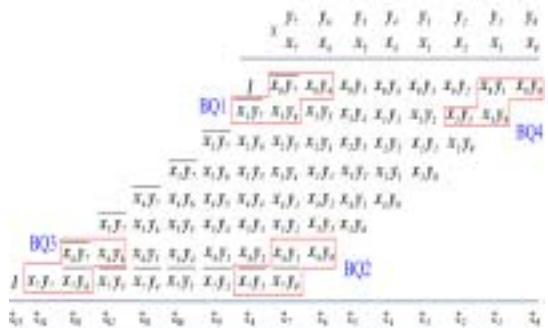


그림 1. 8x8 비트 곱셈

Fig. 1. 8x8 bit multiplication.

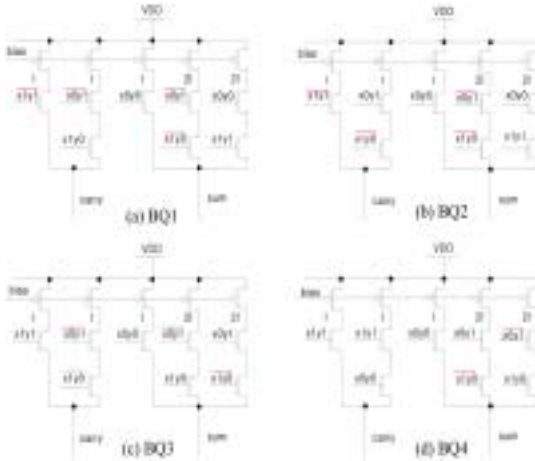
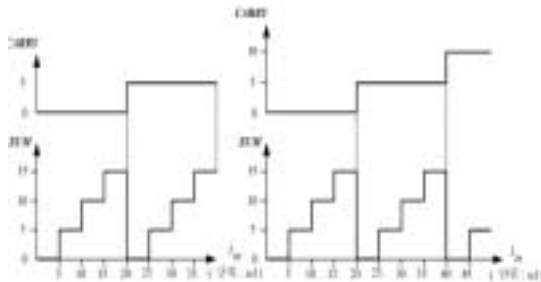


그림 2. 부분곱 생성기
Fig. 2. Partial product generator.

2. 전류모드 4치 논리 전가산기

본 논문에서 설계한 전류모드 4치 논리 전가산기는 두 개로 구성된다. 하나는 입력전류 범위가 (0~35 μ A)로 기존의 전가산기[7]의 사양과 동일하고 다른 하나는 입력전류 범위가 (0~45 μ A)로 구성된다. 후자의 경우를 사용한 이유는 가산 트리의 개수를 감소시켜 곱셈기의 성능을 향상시키고자 한 것이다. 그림 3은 전류모드 4치 논리 전가산기의 입력에 대한 출력의 전달특성이다.



(a) 입력전류 범위 (0~35 μ A) (b) 입력전류 범위 (0~45 μ A)
그림 3. 전류모드 4치 논리 전가산기의 입출력 특성
Fig. 3. I/O characteristic of current-mode quaternary logic full adder.

그림 3(a)와 같이 입력전류가 0에서 15 μ A이면 출력 sum은 입력전류의 합이다. 입력전류가 20 μ A 이상인 경우, carry가 발생하고 그 나머지 입력전류의 값이 sum

이 된다. 전가산기의 최대 입력전류는 두 개의 4치 논리입력의 최대전류 15 μ A와 carry 신호 Ci가 존재할 때의 전류 값 5 μ A를 합하여 최대 35 μ A가 된다. 이 때의 출력은 5 μ A의 carry와 15 μ A의 sum이 출력된다. 그림 4는 본 연구에서 설계한 전류모드 4치 논리 전가산기1이다. 기존의 전류모드 4치 논리 전가산기는 기본 전류미러로 설계를 하였기 때문에 잡음 여유도가 감소하여 출력의 정확도가 떨어지는 단점을 가지고 있다 [7]. 출력의 정확도가 떨어지면 전가산기 몇 단을 통과한 후의 값이 원래의 값이 아닌 잘못된 값을 생성시켜 이를 보완하기 위한 추가적인 회로가 필요로 하게 된다.

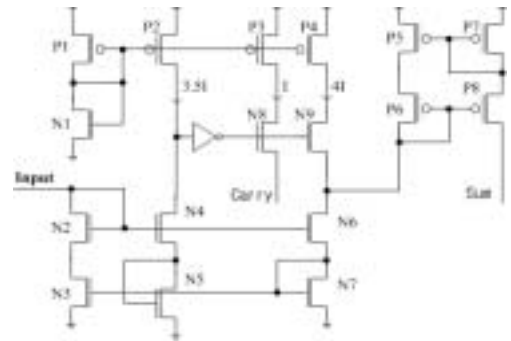


그림 4. 전류모드 4치 논리 전가산기1
Fig. 4. Current-mode quaternary logic full adder 1.

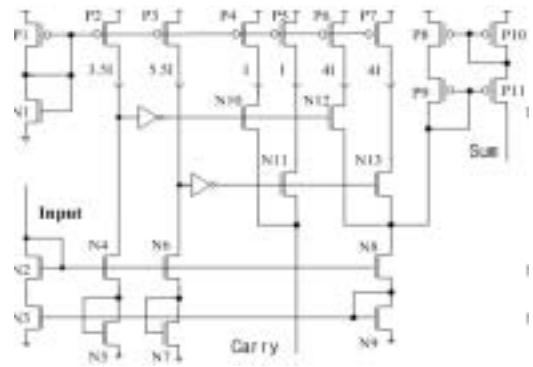


그림 5. 전류모드 4치 논리 전가산기2
Fig. 5. Current-mode quaternary logic full adder 2.

본 논문에서는 Super Wilson 전류미러를 사용하여 출력단의 소신호 출력저항 값을 증가시켜 잡음 여유도를 향상시켰다. N2~N7 트랜지스터는 입력전류를 복제

하는 역할을 수행하며 P2, P3, P4는 단위전류 3.5I, I, 4I를 생성한다. P2와 N4는 비교기로 동작하여 P2의 단위전류 3.5I와 N4의 복제전류인 입력전류와 비교하여 인버터의 입력전압을 결정한다. 입력전류가 3.5I(17.5 μ A)보다 작은 경우 인버터의 출력은 "Low"가 되어 NMOS N8과 N9는 차단되고 N6, N7에 의해 복제된 입력전류가 P5~P8을 통해 복제되어 sum으로 출력된다. 입력전류가 3.5I보다 큰 경우 인버터의 출력은 "High"가 되고 N8과 N9는 도통된다. 따라서 N8을 통해 P3에서 생성된 단위전류 I는 carry로 출력되고 N9를 통해 P4의 4I의 전류는 N6에 유입되고 나머지 전류는 P5~P8을 통해 복제되어 sum으로 출력된다. 즉, $sum = I_{in} - 4I$ 가 된다.

그림 3(b)에서는 전가산기의 입력전류가 0~35 μ A 사이에서는 (a)와 같은 동작을 수행하고 40 μ A 이상에서는 carry 신호 C의 값이 10 μ A이며 출력 $sum = I_{in} - 8I$ 가 된다. 그림 5는 본 연구에서 설계한 전류모드 CMOS 4치 논리 전가산기이다. 입력전류가 5.5I보다 큰 지를 판별하는 P3, N4, N5의 트랜지스터와 이에 따른 carry와 출력제어를 위한 P5, N11, P7, N13 트랜지스터가 추가된 것 이외 기능상 그림 4의 가산기1과 동일하다. 예를 들어 동일한 컬럼에 15 μ A+15 μ A+15 μ A=45 μ A일 때 가산기1만을 사용하면 가산기1에서 처리할 수 있는 전류 양이 35 μ A이므로 45 μ A를 처리하기 위해서는 가산기1을 2개 사용하여 가산을 수행하지만, 가산기2는 처리할 수 있는 전류 양이 45 μ A이므로 1개의 가산기로 가산을 수행할 수 있다. 따라서 8비트 곱셈기를 가산기1만으로 구성하면 25개의 가산기가 필요하며, 가산기1과 가산기2를 혼용하여 사용하면 17개의 가산기(가산기1 : 9개, 가산기2 : 8개)가 필요하게 된다. 이를 트랜지스터 수로 비교하면 가산기1은 19개 트랜지스터로, 가산기2는 28개 트랜지스터로 구현된다. 8비트 곱셈기를 가산기1만으로 구성할 경우 475개 트랜지스터 (19개 트랜지스터/가산기1 X 25개)가 소요되며, 가산기1과 가산기2를 혼용하여 구성할 경우 395개 트랜지스터(19개 트랜지스터/가산기1 X 9개 + 28개 트랜지스터/가산기2 X 8개)가 소요된다. 즉, 가산기2를 혼용함으로써 가산의 단계를 2단계로 감소시키고 사용된 트랜지스터 수의 감소 효과를 얻을 수 있다.

설계한 곱셈기의 출력단은 4치-2진 논리 디코더(decoder)이다. 이 회로는 전류모드 4치 논리 신호를 2치 논리로 변화하여 주는 4치-2진 논리 디코더이다[6].



그림 6. 곱셈기의 레이아웃

Fig. 6. Layout of multiplier.

본 논문에서는 0.35 μ m CMOS 공정을 이용하여 HSPICE로 시뮬레이션하였다. HSPICE 시뮬레이션에 사용한 모델 파라미터는 Level 28을 사용하였고 공급 전원은 3.3V로 하였다. 4치 논리신호의 단위전류는 0 μ A, 5 μ A, 10 μ A, 15 μ A를 사용하였다. 전압 출력노드에는 200fF의 캐패시터를 연결하였다. 제안한 회로는 0.35 μ m 공정기술의 설계규칙에 따라 Mentor S/W를 이용하여 레이아웃하고 검증을 하였다. 그림 6은 제안한 곱셈기의 레이아웃이다.

III. 성능 평가

표 1은 동일한 0.35 μ m 공정기술에서 본 논문의 곱셈기와 Modified Booth 곱셈기, Baugh-Wooley 곱셈기를 비교한 것이다. 본 논문의 곱셈기의 트랜지스터 개수는 1111개이고 평균 전력소모는 6.1mW이며 최대 전달지연이 4.5ns이다. 트랜지스터 수는 두 개의 비교 대상 회로에 비해 각각 60%, 43% 감소하였으며, 노드 수도 46%, 35% 감소하여 가장 우수하다. 전달지연 특성은 Modified Booth 알고리즘을 적용한 곱셈기가 가장 우수하며, 평균 전력소모는 Baugh-Wooley 곱셈기가 가장 저전력 특성을 보였다. 또한, 전력소모와 최대 전달지연의 곱인 PDP(power delay product) 특성은 Modified Booth 알고리즘을 적용한 곱셈기가 가장 우수하다. 본 논문에서 제안한 곱셈기는 소비전력, 전달지연 특성이 상대적으로 취약하지만 트랜지스터 수와 노드 수 감소를 통한 칩 면적 감소의 관점에서 볼 때,

우수한 특성을 보여 칩의 고집적화에 기여할 수 있을 것으로 판단된다.

표 1. 비교표

Table 1. Comparison table.

	Modified Booth (2진논리)	Baugh-Wooley (2진논리)	본 논문의 곱셈기 (8비트)
트랜지스터 수	2682	1938	1111
평균 전력 소모(mW)	5.4	4.7	6.1
노드수	1189	988	647
최대 전달 지연(ns)	3.1	4.0	4.5
Power Delay (pJ)	16.7	18.8	27.4

본 논문의 곱셈기가 비교 회로에 비해 상대적으로 큰 소비전력과 전달지연이 증가한 이유는 낮은 단위전류를 사용함으로써 트랜지스터의 크기가 증가하고 이에 따른 기생 커패시턴스의 증가에 따른 스위칭 속도 감소, 전력소모 증가의 요인이 발생되었기 때문이다. 해결책으로는 저 전압에서 높은 구동능력을 가지는 전류모드 4차 논리회로를 통하여 임계값지를 고속으로 하고[5] 클럭에 의한 동기회로 구성을 통한 DC 전력소모 제거 방법이 있다.

IV. 결론

본 논문에서는 Modified Baugh-Wooley 곱셈 알고리즘과 전류모드 CMOS 4차 논리의 특성을 이용하여 Signed, Unsigned 곱셈이 가능한 고성능 곱셈기를 제안하였다. 이 곱셈기는 부분 곱 생성과 4차 논리확장을 동시에 수행함으로써 곱셈기 성능을 향상시켰으며, 가산기에 Super Wilson 전류미러를 사용하여 연산속도와 정확도를 향상시켰다. 전체적 성능에서 소비전력, 속도가 상대적으로 취약하지만 트랜지스터 수와 노드수 감소를 통한 칩 면적 감소효과가 우수하였다. 향후 저 전압에서 높은 구동능력을 가지는 전류모드 4차 논리회로를 설계하여 고속의 임계값지를 하여 전달지연 특성을 개선하고, DC 전력소모를 제거함으로써 전력소모를 감소시키는 연구를 진행하면 전체적인 성능을 향상시킬 수 있다.

감사의 글

이 논문은 한국과학재단 목적기초연구(R05-2003-000-10594-0)지원으로 수행되었으며, 본 연구에 사용한 설계용 CAD S/W는 IDEC(반도체 설계교육센터) 지원에 의한 것임.

참고 문헌

[1] 이용석, "고성능 마이크로프로세서 곱셈기 구조", 정보통신학술지원국 비디오 강좌 시리즈, 1998

[2] Norio Ohkubo, Makoto Suzuki, Toshinobu Shinbo, Toshiaki Yamanaka, Akihiro Shimizu, Katsuro Sasaki, and Uoshinobu Nakagome, "A 4.4 ns CMOS 54x54 Multiplier Using Pass-Transistor Multiplexer" IEEE J. Solid-State Circuits, Vol. 30, No. 3, pp. 251-257, Mar. 1995.

[3] K. Wayne Current, "Current-mode CMOS Multiple-Valued Logic circuits", IEEE J. Solid-State Circuits, Vol. 29, No. 2, pp.95-107, Feb.1994

[4] K. Wayne Current, "Application for quaternary logic to the design of a proposed discrete cosine transform chip" Int. J. Electronics, Vol. 67, No. 5, PP. 678-701, 1989.

[5] Takahiro Hanyu and Michitaka Kameyama, "A 200 MHz Pipelined Multiplier Using 1.5V-Supply Multiple-Valued MOS Current-Mode Circuits with Dual-Rail Source-Coupled Logic", IEEE J. Solid-State Circuits, Vol. 30, No.11, pp.1239-1245, Nov. 1995.

[6] 이용섭, 박철호, 김정범, "전류모드 다치논리 CMOS 회로를 이용한 전가산기 설계", 전자공학회 논문지, 제39권, SD편, 제1호, pp.75-82, 2002년 1월

[7] 이은실, 김정범, "전류모드 CMOS 다치 논리회로를 이용한 32x32-bit Modified Booth 곱셈기 설계", 전자공학회 논문지, 제40권, SD편, 제 12 호, pp.72-80, 2003년 12월

 저 자 소 개

金 宗 洙

2002년 2월 강원대학교
전자공학과 학사.
2004년 2월 강원대학교
전자공학과 석사.
2004년 ~ 현재 : 신코엠(주)

<주관심분야> VLSI 설계, OLED 구

동회로 설계

金 政 範 (正會員)

1985년 2월 인하대학교
전자공학과 학사.
1987년 2월 인하대학교 대학원
전자공학과 석사.
1997년 2월 포항공과대학교 대학원
전자전기공학과 박사.
1987년 1월~1992년 5월 금성반도체

중앙연구소 선임연구원

1994년 8월~1997년 9월 현대전자 시스템IC연구소

책임연구원

1997년 9월~1999년 2월 충북대학교 전기전자공학부

1999년 3월~ 현재 강원대학교 전기전자정보통신공학
부 부교수

<주관심분야> VLSI설계, CAD, Multi-Valued Logic