

기술 특 집

FED의 기술적 과제와 새로운 접근 방법

송 윤 호 (한국전자통신연구원 기반기술연구소 yhsong@etri.re.kr)

I. 개 요

전계 방출 디스플레이(Field Emission Display : FED)는 극미세 구조의 전계 에미터에 전기장을 인가하여 진공속으로 방출시킨 전자를 형광체에 충돌시켜 화상을 표시하기 때문에, CRT의 우수한 표시특성을 그대로 살리면서 경량·박형화가 가능한 디스플레이 소자로서, 표시소자의 모든 면에서 이상적인 특성을 가지고 있어 가장 유망한 차세대 평판 디스플레이로 평가되고 있다. 특히, FED는 다른 디스플레이와 비교하여 광 효율이 높고 소비전력이 낮기 때문에 에너지 절약형 디지털 HDTV로 개발될 수 있다. 또한, FED는 국내 기술이 세계적으로 선도적인 위치에 있기 때문에 다른 상업화된 디스플레이 혹은 개발 중인 디스플레이와는 달리 기술적 독립이 가능하고, 이에 따라 LCD와 PDP에서의 생산 기술을 FED에 접목한다면 현재 확보된 국내 평판 디스플레이의 산업경쟁력을 차세대까지 이어나갈 수 있으며, 치열한 경쟁이 진행 중인 디지털 HDTV 분야에서도 세계적으로 주도적인 입장에 설 수 있을 것이다.

본 고에서는 FED 상용화를 위한 기술적 과제와 해결 가능성, 그리고 최근에 발표된 새로운 접근 방법을 소개한다.

II. FED의 기술적 과제

FED가 우수한 표시 특성을 가지고 있으면서도 초기에 디스플레이 시장에 진입하지 못한 가장 큰 이유는 패널의 안정성과 신뢰성, 제조 수율과 생산성을 확보하지 못하였기 때문이다. 아직까지 고효율의 저전압 형광체 물질이 없기 때문에 대부분 CRT 형광체를 이용한 고전압 FED를 개발하고 있다. 그러나, 아노드에 5kV 이상의 가속 전압을 인가하는 고전압 FED에서는 양이온에 의한 캐소드 전계 에미터 팁의 파괴와 전기적 아킹(arching)이 쉽게 발생할 수 있기 때문에 패널의 안정성과 신뢰성에 심각한 문제를 초래한다. 또한, 전자총인 캐소드의 경우, 초기에는 주로 원추형의 Spindt-팁이 사용되었는데, 이것은 고가의 미세 패터닝 공

정과 전자빔 증착 공정을 사용하여야 할 뿐만 아니라 양이온에 의한 소자 파괴가 쉽게 일어날 수 있는 단점을 지닌다.

현재 평판 디스플레이 시장은 노트북 PC와 모니터 응용 분야의 경우 TFT-LCD가, 40" 이상의 TV에서는 PDP가 장악하고 있으며, 소형 저급 패널 분야에서는 STN-LCD 및 OLED가 경쟁을 벌이고 있다. 그러나, 20"~40" TV 시장은 여전히 CRT가 주류이며, 평판 디스플레이 입장에서 보면 이 시장은 아직까지 무주공산으로 남아 있다.

1990년대 초·중반에 개발된 FED는 초기 시장 진입에 실패함에 따라 평판 디스플레이 시장에서 경쟁력을 가질 수 있는 응용 분야가 불투명하나, 소형인 경우 차량에 탑재되는 CNS와 같이 소비전력과 구동전압에 크게 관계없이 휘도, 시야각, 동작온도 등의 성능이 중요한 응용 분야에 여전히 유력한 후보 기술이며, 중·대형인 경우 20"~40" TV 시장을 노려볼 만하다. 특히, 20"~40" TV 분야에서 TFT-LCD는 가격과 응답 속도면에서, PDP는 소비전력과 색 재현율 그리고 해상도면에서 아직까지 충분한 경쟁력을 갖추고 있지 못하기 때문에 FED가 시장 진입의 기회를 가질 수 있으리라 생각된다. 그러나, 현재 평판 디스플레이 시장에서 경쟁력은 단순히 성능 뿐만 아니라 가격이 대단히 중요한 요소로 자리잡고 있으며, LCD는 최근 성능 향상과 더불어 패널 단가를 급격히 떨어뜨려 평판 디스플레이 시장에서 시장 지배력을 더욱 더 공고히 다지고 있다. 이에 따라 OLED, FED 등의 차세대 평판 디스플레이는 성능과 가격 면에서 LCD에 경쟁할 수 있는 기술을 개발하여야만 한다. FED의 모듈 단가를 살펴보면, 제조 공정면에서는 캐소드와 진공 패키징이 크게 좌우하고, 재료/부품에서는 스페이서와 구동회로가 큰 부분을 차지한다. 향후 FED가 평판 디스플레이 시장에 성공적으로 진입하려면 다음과 같은 기술들이 조속히 개발되어야 할 것으로 생각된다.

첫째, 저전압 어드레싱이 가능하면서 대면적에 균일하게 제작할 수 있는 전계 에미터 기술을 개발하여야 한다. 전계 에미터의 균일도는 FED 성능 확보에 필요한 기본적인 요소로서, 장-범위(long-range)보다 단-범위 균일도(short-range uniformity)가 매우 중요하며 상용화에 필요한 단-범위 균

일도는 통상 2% 이하로 생각한다. 전계 에미터 캐소드의 어드레싱 전압은 FED의 구동 소비전력과 구동IC 가격에 결정적인 영향을 미치므로 현재 사용되고 있는 LCD의 구동 IC를 그대로 사용할 수 있을 정도로 낮아야 한다. 또한, FED가 대형 패널 분야에서 가격 경쟁력을 갖기 위해서는 전계 에미터를 값싸게 제작할 수 있어야 하며, 패널의 안정성 및 신뢰성을 확보하기 위해서는 평면형 전계 에미터가 바람직하다. 현재 개발되고 있는 전계 에미터로는 CNT(Carbon Nanotube), SCE(Surface Conduction Emitter), MIM(Metal-Insulator-Metal), BSD(Ballistic electron Surface-emitting Display) 등이 있는데, 특히 일본의 Canon 사는 잉크젯 공정을 기반으로 하여 독자적인 SCE 캐소드를 개발하여 저가격의 대형 FED(SED라 명명함) 기술을 개발하여 왔으며 최근에는 Toshiba와 협력하여 38인치급 SED를 데모하였고, 2004년에는 독립적인 법인을 설립하여 상용화하겠다고 발표하였다. 또한, CNT는 그 자체가 매우 뾰족하여 전계 방출이 쉽게 일어나고 또한 대면적화가 쉬운 공정으로 제작될 수 있다는 장점을 지녀 국내 삼성SDI를 비롯한 여러 기관에서 활발히 개발하고 있다.

둘째, 스페이서/전자빔 집속(focusing) 문제이다. CRT 형광체를 사용하는 고전압 FED의 경우, 휘도, 효율, 수명을 달성하기 위해서는 아노드에 최소한 7kV 이상의 가속 전압을 인가하여야 하고, 이를 위해서는 아노드 판과 캐소드 판을 1mm 이상의 큰 간격으로 유지하여야 한다. 이에 따라, 폭이 좁고도 종횡 비(aspect ratio)가 큰 스페이서(spacer)를 개발하여야 하며, 이 스페이서는 또한 전자빔에 의한 대전(charging)과 2차 전자 발생을 억제할 수 있는 물질이어야 한다. 또한, 아노드판과 캐소드 판 사이의 간격이 넓기 때문에 전자빔이 아노드의 형광체에 도달할 때 크게 발산되어 색분리 및 고해상도의 패널을 얻기 어려운 문제가 생기기 때문에 반드시 전자빔을 집속해야 하며, 더불어 고전압에 의한 전기적 아킹을 방지할 수 있는 패널 구조를 개발하여야 한다.

셋째, 진공 패키징으로, 이것은 FED의 마지막 제조 단계로서 패널의 수명과 제조수율, 생산성에 크게 영향을 미치는 기술이다. 현재까지는 진공도가 우수한 배기 튜브(evacuation tube) 방식을 선호하나, 공정 시간이 긴 단점을 가지고 있다. 따라서, FED의 경쟁력을 확보하려면 진공 패키징의 수율과 생산성을 높여야 하는데, 현재 인-라인 진공-챔버 실링(in-line vacuum-chamber sealing) 공정이 유력한 기술로 개발되고 있다.

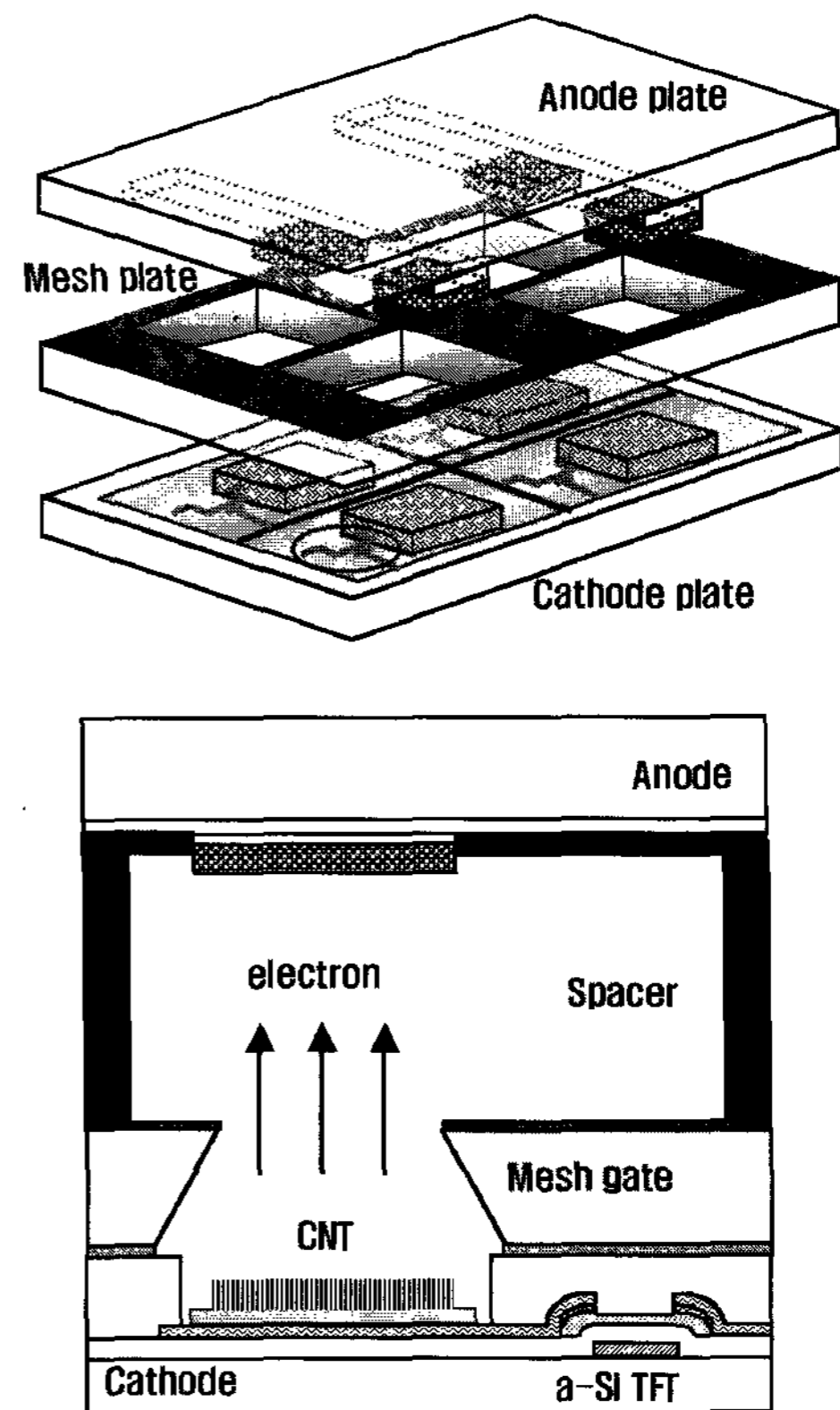
넷째, 저전압 형광체의 개발이다. 저전압 형광체가 개발되면 전자빔 집속, 스페이서, 전기적 아킹에 의한 캐소드의 불안정성/신뢰성 문제를 일시에 제거할 수 있어 FED의 경쟁력을 결정적으로 향상시킬 수 있지만, 불행히도 물질 개발은 쉬운 문제가 아니다. 현재 산화물 형광체가 많이 연구되고 있지만 아직 500V의 정도의 가속 전압에서 발광 효율이 높고 열화 문제가 없는 형광체 물질을 개발하지 못하고 있다.

III. FED의 새로운 접근 방법

앞 절에서 살펴본 FED의 기술적 과제를 해결하기 위한 새로운 접근 방법으로, ETRI에서 개발하고 있는 액티브 매트릭스(Active Matrix : AM)-CNT FED 기술과 최근에 발표된 일본 NGK insulators사의 강유전체 전자 에미터 기술을 소개한다.

[그림 1]은 ETRI에서 개발하고 있는 AM-CNT FED 패널의 개략도와 픽셀 단면도를 보여준다. AM-CNT FED 패널은 CNT 에미터와 비정질 실리콘 박막 트랜지스터(a-Si TFT)가 집적화된 캐소드 판과, 각 픽셀마다 경사진 구멍이 형성되어 있는 메쉬(mesh) 게이트 판과, 빨강(R), 녹색(G), 청색(B)의 형광체를 가진 아노드 판이 스페이서를 지지대로 하여 진공 패키징되어 있다. AM-CNT FED 패널에서는 아노드 가속 전압 뿐만 아니라 전계 방출을 위한 메쉬 게이트 전압이 직류(DC)로 인가되고, 또한 디스플레이 구동전압은 오직 TFT의 특성에만 의존하게 되며, 이에 따라 디스플레이 구동전압을 전계방출 전압에 무관하게 낮출 수 있는 장점을 가진다.

AM-CNT FED의 구성 요소 중에서 메쉬 게이트는 CNT 전계 에미터로부터 전계 방출을 유도하는 게이트 역할과, 방출된 전자빔을 특정한 아노드 픽셀에 집속시키는 집속 기능과, 아노드 전기장이 전계 에미터에 도달하지 못하게 하는

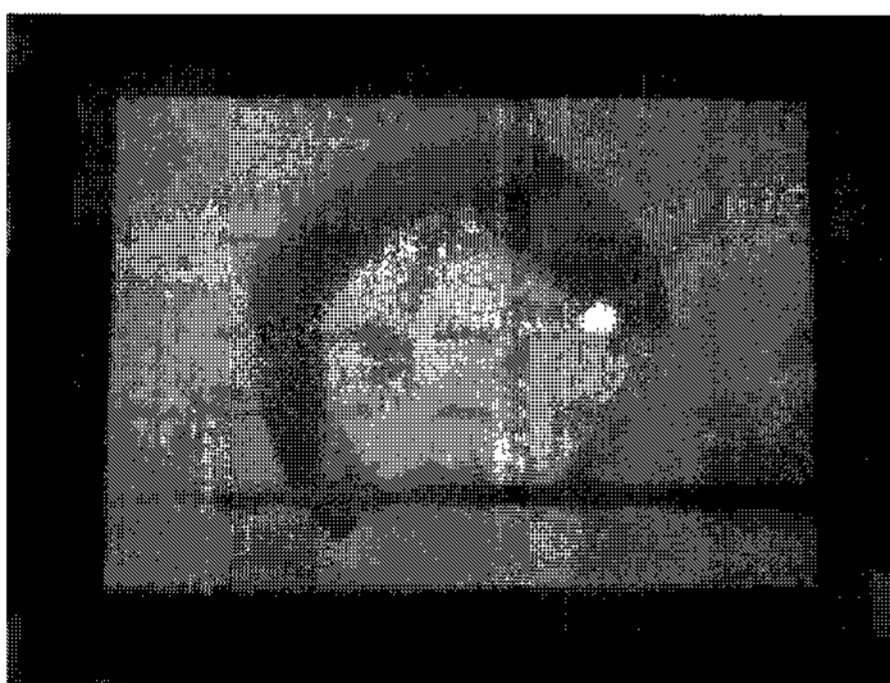


[그림 1] AM-CNT FED 패널 개략도 및 단면도

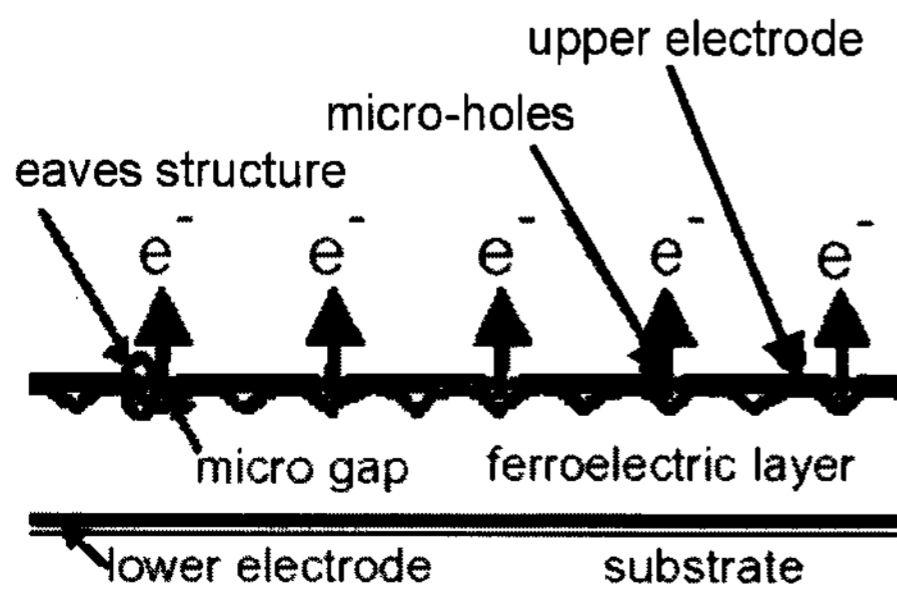
전기장 차폐 역할을 한다. 이러한 기능을 가지도록 하기 위해서는 게이트 구멍을 경사진(tapered) 형태로 제작하여야 하며, 게이트 절연막의 두께도 100 μm 이상으로 두꺼워야 한다. 특히, CNT 에미터의 마이크로 불균일성(micro irregularity)을 극복함으로써 전계 방출의 균일도를 향상시킬 수 있는 하나의 접근 방법으로 이러한 매크로 게이트(macro gate)가 유효할 수 있으며, 이러한 접근을 위해서는 CNT 에미터 크기에 비해서 매우 크고 높은 게이트 형성이 필요하다.

[그림 2]는 유리-메쉬(glass-mesh)를 가진 5인치, QQVGA AM-CNT FED의 영상 사진을 보여준다. 15V 이하의 저전압으로 FED 패널을 구동할 수 있었으며, 메쉬 게이트에 의해 아노드 전압에 의한 CNT의 전계 방출을 억제하였고, 아울러 전자빔 집속 효과를 얻었을 수 있었다. 이에 따라 FED의 휘도, 효율, 수명을 보장할 수 있는 고전압을 아노드에 인가할 수 있었으며(~10kV), 또한 게이트 누설 전류를 완전히 제거함으로써 이상적인 3극형 CNT 에미터 구조를 개발하였다.

[그림 3]은 일본 NGK insulators사의 강유전체 전자 에미터이다. NGK insulators사는 초고전압 세라믹 절연체 등을 제조·판매하는 회사이며, IDW2004에서 강유전체 전자 에미터를 이용한 FED 기술을 발표하였다. NGK insulators사가 전계 효과-강유전체 전자 에미터(Field Effect-Ferroelectric Electron Emitters : FFE)라 명명한 소자는 [그림 3]에서 보는 바와 같이 하부 전극, 강유전체 층, 상부 전극으로 구성되며, 상부 전극에는 전자 방출을 위하여 0.1 μm~10 μm 크기의 미세 구멍이 고밀도로 형성되어 있다. 또한, 미세 구멍이 형성된 상부 전극과 강유전체



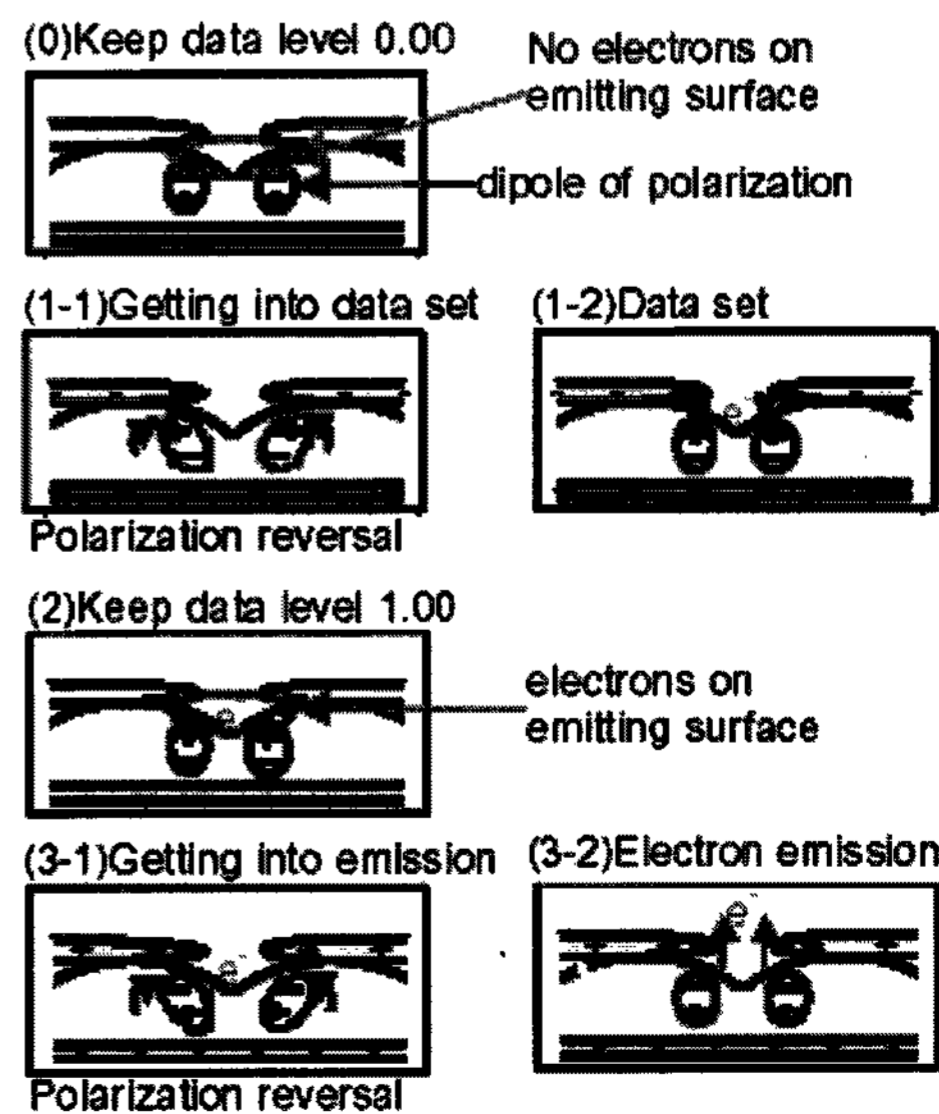
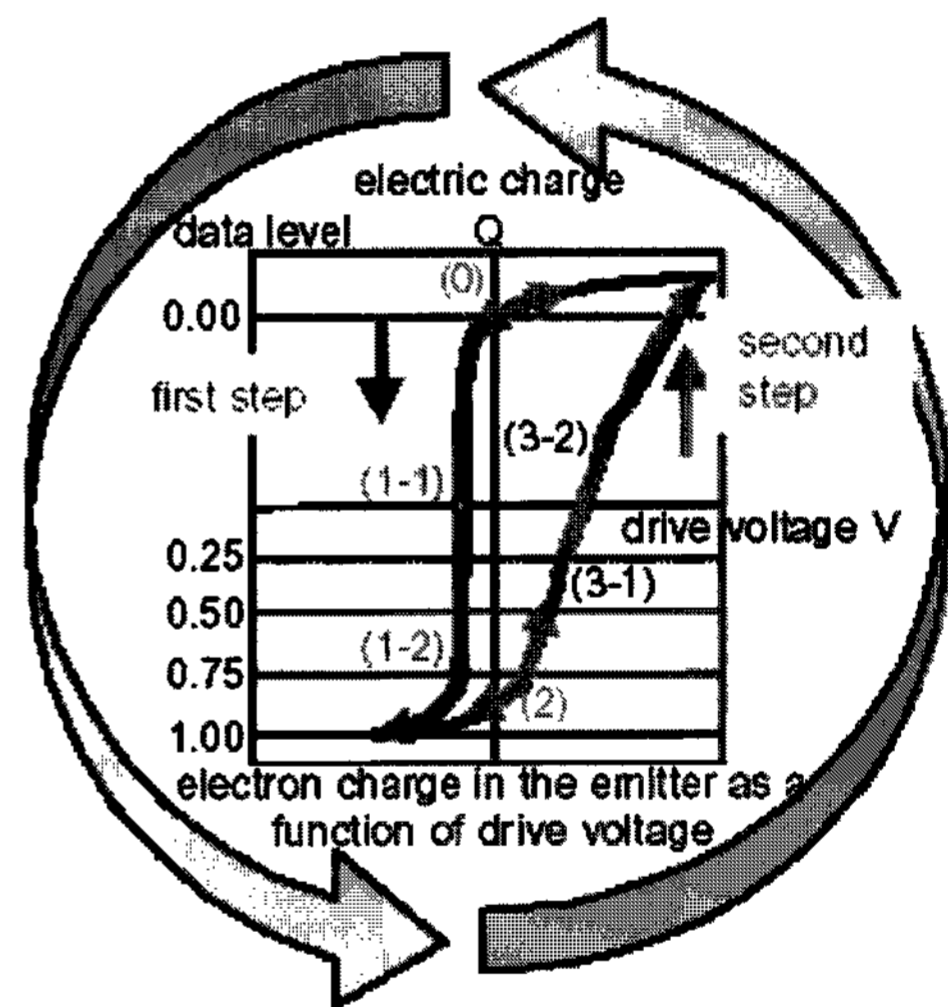
[그림 2] AM-CNT FED의 영상 사진



[그림 3] FFE 소자의 구조

층 사이에 간극(gap)이 형성되도록 강유전체 층의 표면 형상을 반구 형태로 만들었으며, 이에 따라 전자방출 영역에서 상부 전극의 구멍 끝 부분은 뾰족한 처마(eaves) 구조로 형성되어 있다.

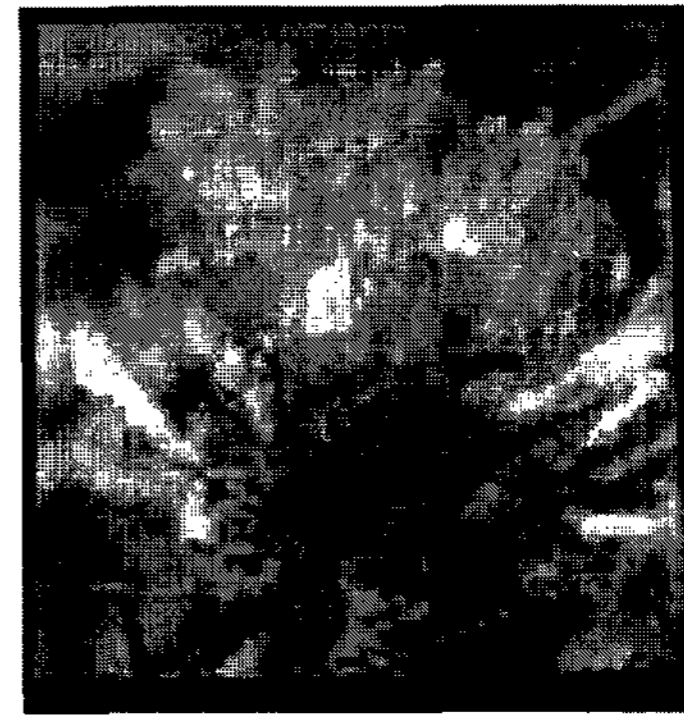
FFE 소자에서 전계 방출 영역은 상부 전극의 미세 구멍을 통해 표면이 노출된 강유전층이며, 전자 방출은 강유전체의 메모리 효과와 동반하여 전계 효과에 의한 대전(charging)과 분극 반전(polarization reversal)에 의한 방전(discharging)의 2단계에 의해 일어난다. [그림 4]는 메모리 효과를 동반한 전자 방출 메커니즘을 보여주며, 간단히 설명하면 다음과 같다. 첫번째 단계로, 상, 하부 전극 사이에 강유전체의 보자 전계(coercive field)보다 큰 전기장을 인가하면(하부 전극: 양, 상부 전극: 음) 강유전체 방출 표면이 양의 쌍극자(dipole)로 분극되고, 이 순간 미세 간극 사이에는 강한 전계가 형성되며 이로 인해 상부 전극의 뾰족한 부분에서 전계 방출이 일어나며, 방출된 많은 전자들은 강유전체 표면을 대전시킨다. 이렇게 대전된 전자들은 분극 반전 이하의 전계에서는 강유전체 표면에 안정한 상태로 유



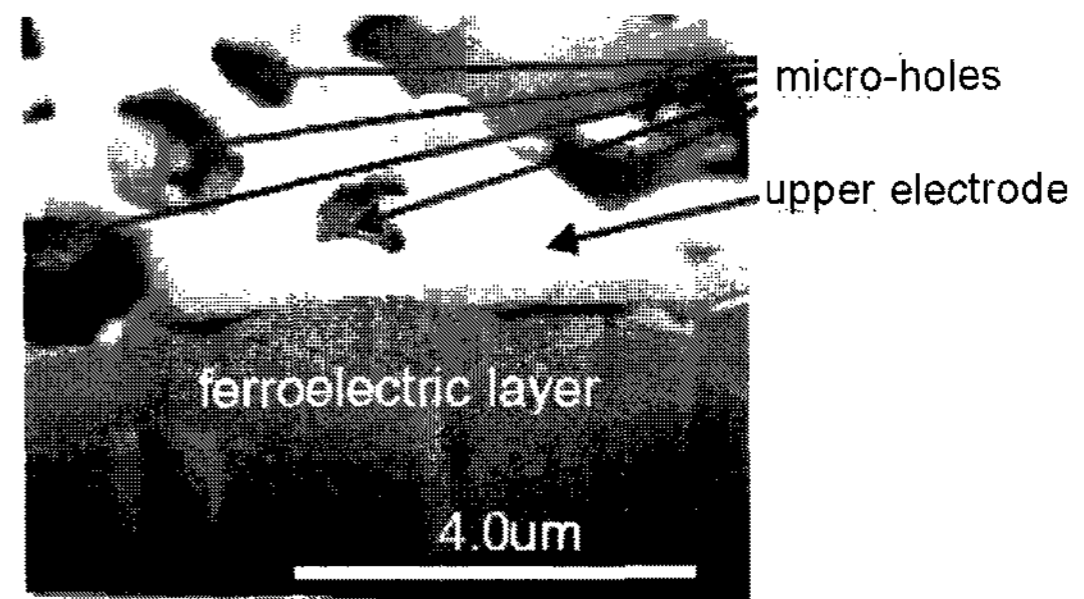
[그림 4] FFE의 전자 방출 메커니즘

지되는 메모리 기능을 가진다. 두번째 단계에서는 상, 하부 전극에 대전 단계와는 반대 방향의 강한 전기장을 인가하며 (하부 전극: 음, 상부 전극: 양), 인가된 전기장에 의해 강유전체 표면에 있는 전자들이 미세 구멍 밖으로 전계 방출된다. 전계 방출되는 전자들은 대부분 방출 표면에 대해 수직 방향으로 나오기 때문에 분산 각도가 작을 수 있으며, 이것은 디스플레이 응용 시 전자 집속에 필요한 부가 전극을 없앨 수 있는 장점을 가진다.

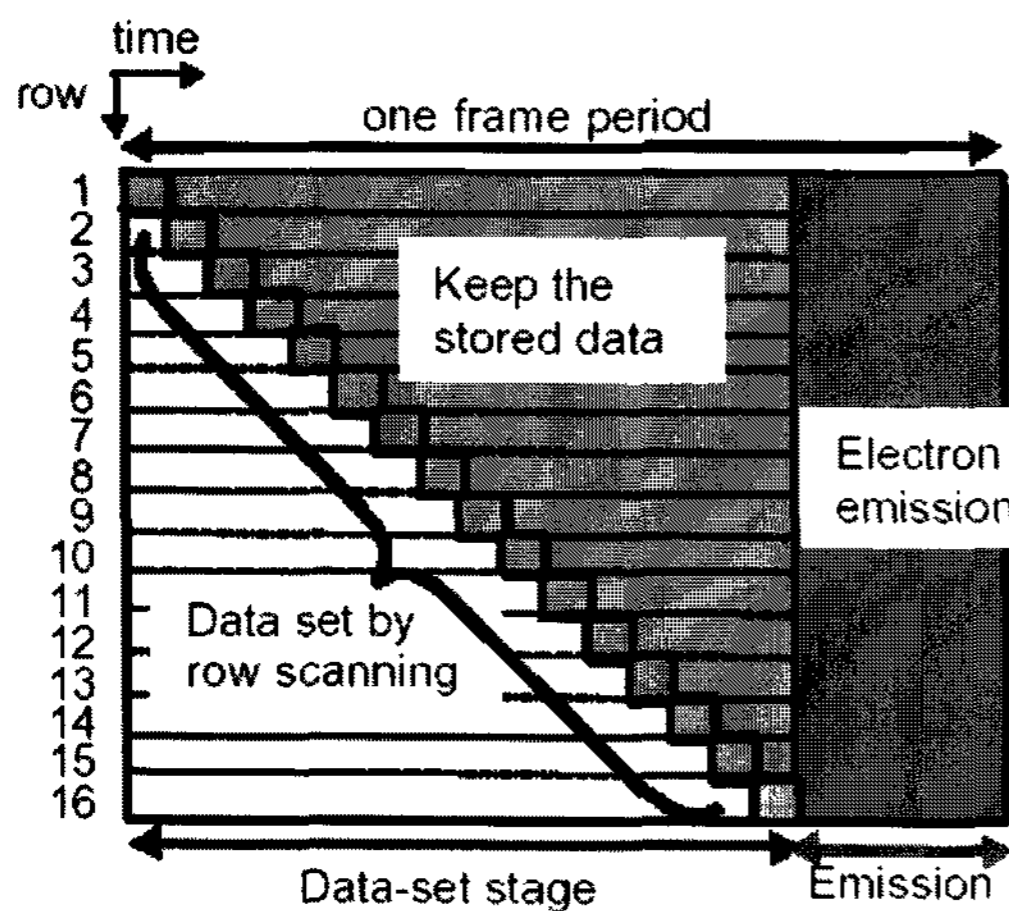
FFE 패널의 구동은 FFE 소자의 메모리 효과를 이용하여 [그림 5]와 같이 데이터 셋(data-set stage)과 전계 방출(emission stage) 구간으로 구분하여 이루어진다(이것은 PDP의 ADS(Address Display period Separated) 구동과 매우 유사함). 즉, FFE 소자의 대전 단계에서 각 계조에 해당되는 아날로그 신호를 각각의 픽셀에 어드레싱하고, 이후 전계 방출 영역에서 분극 반전 신호를 모든 픽셀에 동시에 넣어 전자가 방출되도록 함으로써 FFE 패널을 구동한다. FFE 패널의 계조 표현은 [그림 6]에서 보는 바와 같이 강유전체 방출 영역에 대전시키는 전하량(데이터 셋 전압)에 의해 구현되며, 구동 전압은 강유전체 막의 두께에 크게 의존하며, 대략 10 μm 두께에서 20 V의 데이터 구동 전압을



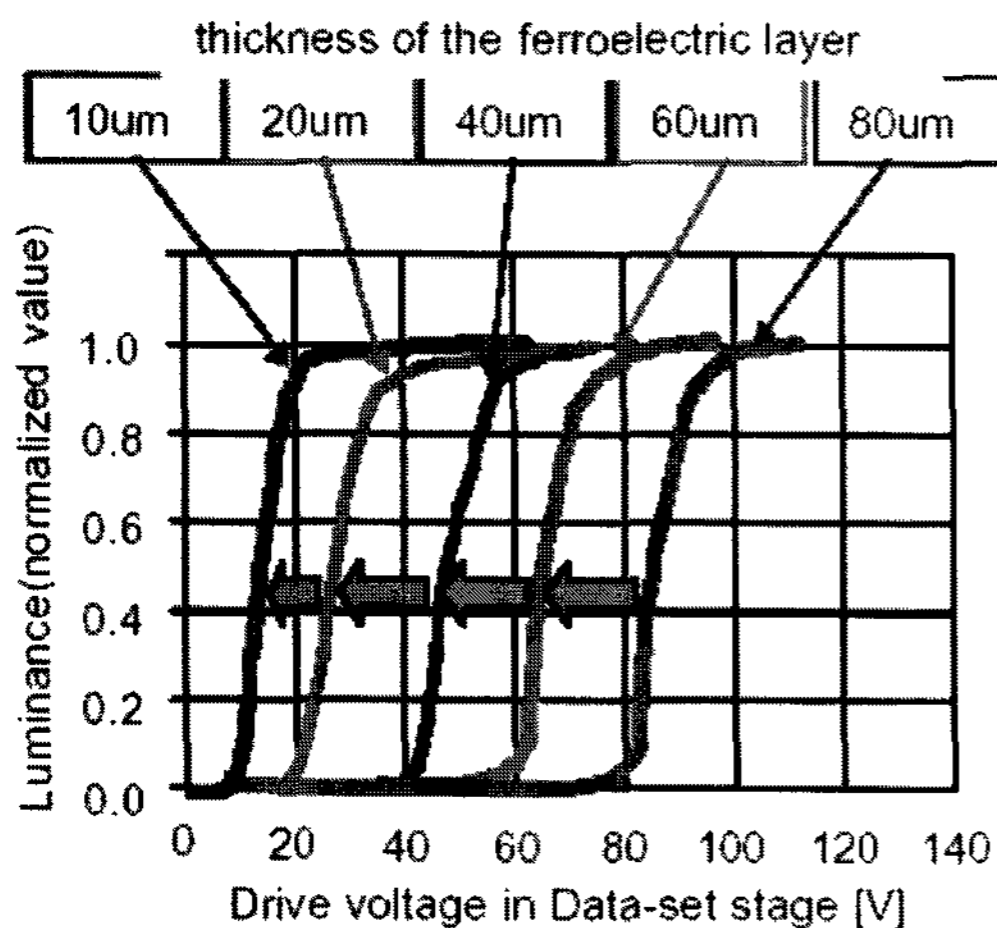
[그림 7] FFE 패널의 영상 사진



[그림 8] FFE 소자의 단면 SEM 사진



[그림 5] FFE 패널의 구동 방법



[그림 6] 데이터-셋 전압에 따른 휘도

가진다.

제작된 FFE 패널은 [그림 7]의 사진과 같이 크기 4.3인치, 해상도 128×128, 계조 7bits/color, 휘도 440cd/m²의 규격으로 컬러 동영상을 데모하였으며, 측정된 FFE 수명은 5000시간 구동 후 초기치의 90%을, 50000시간 구동 후에도 초기치의 80% 이상을 유지하는 것으로 나타났다.

NGK insulator사는 FFE 소자로 패널을 제작하여 그 가능성을 보였지만, 강유전체 층 형성에 1000℃ 정도의 고온 공정이 필요한 것으로 알려져 있으며, 0.1 μm~10 μm 크기의 미세 구멍 및 강유전체 층의 처마 구조를 균일하게 형성하는데 어려움이 있을 것으로 예상된다[그림 8]. 또한, 7kV 이상의 고전압 아노드에 대한 FFE 소자의 신뢰성(특히, 아킹에 의한 소자 파괴) 향상 기술이 필요할 것으로 판단된다.

IV. 결 론

FED의 상용화를 위한 기술적 과제와 새로운 접근 방법으로 AM-CNT와 강유전체 전자 에미터 기술을 알아보았다. FED가 조속히 평판 디스플레이 시장을 성공적으로 진입하려면 패널의 균일성, 안정성/신뢰성 문제를 빠른 시간내에 해결하여야 하며, 이를 위해서는 내구성이 우수한 캐소드와 전기적 아킹을 억제할 수 있는 구조 외에도 저전압 구동의 대면적 전계 에미터 기술, 전자빔 집속 및 아킹 방지 기술, 스페이서를 포함한 고진공 패키징 기술 등을 개발하여야만 한다.