
CPLD 소자를 사용한 DDS 방식의 고속 주파수 호핑용 디지털 주파수 합성기의 설계

김기래* · 최영규*

Design of the Digital Frequency Synthesizer for High Speed Frequency Hopping by the DDS Method using CPLD

Girae Kim* · Youngkyu Choi*

이 논문은 산업자원부 지역혁신인력양성사업 연구 결과로 수행되었음

요 약

주파수 합성기로서 통신시스템에 많이 사용되어온 PLL 방식은 여러 장점을 갖고 있지만, 위상잡음 특성이 나쁘고 주파수 도약 시간이 긴 단점을 갖기 때문에 최근의 고속($1\mu\text{s}$ 이하)으로 주파수 호핑(Frequency Hopping)을 요구하는 차세대 이동 통신 시스템에서는 사용이 불가능하다. 본 연구는 차세대 이동통신 시스템에서 1600 hops/s 속도로 600개 이상의 랜덤한 주파수를 발생하는 주파수 합성기를 CPLD를 사용하여 DDS(Direct Digital Synthesis) 방식으로 설계하였다.

ABSTRACT

The PLL synthesizer is used in communication system until now because it have several merits, such as broad bandwidth, high accuracy and stability of frequency. But it is difficult to use in the third generation mobile communication systems that need frequency hopping at a high speed because of its long frequency hopping time. In this paper, we designed the frequency synthesizer that generate frequencies randomly at a high speed using the DDS technology.

키워드

CPLD, VHDL, DDS, PLL Synthesizer, Frequency Hopping

1. 서 론

주파수 합성기(Frequency Synthesizer)는 안정도가 높은 기준 주파수 발진기로부터 제어 워드에

의해 원하는 주파수를 발생하는 회로로서 통신 시스템에 많이 사용된다. 주파수 합성기의 주요 성능은 주파수 안정도, 정확도, 위상잡음, 주파수 도약 시간 등이다. 위상고정루프(PLL) 방식은 반도체

기술의 발전에 따라 최근까지 통신 시스템에서 많이 사용되어오고 있다. PLL 회로는 위상비교기, 루프필터, 전압제어발진기(VCO) 그리고 분주기로 구성된다. PLL의 시정수는 루프필터의 특성에 따라 결정되기 때문에 회로 설계시 위상잡음, 스위칭 속도, 주파수 해상도 등의 특성 사이에 상호 조정이 필요하다[1]. 이것은 상대적으로 주파수 안정도가 높고, 주파수 대역폭이 넓은 장점을 갖고 있지만 위상잡음 특성이 나쁘고 궤환 특성에 의해 주파수 스위칭 시간이 길다는 단점을 가지고 있다[2-3]. 1 μ s 이하의 고속으로 주파수 호핑을 요구하는 차세대 이동 통신 시스템에서는 사용이 불가능하며 새로운 고속 주파수 스위칭이 가능한 합성기의 설계가 필요하다.

본 연구에서 설계하고자 하는 직접 주파수 합성 방식(DDS : Direct Digital Synthesis)은 100ns 이하의 빠른 스위칭 시간, 연속적인 위상 스위칭 응답, 낮은 위상잡음 특성을 가지므로 PLL 방식보다 좋은 장점을 제공한다[4]. DDS는 그림 1의 구성도에 나타낸 바와 같이 직접 주파수 합성 방식으로 아날로그 신호를 디지털 회로에 의해 직접 주파수를 생성하는 방법이다. 궤환 특성을 가지지 않기 때문에 주파수 도약 시간이 짧다.

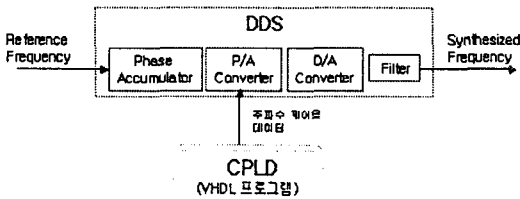


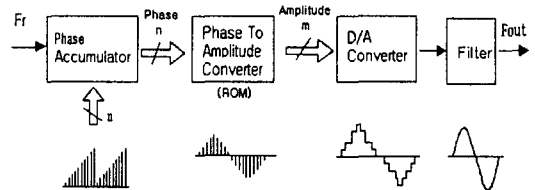
그림 1 DDS 설계 블록도
Fig. 1 Block diagram of DDS

일반적으로 PLL 회로는 주파수 스위칭 시간이 ECL 소자의 경우 최대 100 μ s, 주파수 해상도가 수 kHz 정도이다. 최근 디지털 통신 시스템의 클럭이 고속화되고, 동일한 시스템에서 여러 개의 클럭을 고속(1 μ s 이하)으로 가변 해야 할 필요성이 있는데, PLL 주파수 합성기는 주파수 스위칭 시간이 길어서, 고속으로 주파수 호핑을 요구하는 통신시스템에서는 사용이 불가능하다. 특히 CDMA와 같은 대역확산 통신 방식에서 주파수 도약을 하기 위해 수십 ns 정도의 스위칭 시간이 요구된다. 이 경우 PLL 회로로서는 구현이 불가능하여 새로운 방식에 의한 고속의 주파수 합성기가 필요하게 된다.

본 연구에서는 수십 ns 정도의 스위칭 시간을 갖고 ± 0.05 Hz 이하의 높은 주파수 안정도를 갖는 DDS 회로를 이용하여 고속 가변 클럭 발생기를 설계하고자 한다. 설계된 회로는 차세대 이동 통신 시스템에서 디지털 영상 패턴 발생기에 적용되며, 이 시스템에서 영상 패턴을 발생시키기 위해서는 영상의 종류에 따라 40~160 MHz 클럭 주파수 범위에서 랜덤하게 고속으로 클럭을 발생해야 한다. 이 클럭 발생기의 핵심 사양은 100ns 이하의 스위칭 시간과 ± 0.05 Hz의 주파수 안정도이다.

II. DDS의 구성 및 원리

DDS는 그림 2에서 나타낸 바와 같이 위상누적기(Phase Accumulator), 위상-진폭 변환기(Phase



-Amplitude Converter, D/A converter, Filter의 4 가지 블록으로 구성된다[5].

그림 2 DDS의 기본 원리
Fig. 2 The basic principle of the DDS

DDS는 직접 주파수 합성법으로 정현파를 디지털 회로에 의해 직접 생성하는 것이다. 정현파를 샘플링 이론에 의해 세분화하여 각 위상 값과 진폭을 ROM으로 Look-up 테이블을 구성하여 원하는 주파수의 정현파를 DDS에 의해 생성한다.

그림 3에서와 같이 버퍼 레지스터로부터 FCW(Frequency Control Word) 데이터를 n 비트 입력하여 기준 주파수(F_r)를 2^n 개로 샘플링하게 되므로 DDS의 주파수 해상도는 $F_{res} = F_r / 2^n$ 으로 결정된다[6].

그림 3에서 $n=32$ 비트의 제어워드가 입력되어 Delta Phase Register에 저장되고 클럭에 따라 계속적으로 Phase Register의 현재 값에 더해진다. 이 Phase Register는 클럭의 상승에지에서 이전의 Delta Phase Accumulator 값이 새로운 Delta Phase Accumulator 값으로 바뀐다.

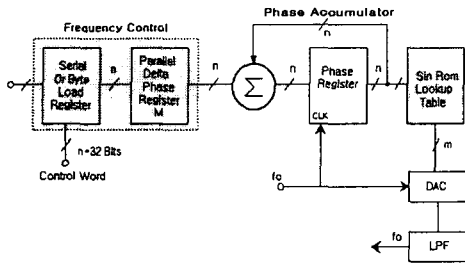


그림3 DDS의 구성
Fig.3 Configuration of the DDS

만약 Delta Phase Accumulator 값이 0000...11 (32bit) 라고 하면 Phase Accumulator값은 각 클럭마다 0000..11 (32비트), 즉 3 씩 증가한다. M=1, 즉 0000.....01 (32비트) 이면 한 주기의 정현파를 만드는데 2ⁿ 개의 클럭이 필요하며 따라서 주기는 2ⁿ/Fr 이 되고 주파수는 Fr/2ⁿ 이 된다. 그리고 M=2, 즉 0000....10 (32비트) 이면 2씩 증분 되므로 2ⁿ/2 개의 클럭이 필요하여 정현파 한 주기가 반으로 줄어들어 주파수는 M=1 일 때의 2 배가 된다. 출력 주파수는 $F_{out} = (Fr \times M) / 2^n$ 으로 표현된다 [7]. 여기서 F, 은 기준 주파수이고, M은 위상증분으로 정수이다. 만약 n=32비트이고, 기준 주파수가 125MHz이면 $F_{out}=0.0291 \times M$ 이 된다. 즉 주파수 해상도는 0.0291 Hz가 된다. 여기서 M=1, 2, 3...이라면 출력 주파수는 각각 $F_{out}=0.0291\text{Hz}$, 0.0582Hz, 0.0873Hz가 나오게 된다. DDS는 한 주기의 정현파를 2ⁿ 개의 위상으로 분할하여 각 위상에 해당하는 진폭을 ROM 테이블로 저장된다. 즉, ROM에는 위상 값과 디지털 진폭 값이 테이블로 저장되어 있다. Phase Register에 저장되어 있는 값은 ROM의 주소가 되어 위상 값이 진폭에 해당하는 디지털 데이터로 출력된다. 즉, Phase Accumulator에서 출력된 n 비트는 ROM의 주소가 되어 ROM 테이블에서 n 비트 주소에 해당하는 디지털 진폭 값을 찾아서 m 비트로 출력된다. ROM에서 출력된 m 비트는 D/A Converter 에 입력되어 디지털 값을 아날로그 값으로 변환한다. 아날로그로 변환된 값은 LPF (Low Pass Filter)에 의해서 높은 주파수 성분이 제거되어서 깨끗한 정현파가 제공된다. DDS는 궤환 루프가 없기 때문에 주파수 스위칭 시간이 짧다는 장점을 가지고 있다[8]. 그러나 많은 채널 데이터를 저장해야 할 경우, 즉 n의 값이 크면 클수록 주파수 해상도는 높아지지만, ROM의 크기가 커진다는 단점이 있다. 일반적으로 ROM의 용량은 2ⁿ × m 이 되는데, 본 연구에

서는 ROM의 용량을 줄이기 위해 정현파의 주기성을 이용하여 1/4 주기의 데이터만 저장하여 설계한다.

III. 설계 및 구현

본 연구에서는 DDS 방식을 이용하여 40MHz~160MHz의 주파수 대역에서 200KHz 간격으로 1600hops/s 속도로 주파수 호핑을 하면서 랜덤하게 클럭 주파수를 발생시키는 주파수 합성기를 설계한다. 설계된 주파수 합성기의 구성은 그림 4와 같다.

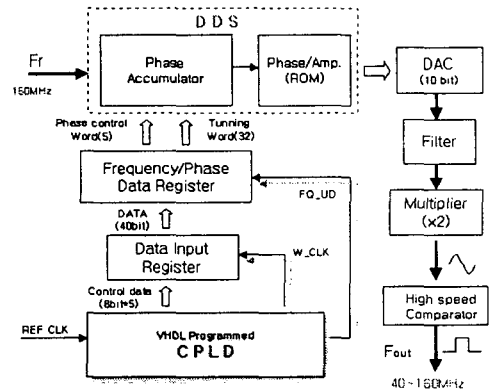


그림 4 설계된 고속 클럭 발생기의 구성
Fig. 4 Configuration of Designed Clock Generator

본 연구에서는 기준 클럭(Fr)을 160 MHz로, 채널을 제어하는 튜닝워드를 32비트로 설계하므로 주파수 해상도는 160MHz/232, 즉 0.03725290Hz로 된다. 회로에서는 DDS에 의해 먼저 20~80MHz의 정현파를 발생시키고 주파수 체배기를 통해 2 체배되고 비교기를 통해 디지털 클럭으로 변환된다. 출력 주파수는 $f_{out} = f_{res} \times M$ 로 표현된다. 이 식에서 f_{res} 는 정해진 값이므로 출력 주파수는 M에 의해서 결정된다. M은 32비트 데이터로서 채널을 결정하는 값이다. 출력 주파수를 결정하는 호핑 알고리즘은 CPLD에 VHDL로 프로그램되어 DDS로 공급된다. 이 호핑 알고리즘은 설계자가 원하는 주파수를 발생시키기 위해서는 프로그램 수정만 하면 된다. VHDL에 의해 프로그램된 CPLD는 그림 4에서와 같이 Control Data(40bit), 워드클럭 (W_CLK), 주파수 업데이트(FQ_UD) 신호를 발생한다. 이 데이터들은 각각 Data Input Register, Frequency /Phase Data Register를 통해

DDS 부에 입력된다. W_CLK와 FQ_UD는 각 레지스터를 구동시키는데 사용되고, Control Data는 총 40비트로 5비트는 위상제어워드, 32비트는 주파수 튜닝워드, 1비트는 전원 온/오프, 2비트는 동작 테스트용으로 사용된다.

그림 5(a)에 나타난 타이밍도는 DDS 신호의 동작을 나타낸다. 본 연구에서는 DDS를 구동시키기 위하여 40비트 제어워드를 사용하였다. 40비트 데이터는 VHDL에 의해서 CPLD로 구현되었으며, CPLD에서 출력된 40비트 데이터는 W_CLK(Word Clock)와 FQ_UD (Frequency Updata)에 의해서 제어된다. DDS는 W_CLK에 따라 w0-w4 (8bit x 5= 40bit)의 데이터를 입력받는다. 입력되는 40비트 값 중에서 처음 8비트는 제어 워드로 사용되고, 나머지 32비트는 주파수 제어 워드로 사용된다. FQ_UD 신호는 새로운 주파수를 발생하기 위해 어드레스를 로드한다. W_CLK 상승 에지에서 각 8bit 데이터가 입력되어 첫 번째 register pointer에 저장된다. 반복적으로 8bit 데이터가 레지스터에 5번 로드된 후에 FQ_UD가 '1'이 되면서, W_CLK에 의한 동작은 무시되게 되고, FQ_UD가 '0'이 되면 다시 데이터를 받아들인다. FQ_UD의 상승에지에서 40비트 FCW가 로드되고, 어드레스 포인터는 첫 번째 레지스터에 놓이게 된다. W_CLK의 상승 에지에서 8비트 데이터 워드가 로드되고 레지스터 포인터는 다음 레지스터로 옮겨진다. W_CLK에 의하여 5번 로드된 후에는 W_CLK는 FQ_UD가 리셋될 때까지 무시된다. FQ_UD가 1이 되면 새로운 데이터로 업데이트되어서 출력된다. DDS에서 출력된 진폭값은 DAC (D/A Converter)에 의해서 Analog 값으로 바뀌게 되고 LPF에 의해서 깨끗한 정현파가 발생되게 된다. 발생된 정현파의 비교기에 의해서 디지털 클럭으로 바뀌게 된다.

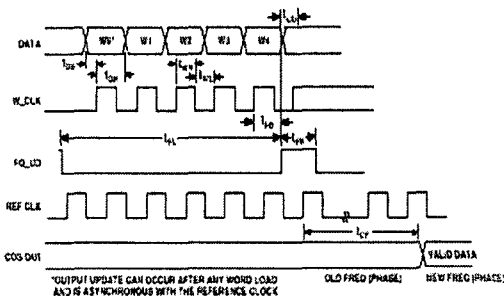
SYMBOL	DEFINITION	MIN
t_{DS}	DATA SETUP TIME	3.5ns
t_{DH}	DATA HOLD TIME	3.5ns
t_{WH}	W_CLK HIGH	3.5ns
t_{WL}	W_CLK LOW	3.5ns
t_{CD}	CLK DELAY AFTER FQ_UD	3.5ns
t_{FH}	FQ_UD HIGH	7.0ns
t_{FL}	FQ_UD LOW	7.0ns
t_{FD}	FQ_UD DELAY AFTER W_CLK	7.0ns
t_{CP}	OUTPUT LATENCY FROM FQ_UD	
	FREQUENCY CHANGE	18 CLOCK CYCLES
	PHASE CHANGE	13 CLOCK CYCLES

(b) 파형의 시간 사양

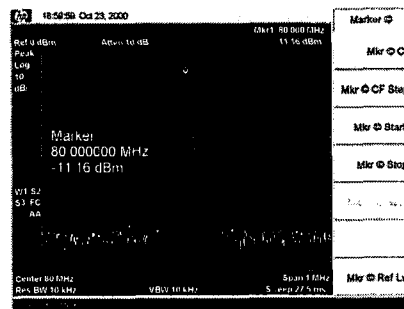
그림 5 CPLD 신호의 타이밍 및 데이터 형식
Fig. 5 Data format and Timing Diagram of Signal

IV. 특성 및 결과

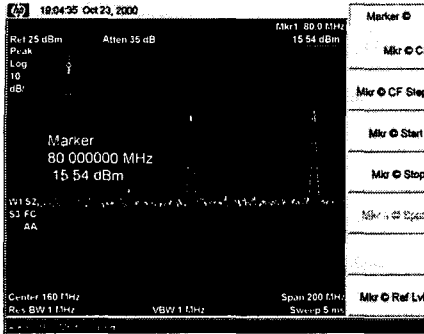
그림 6은 DDS에 의한 주파수 합성기에 대한 결과를 나타낸 것이다. 측정된 결과 중에서 80MHz에 대한 스펙트럼을 그림 6(a)에 나타내었다. 그림 6(b)는 80MHz에 대한 고차 하모닉을 나타낸 것이다. 여러 가지 주파수를 실험한 결과 DDS의 주파수 호핑 시간은 100ns~1μs로 측정되었고, 위상잡음이 PLL 방식보다 양호하였다. 그림 7은 DDS 주파수 합성기를 차세대 이동 통신 시스템의 디지털 영상 패턴 발생기 시스템에 적용시킨 보드이다. 보드중 CPLD1은 DDS를 구동시키기 위한 CPLD이고, CPLD2는 영상패턴을 발생시키기 위한 CPLD이다. 본 연구에서는 80MHz의 오실레이터를 사용하여, 40~160MHz사이의 랜덤한 영상 신호를 발생시킬 수 있었다.



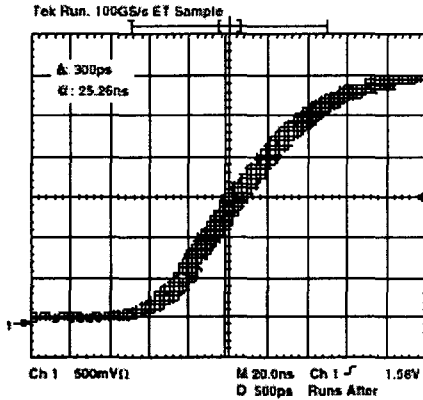
(a) 신호의 타이밍도



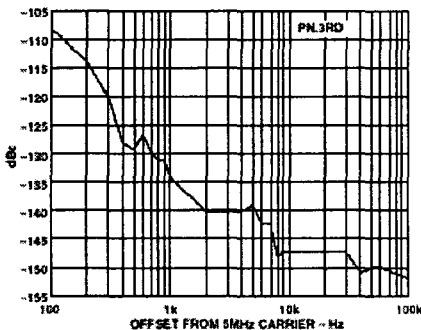
(a) Output Spectrum (@ f=80MHz)



(b) Output Spectrum Harmonics



(c) Output Jitter (@f_{out}=40MHz)



(d) Output Residual Phase Noise (@f_{out}=40MHz)

그림 6 설계된 DDS의 특성

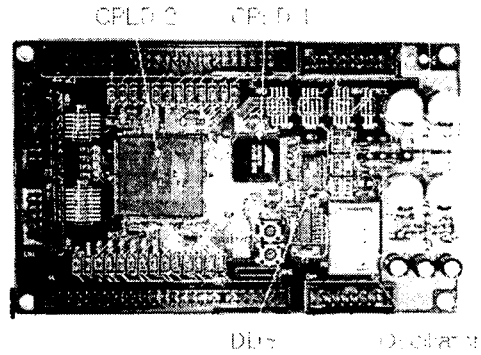


그림 7 설계된 DDS Board의 사진
Fig. 7 Photograph of Designed Board

V. 결 론

PLL에 의한 주파수 합성기는 위상잡음 특성이 나쁘고 특히 주파수 도약 시간이 길기 때문에, 고속($1\mu\text{s}$ 이하)으로 주파수 호핑(Frequency Hopping)을 요구하는 차세대 이동통신 시스템에서는 사용이 불가능하다. 본 연구는 새로운 주파수 합성법인 DDS 방식을 이용하여 40MHz~160MHz의 주파수 대역에서 200 kHz 간격으로 1600hops/s 속도로 주파수 호핑을 하면서 랜덤하게 클럭 주파수를 발생시키는 주파수 합성기를 설계하였다. 시스템의 요구에 따라 랜덤한 주파수 채널을 발생시키는 프로그램은 VHDL에 의해 CPLD로 구현하였다. 본 연구에서 DDS는 설계자가 원하는 임의의 주파수로 고속으로 도약을 할 수 있으며, CPLD를 사용함으로써 보다 소형화 할 수 있다는 장점이 있다. 차세대 이동통신 시스템에서 영상 패턴을 발생시키기 위해서는 영상의 종류에 따라 40~160 MHz 클럭 주파수 범위에서 랜덤하게 1600hops/s 로 클럭을 발생해야 하며, 클럭 발생기의 핵심 사양은 $1\mu\text{s}$ 이하의 스위칭 시간과 $\pm 0.05\text{Hz}$ 의 주파수 안정도이다. 본 연구의 결과는 대역확산 통신 시스템과 같은 주파수 호핑 통신시스템에 적용할 수 있으며, 차세대 이동통신 시스템에서 PLL 합성기의 대용으로 폭 넓게 이용될 수 있다.

참고문헌

[1] Ulrich L. Rohde, Digital PLL Frequency Synthesizers, Prentice-Hall, 1983.

- [2] Phase-Locked Loop Design Fundamentals, Applications Note An-535, Motorola Inc.
- [3] F. M. Gardner, Phaselock Techniques, 2nd Edition, John Wiley, NewYork, 1979.
- [4] Henry T. Nicholas III, Henry Samueli, An Analysis of the Output Spectrum of Direct Digital Frequency Synthesizers in the Presence of Phase-Accumulator Truncation, IEEE 41st Annual Frequency Control Symposium Digest of Papers, 1987, pp.495-502.
- [5] Henry T. Nicholas III, Henry Samueli, The Optimization of Direct Digital Frequency Synthesizer Performance in the Presence of Finite Word Length Effects, IEEE 42st Annual Frequency Control Symposium Digest of Papers, 1988, pp.357-363.
- [6] Jouko Vankka, Methods of Mapping from Phase to Sine Amplitude in Direct Digital Synthesizer, IEEE Transactions On Ultrasonics, Ferroelectrics, And Frequency Control, VOL44, NO. 2, Mar. 1997
- [7] Jouko Vanjja and Mikko Waltari and Marko Kosunen and Kari A.I.Halonen, A Direct Digital Synthesizer with an On-Chip D/A -Converter, IEEE Journal Of Solid-State Circuits, VOL 33, NO. 2, February 1998
- [8] Osicom Technologics Inc. Technical Staff, Direct Dlgital Frequency Synthesizer

저자소개

김기래 (Girae Kim)



1986. 2 서강대학교 전자공학과 (학사),
 1988.2 서강대학교 대학원 전자공학과(공학석사),
 1998. 2 경남 대학교 대학원 전자공학과 (공학박사),
 1988-1993 : 삼성전자(주) 정보통신 연구소 선임 연구원, 1993.3-1999.2 마산대학 정보통신과 조교수,
 1999.3-현재 신라대학교 전자공학과 부교수,
 2002. 7-2003. 7 미국 UCLA, 해외 방문 연구교수 (한국과학재단 지원)
 * 관심분야: 마이크로파 회로, MMIC 패키징 해석, ISM 무선 데이터 통신, RFID 시스템

최영규(Young-Kyu Choi)



중앙대학교 전자공학과(학사)
 1989. (일)교토대학교 대학원 전자공학과 (공학석사)
 1992. (일)교토대학교 대학원 전자공학과 (공학박사), (일) 후쿠이대학교 전자공학과 조교수,
 현재 신라대학교 전자공학과 부교수
 * 관심분야: 초고속 광통신 시스템, 광 변복조 시스템 광도파관 해석