
Gain-boosting 전하펌프를 이용한 저잡음 위상고정루프

최영식* · 한대현**

A Low Noise Phase Locked Loop with Gain-boosting Charge Pump

Young-Shig Choi* · Dae-Hyun Han**

요 약

본 논문에서는 gain-boosting 회로를 이용하여 전류 미스매치를 줄일 수 있는 전하펌프와 전압제어 저항기를 사용하여 선형성이 우수한 래치 구조의 전압제어발진기를 제안하여 위상고정루프를 설계하였다. Gain-boosting 전하펌프를 사용한 위상고정루프는 루프필터 출력 전압 구간에서 $11\mu V$ (최대 $43\mu V$, 최소 $32\mu V$)의 전압 흔들림 차이를 나타내었다. 전압제어저항기를 이용한 전압제어발진기는 입력전압 동작 구간에서 우수한 선형성을 나타내었다. 또한 제작된 전압제어발진기의 위상 잡음 특성은 $-108\text{dBc}/\text{Hz}@100\text{kHz}$ 이며 CMOS 공정으로 만들어진 LC 전압제어발진기와 비슷한 성능을 가진다. $0.35\mu\text{m}$ CMOS 공정으로 시뮬레이션 하였으며 록킹 시간은 $150\mu\text{s}$ 이다.

ABSTRACT

In this paper, a gain-boosting charge pump(CP) and a latch type voltage controlled oscillator(VCO) with voltage controlled resistor(VCR) were proposed. The gain-boosting CP achieves good current matching of less than $11\mu V$ voltage difference between $43\mu V$ and $32\mu V$ in its output range from 0.8V to 2.3V. The VCO with VCR shows good linear characteristics over the range from 1V to 3V. The fabricated VCO exhibits $-108\text{dBc}/\text{Hz}$ phase noise at a 100kHz and is comparable to that of the integrated LC-tank oscillator. The phase locked loop(PLL) with new circuits was simulated in a $0.35\mu\text{m}$ CMOS process and showed $150\mu\text{s}$ locking time.

키워드

Gain-boosting charge pump, Voltage controlled resistor, PLL

1. 서 론

위상고정루프는 다른 회로와 함께 쉽게 CMOS 공정으로 집적화가 가능하다는 장점과 고속 동작 가능하다는 장점으로 주파수 합성기와 같은 응용분

야에 널리 사용되어지고 있다[1][2]. 위상고정루프의 구성은 그림 1과 같이 위상/주파수 검출기(Phase/Frequency Detector, PFD), 전하펌프(Charge Pump), 루프필터(Loop Filter), 전압제어발진기(Voltage Controlled Oscillator, VCO)

* 부경대학교 전자컴퓨터정보통신공학부

접수일자 2005. 2. 28

** 동의대학교 전자공학과

그리고 분주기(Divider)로 크게 구성되며 출력은 PFD입력으로 귀환하는 구조를 가진다. 위상/주파수 검출기는 외부의 참조 클럭과 전압제어발진기의 출력 클럭을 비교해서 두 신호의 위상과 주파수에 따라서 디지털 신호인 Up, Down 신호의 폭을 결정하여 출력한다. 전하펌프는 위상/주파수 검출기의 출력신호를 전압제어발진기의 입력을 결정하는 루프필터에 전류신호를 전달한다. 루프 필터는 전류 신호를 전압 신호로 바꾸어 주며 높은 주파수 성분의 잡음을 제거한다. 전압제어발진기는 루프 필터의 출력인 전압에 따라 일정한 주파수 성분의 신호를 만들어 낸다. 기존의 전하펌프는 공급(sourcing)전류와 소멸(sinking)전류 사이에 전류 미스매치가 발생한다[1]. 일반적으로 CMOS 공정으로 만든 링 형태의 전압제어발진기는 루프 필터의 출력인 전압에 대한 비선형적인 특성과 높은 위상잡음을 보이고 있다. 이러한 전하펌프의 전류 미스매치 현상과 링 형태 전압제어발진기의 특성은 위상고정루프의 성능을 저하시킨다.

본 논문에서는 gain-boosting 회로를 응용하여 전류 미스매치를 줄일 수 있는 새로운 구조의 전하펌프를 제안하였다. Gain-boosting 회로가 포함된 전하펌프는 출력 임피던스가 크게 증가하여 전류 미스매치의 크기를 줄여 위상고정루프의 잡음 특성을 개선하였다. 또한 전압제어저항기를 사용하여 선형성이 우수하며 저 위상잡음 특성을 가진 래치 구조의 전압제어발진기도 제안하여 위상고정루프를 설계하였다.

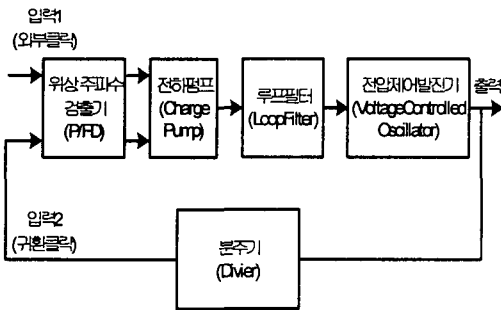


그림 1. 위상고정루프의 블록 다이어그램.
Fig. 1. Functional Block-Diagram of Phase-Locked Loop.

II. PLL 구조

2.1 전체 회로 설계

제안한 위상고정루프의 구조는 그림 1과 같고 루프필터는 2차이며 위상고정루프의 전송함수는

다음과 같다.

$$G(s) = \theta_o/\theta_i = K_d Z(s) K_{vco}/s \quad (1)$$

$$H(s) = 1/N \quad (2)$$

$G(s)$ 는 전방 루프 이득이고, K_{vco} 는 전압제어발진기의 이득이며 $Z(s)$ 는 루프필터의 임피던스이다. 그리고 $H(s)$ 는 제한루프의 이득이다. K_d 는 $I_{cp}/2\pi$ [amp/radian]이고, 이는 위상/주파수 검출기와 전하펌프의 이득을 합한 것이다. N 은 디바이더 인자로 제한루프의 이득이 된다. 따라서 $Z(s) = (1+s\tau_2)/s(C_1+C_2)(1+s\tau_1)$ 가 되며 $\tau_1 = (C_1 C_2 R_1)/(C_1 + C_2)$ 이고 $\tau_2 = C_1 R_1$ 이다. 이를 이용해서 위상고정루프의 개루프와 폐루프를 구할 수 있다.

$$F(s)_{open} = H(s)G(s) = K_d Z(s) K_{vco}/N_s \quad (3)$$

$$F(s)_{close} = G(s)/(1+H(s)G(s)) \quad (4)$$

위상고정루프 설계에 사용된 변수들을 나열해보면, 입력주파수는 20MHz, 전압제어발진기의 이득 값은 210MHz/V, 전하펌프의 이득 값은 $620\mu A/2\pi$ 분주기의 인자 N 은 64, R_1 은 1k Ω , C_1 은 30nF, 그리고 C_2 는 0.8nF이다.

2.2 회로 구현

위상/주파수 검출기와 분주기는 일반적인 TSPC 구조를 이용하여 구현하였다[3]. 전하 펌프에 도달하는 Up/Down 신호의 시간 차이를 최대한 줄이기 위하여 시간 조절 회로를 사용하였다[4]. 이 회로를 사용하여 록킹이 되었을 때 발생할 수 있는 시간차에 의한 전류 미스매치를 최대한 줄였다. CMOS 전하펌프는 PMOS 스위치를 이용한 Up 신호와 NMOS 스위치를 이용한 Down 신호를 통해 구성되진다. PMOS와 NMOS의 drain-source단의 전압차이에 의해서 발생하는 전류의 미스매치는 루프필터의 전압에 동요를 일으킨다. 전하펌프의 이러한 미스매치현상은 전압제어발진기의 입력 전압을 흔들게 되어, 위상고정루프 출력의 위상잡음을 가중시킨다. 연산증폭기를 사용하여 전류 미스매치를 줄인 전하펌프에 대한 연구도 있었지만, 연산 증폭기의 사용에 따른 전력 소모, 발진 가능성 및 넓은 면적이 요구되는 등의 문제점을 가지고 있다[5][6]. 본 논문에서는, gain-boosting 회로를 응용하여 새로운 형태의 전하펌프회로를 설계하였다. 연산증폭기를 이용한 경우와 비교할 때 적은 트랜지스터 개수와 면적의 이득이 있다. 그림 2는 gain-boosting의 개념과 소신호 등가모델을 나타내었다[7]. M2의 drain에서의 전압의 변화는 A

에 의해 조절되어서 r_{o1} 에 나타나는 전압을 덜 흔들리게 한다. 이런 작은 전압 변화는 r_{o1} 을 통해 흐르는 전류를 더욱 일정하게 유지하여 높은 출력 임피던스를 가지게 한다. Gain-boosting 회로의 출력 임피던스는 다음과 같다.

$$R_{out} \approx A_1 g_{m2} r_{o2} r_{o1} \quad (5)$$

결론적으로, M_2 의 위쪽으로 부가적인 연결 없이 R_{out} 을 증폭시킬 수 있다. Gain-boosting 회로는 낮은 공급전압에 적합하다. 하나의 트랜지스터를 증폭기로 하여 설계한 회로가 그림 3이다

Gain-boosting 회로를 이용한 새로운 전하펌프는 출력 저항을 증가시켜 channel length modulation 현상에 따른 전류 변화의 차이를 줄여준다. 그림 4는 제안한 전하펌프이며, MP_3 와 MN_3 는 단일 트랜지스터 증폭기 역할을 하며 MP_4 와 MN_4 는 단일 트랜지스터 증폭기의 전류원으로 동작한다. MN_1 과 MP_1 의 출력저항은 r_{o1} 으로 동작한다. DN 신호가 활성화 되면, MN_1 과 함께 MN_2 와 MN_3 가 gain-boosting 회로로 동작한다. 전하펌프의 출력 임피던스가 높아지므로 결국 전류 매칭 특성이 좋아진다. 식 (1)에 의하면 PMOS와 NMOS의 다른 출력저항과 트랜스컨덕턴스의 값에 의해 출력 저항 값이 달라져 전류 미스매치 현상이 심화될 수 있다. 따라서 PMOS와 NMOS의 출력 저항 값이 같도록 식 (1)의 변수들을 설계하여야 한다. 그림 5는 출력전압을 0V에서 3.3V까지 변화 할 때의 Up/Down 전류를 나타낸 것이다. 전류 매칭이 이루어지는 영역은 0.8V에서 2.3V까지이다.

링 구조의 전압제어발진기는 CMOS 공정으로 단일 칩으로 구현하기가 쉬워 많은 연구가 이루어져 왔다[8]. 본 논문에서는 전압을 전류로 선형적으로 변환시켜주는 하나의 전압제어저항기(VCR)와 3개의

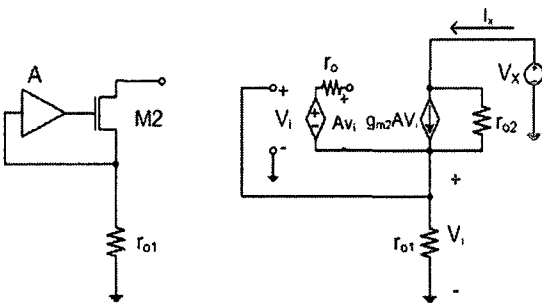


그림 2. Gain-boosting 회로 개념.
Fig. 2. Concept of gain-boosting circuit.

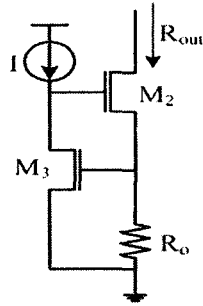


그림 3. Gain-boosting 회로.
Fig. 3. Gain-boosting circuit.

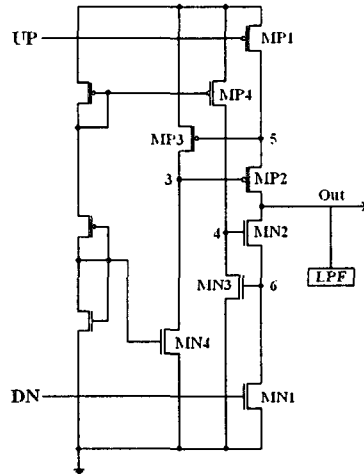


그림 4. Gain-boosting 회로를 적용한 전하펌프.
Fig. 4. Charge pump using gain-boosting circuit.

래치구조 지연 회로로 전압제어발진기가 구성되어 있다. 트랜지스터의 동작 시간을 줄여 위상 잡음을 줄이기 위해 발진기는 래치 구조로 설계 하였다 [8]. 래치 구조는 트랜지스터의 동작 시간도 줄임과 동시에 전압제어발진기의 동작 주파수도 감소시키므로

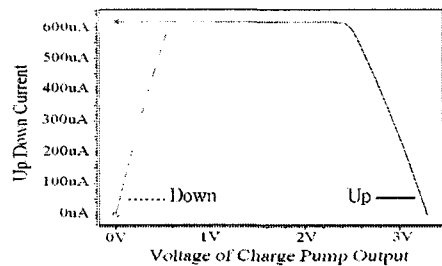


그림 5. Gain-boosting 전하펌프 전류특성
Fig. 5. Current characteristic of gain-boosting charge pump.

원하는 동작 주파수를 만들기 위해 3단으로 전압 제어발진기를 구현하였다. 그림 6에는 전압제어저항기와 래치구조의 지연 회로가 하나만 나타나있다. 전압제어저항기 회로는 입력 전압에 따라 선형적으로 변하는 전류를 생성하고 래치 구조의 발진기는 이 전류의 크기에 따라 일정한 주파수를 가지는 출력 신호를 발생한다. 그림 7은 입력전압에 따른 발진주파수의 시뮬레이션 결과이다. VCO의 이득 값은 210MHz/V로 설계했다. 전압제어발진기의 출력 주파수는 입력 전압이 1V에서 3V까지 변할 때 1.05GHz에서 1.55GHz까지 선형적으로 변한다. 이 전압제어기는 0.35 μ m CMOS 공정을 사용하여 칩으로 구현하였으며 그림 8에 측정결과가 나타나있다. 1.305GHz의 출력 주파수에서100kHz 떨어진 곳의 위상 잡음의 크기는 -108dBc/Hz이다. 이 결과는 CMOS 공정으로 만들어진 LC 발진기와 비슷한 성능을 보여주고 있다.

III. 시뮬레이션 결과

본 논문에서 제안된 새로운 구조의 전하펌프와 전압제어발진기를 사용하여 설계하였다. 제안한

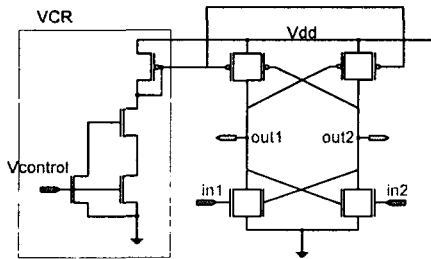


그림 6. 전압제어 발진기.
Fig. 6. Voltage Controlled Oscillator.

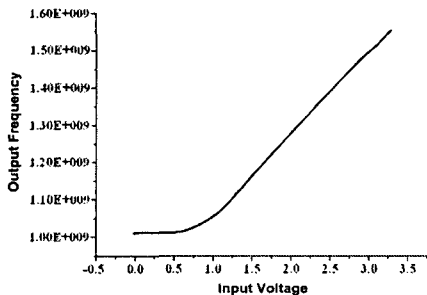


그림 7. 전압제어 발진기의 특성곡선.
Fig. 7. Characteristic of voltage controlled oscillator.

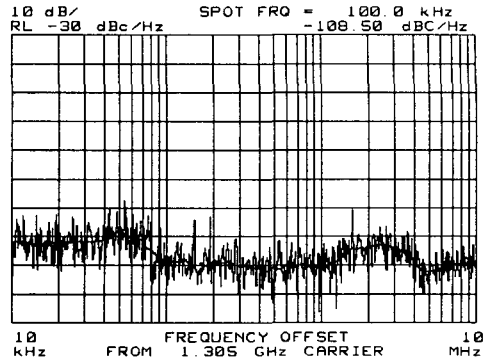


그림 8. 전압제어발진기의 위상잡음 측정결과.
Fig. 8. Measurement result of phase-noise in VCO.

gain-boosting 전하펌프의 의해 spur의 크기가 크게 감소한 것을 확인할 수 있었다. 전하펌프의 전류 미스매치 때문에 루프필터의 전압에 흔들림이 일어나고, 이 흔들림의 크기가 spur의 크기를 결정한다.

그림 9는 위상고정루프회로 전체를 구성하여 시뮬레이션 한 결과에서 루프필터 전압의 흔들림을 나타낸 그림이다. 0.8V에서 2.3V 구간에서 전압은 최소 32 μ V에서 최대 43 μ V로 움직이며, 이 구간에서의 전압 차이는 11 μ V이다.

이는 전하펌프의 매우 좋은 전류 정합 특성을 보여주는 것이다. 전류 미스매치 현상에 의해 발생하는 기준 주파수에 대한 상대적인 spur의 크기를 계산하는 식은 다음과 같다[9].

$$\beta \approx AmKvco/2fref \tag{5}$$

식 (5)에서 Am은 흔들림 전압의 최고치, Kvco는 전압제어발진기의 이득 값이고 fref는 위상고정루프의 입력 주파수이다. 식 (5)을 사용하여 spur의 크기를 예측하면 최소 -75.6dBc, 최대 -72.5dBc이다.

이 결과는 연산증폭기를 사용한 [6]의 결과와 비슷하다. 간단한 gain-boosting 회로를 응용한 전하펌프는 연산증폭기 사용에 따른 전력 소모, 발진 가능성 및 넓은 면적이 요구되는 등의 문제점을 해결하였다. 그림 10은 위상고정루프의 시간특성을 나타내었다. Locking 시간은 대략 150us가 걸린다.

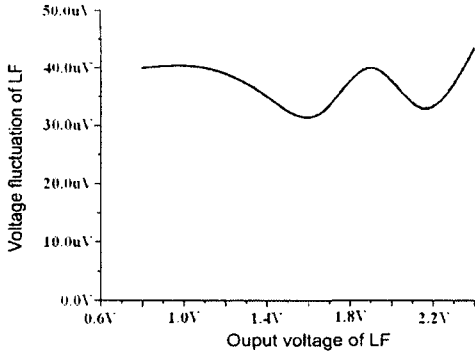


그림 9. 루프필터의 전압 흔들림.
Fig. 9. Voltage fluctuation in loop filter.

IV. 결론

본 논문에서는 연산증폭기를 사용하지 않고 간단한 회로의 gain-boosting 회로를 이용하여 전류 미스매치를 줄일 수 있는 새로운 구조의 전하펌프를 제안하였다. 또한 전압제어저항기를 사용하여 선형성이 우수한 래치 구조의 전압제어발생기도 제안하여 위상고정루프를 설계하였다.

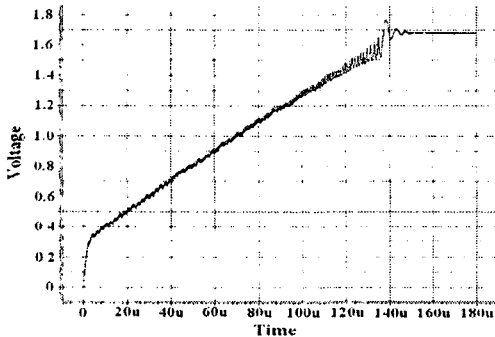


그림 10. 위상고정루프의 록킹시간.
Fig. 10. Locking time of PLL.

전하펌프 출력 전압 0.8V-2.3V 구간에서 전류 미스매치에 의한 전압의 흔들림 차이는 11 μ V(최대 43 μ V, 최소 32 μ V)이며, 이는 제안한 gain-boosting 전하펌프의 우수한 특성을 보여준다. 이로 인해 발생하는 spur의 크기는 최소 -75.6dBc, 최대 -72.5dBc이다. 전압제어저항기를 이용한 전압제어발진기는 입력전압 구간(1V-3V)에서 우수한 선형성을 보여주고 있다. 제작된 전압제어발진기의

출력 주파수에서 100kHz 떨어진 곳의 위상 잡음의 크기는 -108dBc/Hz이며 CMOS 공정으로 만들어진 LC 발진기와 비슷한 성능이다. 0.35 μ m CMOS 공정으로 시뮬레이션 하였으며 록킹 시간은 150 μ s이다. 본 연구의 전압제어발진기가 공급 전압 잡음에 민감하므로 공급 전압 잡음에 강한 구조에 대한 연구가 필요하다.

참고문헌

- [1] Hee-Tae Ahn, David J. Allstot, 'A Low Jitter 1.9-V CMOS PLL for UltraSPARC Microprocessor Applications', IEEE J. Solid-State Circuits, 2000, Mar., Vol. 35, pp. 450-454.
- [2] Ilya I. Novof, John Austin, Ram Kellar, Don Strayer and Steve Wyatt, 'Fully Integrated CMOS Phase-Locked Loop with 15 to 240MHz Locking Range and ± 50 ps Jitter', IEEE J. Solid-State Circuits, 1995, Nov., Vol. 30, pp. 1259-1266.
- [3] Won-Hyo Lee, Jun-Dong Cho and Sung-Dae Lee, 'A high speed and low power phase-frequency detector and charge-pump', Design Automation Conference, 1999. Proceedings of the ASP-DAC '99. Asia and South Pacific, 18-21 Jan. 1999, pp. 269 - 272 vol.1
- [4] Bram De Muer and Michel S. J. Steyaert, 'A CMOS Monolithic $\Delta\Sigma$ -Controlled Fractional-N Frequency Synthesizer for DCS-1800', IEEE J. Solid-State Circuits, 2002, Jul., Vol. 37, pp. 835-844.
- [5] Ian A. Young, 'A PLL clock generator with 5 to 110 MHz of clock range microprocessors', IEEE J. Solid-State Circuits, 1992, Nov., Vol. 27, pp. 1599-1607.
- [6] Jae-Shin Lee, Min-Sun Keel, Shin-II Lim and Suki Kim, 'Charge pump with perfect current matching characteristics in phase-locked loops', Electronics Letters, 2000, Nov, Vol. 36, pp. 1907-1908.
- [7] Behzad Razavi, Design of Analog CMOS Integrated Circuits. International Edition : McGraw-Hill 2001.
- [8] Chan-Hong Park and B. Kim, 'A Low-No

ise, 900-MHz VCO in a 0.6- μm CMOS', IEEE J. Solid-State Circuits, 1999, May, Vol. 34, pp. 586-591.

- [9] Tai-Cheng Lee and Behzad Razavi.: 'A Stabilization technique for Phase-Locked Frequency Synthesizers', IEEE J. Solid State Circuits, June 2003, vol. 38, NO. 6, pp. 888-894.



한대현(Dae-Hyun Han)

1986년 8월 경북대학교 전자공학과 졸업(공학사)
1990년 2월 포항공과대학교 전자전기공학과 졸업(공학석사)
1996년 8월 포항공과대학교 전자전기공학과 졸업(공학박사)
1999년 3월 ~ 현재 동의대학교 전자공학과조교수

저자소개



최영식(Young-Shig Choi)

1982년 2월 경북대학교 전자공학과 (공학사)
1986년 12월 Texas A&M Univ. 전기공학과(공학석사)
1993년 5월 아리조나 주립대 전기공학과(공학박사)
1987년 ~ 1999년 현대전자 시스템 IC 연구소
1993년 3월 ~ 2003 동의대학교 전자공학과
2003년 3월 ~ 현재 부경대학교 전자공학과