
래치구조의 드라이브 증폭단을 이용한 2단 전력 증폭기

최영식* · 최혁환*

A Two-Stage Power Amplifier with a Latch-Structured Pre-Amplifier

Young-Shig Choi* · Heyk-Hwan Choi*

이 논문은 한국과학재단 학술 연구비의(R05-2003-000-11610-0) 지원을 받아 연구되었음

요 약

본 논문에서는 블루투스 Class-1에 응용 가능한 중심주파수 2.4GHz의 2단 Class E 전력 증폭기를 설계하였다. 전력 증폭기는 고효율 특성을 위해 소프트-스위칭을 하는 Class E로 설계하였다. 증폭기가 포함된 래치-구조의 구동증폭기는 다음단의 전력 증폭기를 소프트-스위칭 모드로 동작시키기 위해 빠른 상승시간과 하강시간의 출력신호를 만든다. 이 구조는 전력 증폭기의 효율특성을 개선시킨다. 제안한 전력 증폭기는 65.8%의 전력부가효율, 20dBm의 출력전력과 20dB의 전력이득을 나타낸다.

ABSTRACT

In this paper we have designed a two-stage Class E power amplifier operated at 2.4GHz for Class-1 Bluetooth application. The power amplifier employs class-E topology to exploit its soft-switching property for high efficiency. The latch-structured pre-amplifier with amplifiers makes its output signal as sharp as possible for soft switching of the next power amplifier. It improves the overall efficiency of the proposed power amplifier. It shows 65.8% PAE, 20dB power gain and 20dBm output power.

키워드

Bluetooth, CMOS, Class-E, High efficiency, Power amplifier.

1. 서 론

오늘날 정보화 사회가 발전하면서 고주파수를 이용한 이동통신 기술이 급속히 발전하고 있다. 따라서 정보화 사회의 통신 수단인 무선통신 기술에서 신호를 주고받는 기능을 하는 송수신 부품이 크게 부각되고 있다. 이들 고주파 부품은 통신 시스템의

성능을 좌우하며, 이동의 용이성을 위하여 집적화에 의한 소형화, 저가격화가 요구되고 있다[1]. 앞으로의 무선 통신 시장에서는 전체 시스템을 하나의 칩에 구현하는 것이 중요한 고려사항이기 때문에 대부분의 디지털 회로 설계에 이용되는 CMOS 기술을 RF/analog 회로의 설계에 이용하는 것은 당연한 흐름이다[1]. CMOS 공정기술은 다양한 기생

성분들에 의해 RF 응용에 낮은 성능을 보였지만 최근 공정기술의 발달로 인한 fT 및 f_{max} 를 향상시켜 RF 응용을 가능하게 하고 있다[2].

전력 증폭기는 단말기에서 기지국으로 신호를 전송하는데 필요한 전력을 공급하는 역할을 하며 전력을 가장 많이 소비하는 부품이다. 따라서 전력 증폭기의 효율을 높이는 일은 매우 중요하다. 특히 저전력 무선 통신 시스템인 Bluetooth에서의 전력증폭기는 낮은 공급 전압과 높은 효율, 소형화가 요구되어진다. 전력 증폭기의 중요한 특성은 출력전력, 선형성, 이득 및 효율로서 이 중에서 무선 통신 시스템에서 중요한 성능지수인 효율을 증대시키기 연구가 많이 진행되어 왔다[3][4].

본 논문은 전력증폭기의 높은 효율특성을 만족시키기 위해서 구동증폭기-전력증폭기 2단구조의 전력증폭기를 설계하였다. 새로운 구조의 구동증폭기는 증폭기가 포함된 래치구조로 형성되어 구동증폭기 출력전압의 상승시간과 하강시간을 줄여 전력증폭기의 전력소모를 최소화하여 효율특성을 개선하였다. 제안한 전력증폭기는 $0.25\mu m$ CMOS 공정을 이용하여 2V 공급전압에서 동작하도록 설계하였으며, ADS를 이용하여 그 결과를 비교, 분석하였다.

II. 본 론

1. Class E 전력증폭기의 동작 특성

스위칭 모드 전력증폭기는 출력단에서 전압과 전류의 오버랩 구간이 없는 이상적인 스위칭 모드로 동작하기 때문에 이론적으로 100%의 전력부가효율을 가진다. 그림 1은 일반적인 Class E 전력증폭기 구조이다.

$L1$ 은 RF choke(RFC) 또는 유한한 DC-feed 인덕턴스로 동작한다[5]. $jxLx$ 의 공진기는 동작주파수에 해당하는 중심주파수 신호만을 사인파 신호형태로 부하저항에 전달한다. 전력증폭기가 그림 2에서와 같이 소프트 스위칭 모드의 Class E 전력증폭기로 동작하기 위해서는 $C1$ 과 $jxLx$ 를 다음과 같은 조건을 만족하도록 설계하여야 한다[6].

- (1) 스위치가 Turn-Off 될 때 스위치양단에 걸리는 전압은 낮게 유지되어야 한다.
- (2) 스위치가 Turn-On 되기 전에 스위치양단에 걸리는 전압은 zero를 유지해야한다.
- (3) 스위치가 Turn-On 되기 전에 스위치양단에 걸리는 전압의 기울기는 zero여야 한다.

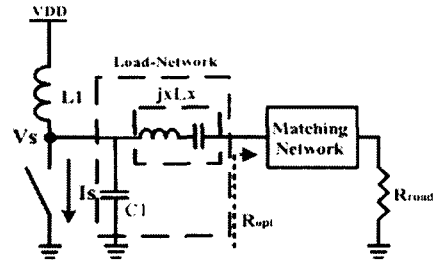


그림 1. Class E 전력증폭기의 회로도
Fig. 1. Schémic of a class-E power amplifier

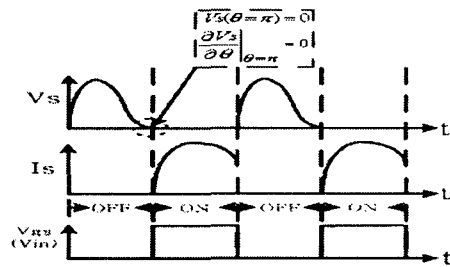


그림 2. 소프트 스위칭 방식의 Class E 전력증폭기 전압과 전류 파형

Fig 2. Voltage and current waveforms showing the soft switching characteristics in Class-E power amplifier

2. 제안한 Class E 전력증폭기

제안한 전력 증폭기의 회로를 그림 3에 나타내었다. 제안한 전력 증폭기는 구동 증폭기와 전력 증폭기의 2단 구조로 되어 있으며 구동 증폭기는 다음 단의 전력증폭기가 이상적인 스위칭 모드에 가깝게

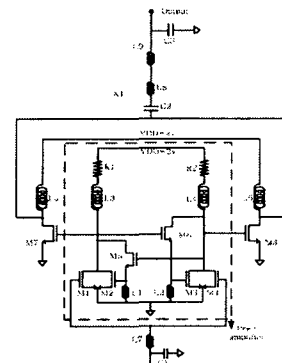


그림 3. 제안한 전력증폭기 회로도
Fig3. Complete schematic of the proposed power

동작할 수 있도록 구형파에 가까운 파형을 출력하게 된다. 제안한 구동 증폭기는 구동 증폭기의 출력 전압이 구형파에 가까운 파형을 출력시키면서 빠른 상승시간과 하강시간을 가지도록 하기 위해서 2가지 요소로 설계하였다. 첫째, M5와 M6을 이용하여 M1과 M4드레인단과 M2와 M3의 게이트를 연결하여 래치구조를 형성하였다. M2와 M3를 이용하여 래치구조의 positive-feedback을 형성하게 되면 M1과 M4의 드레인 전압 파형의 상승시간과 하강시간이 줄었다. 둘째, 입력신호를 받아 M1과 M4의 드레인단에서 증폭한 후 그 신호를 다시 받아 M5와 M6에서 다시 한 번 증폭하여 M1과 M4의 드레인 전압 파형의 상승시간과 하강시간을 더욱 줄인다. M5와 M6를 이용하면 구동 증폭기의 출력전압의 상승시간과 하강시간이 줄어들어 스위치가 유한한 스위칭 시간을 가지더라도 출력단에서 전압과 전류의 오버랩을 최소화하여 효율특성을 개선시킨다. 구동 증폭기는 AB급으로 설계하였고, M1~M6의 크기는 $210\mu\text{m}/0.25\mu\text{m}$ 이다. 구동 증폭기를 AB급으로 설계하였지만 트랜지스터의 크기를 작게 함으로써 구동 증폭기에서 소모되는 전력을 최소화하였다.

M5와 M6이 포함된 래치구조에서는 구동 증폭기의 드레인단의 전압이 전력 증폭기 입력단 NMOS의 V_t 보다 높은 전압에서 스위칭을 하게 되어 전력 증폭기를 스위칭 모드로 동작시킬 수 없다. 따라서 L1과 L2를 사용하여 구동 증폭기의 드레인단의 전류 패스를 만들어주어 구동 증폭기의 출력전압이 전력 증폭기 입력단 NMOS V_t 보다 낮은 전압에서 스위칭을 시작하도록 하였다.

전력 증폭기는 유도성 부하로 인해 드레인 전압이 공급전압의 2~3배가 된다. 이것은 항복전압에 가까운 전압이 되어 전력 증폭기의 신뢰성에 문제가 된다. 이것은 submicron CMOS공정을 이용한 전력 증폭기에서는 중요한 문제이다. 그리고 제안한 구동 증폭기는 positive-feedback의 래치구조를 형성하고 있기 때문에 발진의 가능성이 있다. 본 논문에서는 R1과 R2를 이용하여 M1과 M4의 드레인 전압을 항복전압보다 낮게 하였고 발진의 가능성을 감소시켰다. R1과 R2의 값이 작아질수록 R1과 R2에서 전압의 강하가 작게 일어나 M7과 M8의 게이트 전압이 상승하여 출력전력은 높아지나 뒷단의 전력 증폭기의 M7과 M8이 이상적인 스위칭 모드로 동작하지 않아 M7과 M8에서 전력 소모가 발생하여 효율이 떨어진다. 따라서 R1과 R2에서 소모되는 전력은 줄이면서 효율을 증가시키기 위해 R1과 R2는 50Ω 으로 하였다.

전력증폭기는 구동증폭기의 출력신호를 각각 입력받아 증폭한 후 단일 출력단으로 출력하게 된다.

병렬구조의 출력단을 사용하면 단일 출력단의 경우보다 높은 출력전력을 얻을 수 있다. 따라서 원하는 20dBm의 출력전력을 얻기 위해 M과 M8의 크기를 $1250\mu\text{m}$ 로 하여 트랜지스터에서 소모되는 전력소모를 최소화 하였다. 제안한 전력증폭기는 구동 증폭기가 공통입력을 받아 증폭한 후 병렬구조의 전력 증폭단으로 신호를 공급하는 구조이다. 공통입력구조는 입력 임피던스를 증가시켜 입력 매칭을 쉽게 할 수 있는 장점이 있다. 제안한 E급 전력 증폭기는 구동 증폭기의 출력신호를 받아 M7과 M8에서 증폭한 후 공통으로 출력하게 된다. X1은 중심주파수 2.4GHz에서 공진하는 공진기이다. X1(L8, C2)을 이용하여 중심 주파수 외에 하모닉 성분들과 같은 성분들을 최대한 제거하였다.

C1과 L7은 입력단 매칭 회로이다. 입력 매칭은 50Ω 에 매칭하였다. L9와 C3은 출력단 매칭 회로이다. E급 전력 증폭기에서는 원하는 출력을 얻기 위해서 R_{opt} 에 매칭을 하지만 그렇게 되면 출력전력 외에 이득, 효율, 주파수 특성 등이 감소하는 트레이드-오프 특성을 가진다. 따라서 본 연구에서는 E급 전력 증폭기의 효율특성을 개선하기 위해 50Ω 에 출력 매칭을 하였다. 50Ω 에 출력 매칭을 하여도 전력 증폭기의 자체 출력전력이 본 연구의 출력전력 특성인 20dBm을 만족하도록 전력 증폭기를 설계하였다.

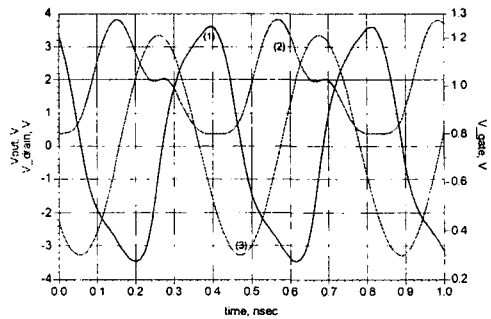


그림 4. 시뮬레이션 된 제안한 전력 증폭기의 전압 파형들 (1) M8의 게이트 전압 파형 (2) M8의 드레인 전압 파형 (3) 전력 증폭기의 출력 전압
Fig 4. Simulated voltage waveforms of proposed power amplifier. (1) Gate voltage of M8. (2) Drain voltage of M8. (3) Output voltage of power amplifier.

그림 4는 설계된 Class E 전력증폭기의 전압 파형이다. 그림 4에서 보면 전력증폭기의 게이트전압 (1)에 따라 전력증폭기가 스위칭모드로 동작하는 것을 전력증폭기의 드레인전압(2)에서 확인 할 수 있다.

3. CMOS RF 매크로 모델링

일반적인 CMOS의 등가회로는 DC 또는 저주파 용 디지털 회로를 위한 것으로 고주파 영역에서의 RF 모델링을 위해서는 CMOS의 등가회로와 함께 RF 영역에서의 무시할 수 없는 기생성분을 포함하는 매크로 모델링이 필수적이다.

본 논문에서도 제안한 전력 증폭기의 시뮬레이션에 CMOS RF 매크로 모델을 사용하였다. CMOS RF 매크로 모델은 BSIM3V3.1 Level 49 model를 기본으로 사용하였고 RF 주파수 대역에서의 게이트, 드레인, 그리고 기판에 기생성분인 저항과 커패시턴스를 추가하였다. 기본 단위 셀의 크기는 $3.5\mu\text{m}/0.25\mu\text{m}$ 이다. CMOS RF 매크로 모델을 그림 5에 나타내었다.

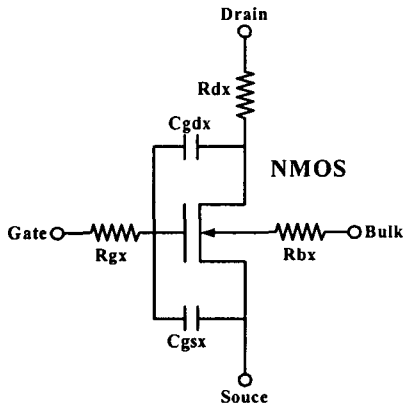


그림 5. CMOS RF 매크로 모델
Fig 5. CMOS RF Macro model

그림 5에서 R_{gx} 는 게이트저항, R_{bx} 는 벌크 저항, R_{dx} 는 드레인 저항, C_{gdx} 는 게이트-드레인 커패시턴스, 그리고 C_{gsx} 는 게이트-소스 커패시턴스이다. 표 1은 시뮬레이션에 사용된 CMOS RF 매크로 모델의 구성 성분의 값들을 나타내었다.

표 1. CMOS RF 매크로 모델의 구성성분 값
Table1. Components values of CMOS RF Macro model

W (μm)	R_{gx} (Ω)	R_{dx} (Ω)	R_{bx} (Ω)	C_{gdx} (fF)	C_{gsx} (fF)
210	9.914	3.743	3.743	13.411	13.411
1225	8.443	0.423	0.423	62.537	62.537

4. Spiral inductor 모델링

그림 1의 전력 증폭기에서 L1~L6은 CMOS RF

공정과 ASITIC을 이용하여 모델링을 하였다. 모델링에 사용된 spiral 인덕터의 등가회로와 레이아웃을 그림 6에 나타내었다.

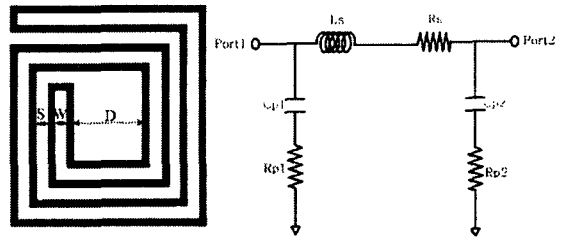


그림 6. Spiral 인덕터의 등가모델과 레이아웃
Fig 6. Spiral inductor equivalent model and Layout

그림 6에서 L_s 는 인덕터의 인덕턴스, R_s 는 인덕터의 저항, C_p 는 옥사이드 커패시턴스, R_p 는 기판 저항이다. 모델링에 사용된 메탈은 두께 $2.07\mu\text{m}$ 의 metal 5를 사용하였다. 표 2는 인덕터 모델링에 사용된 spiral 인덕터의 등가회로 성분 값들을 나타내었다. 모델링 된 spiral 인덕터는 turn 수는 2이며 8.54의 Q 값을 가진다.

표 2. Spiral 인덕터의 크기와 구성성분 값들
Table 2. Components values and sizes for a spiral inductor

D(μm)	S(μm)	W(μm)	Inductance	Q	Turn
360	13	12	3.02	8.54	2
Ls(nH)	Rs(Ω)	Cp1 (fF)	Cp2(fF)	Rp1 (Ω)	Rp2 (Ω)
2.97	3.49	115	112	297	292

III. 시뮬레이션 결과

그림 7~10까지의 시뮬레이션 결과는 인덕터 L1~L7를 표 2의 Spiral 인덕터 모델을 이용한 결과이다. 그림 7은 0dBm의 입력 전력을 인가했을 때 Bluetooth Class-1의 주파수 대역인 2.4GHz~2.48GHz까지의 드레인효율(DE)과 전력부가효율(PAE)을 나타내고 있다. 2.4GHz에서 2.5GHz까지의 주파수 대역에서 63%이상의 전력부가효율을 나타내고 있다. 설계된 전력 증폭기는 2.4GHz에서 PAE는 65.8%, DE는 66.4%을 나타내고 있다. 그림 8은 주파수에 따른 출력전력과 전력이득을 나타내고 있다. 2.4GHz에서 2.5GHz까지의 주파수 대역에서 출력 전력은 20dBm, 전력이득은 20dB의 특성을 나타내

고 있다. 전력 증폭기는 2.4GHz에서 20.4dBm의 출력전력과 20.5dB의 전력이득을 나타내고 있다.

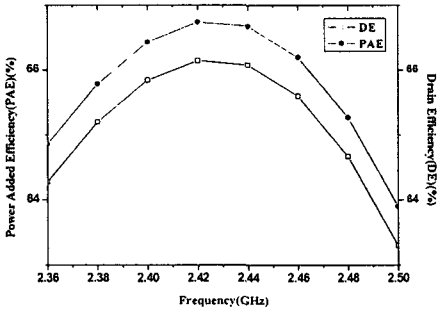


그림 7. 드레인효율과 전력부가효율
Fig 7. DE and PAE

그림 9는 입력전력에 따른 출력전력과 전력이득을 나타내고 있다. 출력전력은 -20dBm부터 -0dBm까지는 선형적으로 증가하나 -0dBm이상부터는 포화되고 있다. 전력이득은 -5dBm이상부터는 급격히 감소하는 것을 그림 9에서 볼 수 있다. 그림 10은 입력전력에 따른 전력부가효율과 드레인 효율을 나타내고 있다.

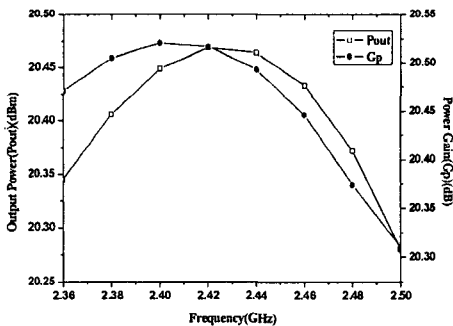


그림 8. 출력전력과 전력이득
Fig. 8 Output power and Power gain

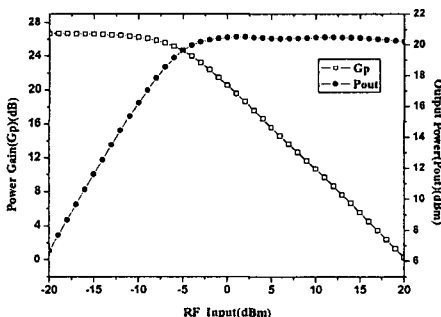


그림 9. 입력전력에 따른 출력전력과 전력이득

Fig 9. Output power and Power gain versus input power

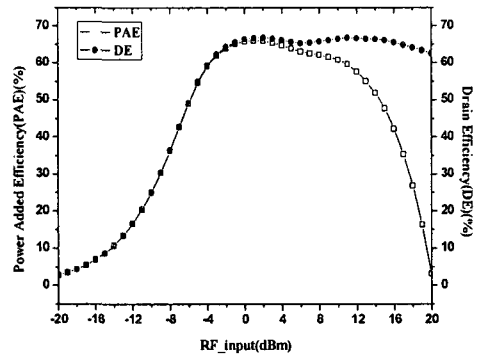


그림 10. 입력전력에 따른 드레인효율과 전력부가효율
Fig 10. DE and PAE versus input power

0dBm의 전력이 입력 되었을때 65.8%의 전력부가효율과 66.4%의 드레인효율 특성을 보이고 있다. 제안한 E급 전력 증폭기는 -4dBm에서 11dBm의 입력전력에서 60%이상의 전력부가효율 특성을 나타내고 있고 -6dBm이상의 입력전력에서는 50%이상의 전력부가효율 특성을 나타내고 있다. 제안한 전력 증폭기에서 L1~L6의 인덕터의 Q값이 100이상 일 때는 중심주파수 2.4GHz에서 83%의 PAE와 21dBm의 출력전력, 그리고 21dB의 전력이득 특성을 나타내고 있다. 표 3에서 L1~L6의 Q값이 100일 때, Bluetooth Class-1 주파수 대역에서 전력 증폭기 특성들을 나타내었다.

그림 11은 제안한 전력 증폭기의 레이아웃으로 0.25 μ m CMOS 공정으로 제작 중에 있다. 입출력 인덕터(L7~L9)와 커패시터는(C1~C3)는 칩에 포함되어 있지 않다. 모든 소자는 대칭이 되도록 배치하여 공정 변화에 영향을 받지 않도록 하였다.

표 3. L1~L6의 Q값이 100일 때 시뮬레이션 결과
Table 3. Simulation results with Q of L1~L6 value is 100

Frequency (GHz)	PAE (%)	DE (%)	Pout (dBm)	Gp (dB)
2.36	81.4	81.9	21.5	21.6
2.38	82.4	83.0	21.5	21.7
2.40	83.1	83.6	21.6	21.7
2.42	83.2	83.8	21.6	21.6
2.44	82.9	83.4	21.6	21.6
2.46	81.9	82.5	21.5	21.5
2.48	80.3	80.9	21.4	21.4

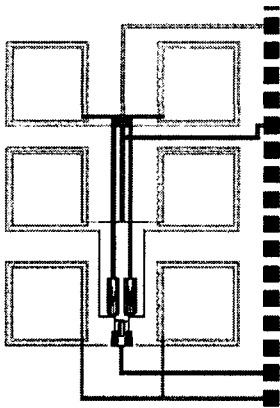


그림 11. 제안한 전력증폭기의 레이아웃

IV. 결 론

본 논문에서는 CMOS E급 RF 전력 증폭기를 설계하였다. 제안한 전력 증폭기는 구동 증폭기와 전력 증폭기의 2단 구조로 이루어져 있다. 제안한 구동 증폭기는 구동 증폭기의 출력전압이 구형파에 가까운 파형을 출력하도록 positive-feedback의 래치 구조와 증폭기를 사용하였다. 증폭기가 포함된 래치 구조의 구동 증폭기는 출력전압의 상승시간과 하강시간을 감소시켜 스위치가 유한한 스위칭 시간을 가지더라도 출력단에서 전압과 전류의 오버랩을 최소화하여 효율특성을 개선시켰다. 설계된 전력 증폭기의 신뢰성을 높이기 위해 인덕터는 ASI

TIC을 이용하여 모델링하여 사용하였다. 제안한 전력 증폭기는 ADS 회로 시뮬레이터를 사용하여 시뮬레이션하여 특성을 분석하였다 제안한 전력 증폭기는 2.4GHz(2.4GHz~2.48GHz)주파수 대역에서 Q값 100이상의 인덕터를 사용하면 80%이상의 전력 부가효율과 21dBm의 출력전력, 21dB의 전력이득 특성을 나타내었고, 8.54의 Q값을 가진 모델링 된 spiral 인덕터를 사용하면 65%이상의 전력부가효율과 20dBm의 출력전력, 20dB의 전력이득의 특성을 얻었다.

참 고 문 헌

[1] J. S. Goo, "High Frequency Noise in CMOS Low Noise Amplifiers", Ph.D. dissertation, Stanford Univ., Standford, CA, 2001.

2.5	78.1	78.7	21.3	21.3
-----	------	------	------	------

[2] T. Manku, "Microwave CMOS-Device Physics and Design," IEEE JSSC, vol. 34, pp. 277-285, no. 3, pp. 345-357, June 1998.

[3] James K. Cavers, "Amplifier Linearization by adaptive predistortion", United States Patent, No. 5,049,832, Sep. 1991.

[4] Ka-Wai Ho, Luong, H. C. "A 1-V CMOS power amplifier for Bluetooth applications", IEEE Circuits and Systems II, Vol. 50, pp. 445-449 Aug. 2003

[5] Zulinski, R. Steadman, J. "Class E Power Amplifiers and Frequency Multipliers with finite DC-Feed Inductance", IEEE Circuits and Systems, Vol. 34, pp. 1074-1087, Sep 1987.

[6] Sokal, N.O., Sokal, A.D. "Class E-A new class of high-efficiency tuned single-ended switching power amplifiers", IEEE JSSC vol. 10, pp. 168-176, Jun, 1975.

저자소개



최 영 식(Young-Shig Choi)

1982년 2월 경북대학교 전자공학과 (공학사)
 1986년 12월 Texas A&M Univ. 전기공학과(공학석사)
 1993년 5월 아리조나 주립대 전기 공학과(공학박사)
 1987년 ~ 1999년 현대전자 시스템 IC 연구소
 1993년 3월 ~ 2003 동의대학교 전자공학과
 2003년 3월 ~ 현재 부경대학교 전자공학과



최 혁 환(Heyk-Hwan Choi)

경북대학교 전자공학과(공학사)
 아리조나 주립대 전기공학과(공학석사)
 아리조나 주립대 전기공학과 (공학박사)
 1994년 ~ 현재 부경대학교 부교수 전자컴퓨터정보통신공학부
 ※관심분야 : RF집적회로 설계, 아날로그 IC 설계