

우수한 차단 특성을 갖는 ITS용 SIR 대역 통과 여파기

A Stepped Impedance Resonator Bandpass Filter with Superior Cut-off Response for ITS Application

남 희* 윤 태 순** 이 명 길** 이 증 철** 흥 의 석**
 (Hee Nam) (Tae-Soon Yun) (Myeong-Gil Lee) (Jong-Chul Lee) (Ui-Seok Hong)

요 약

본 논문에서는 상호 캐패시터 (Bypass coupling Capacitor)를 이용하여 Transmission Zero를 구현함으로써 우수한 차단 응답 특성을 보이며, 또한 IDC (Interdigital Capacitor)을 사용함으로써 더욱 향상된 고조파 특성을 갖는 대역 통과 여파기를 설계 및 구현하였다. 지능형 교통시스템에 사용되고 있는 5.85 GHz의 중심 주파수에서 3 %의 대역폭을 갖도록 설계된 SIR (Stepped Impedance Resonator) 대역 통과 여파기는 1.8 dB의 삽입 손실과 20 dB의 반사 손실 특성을 갖도록 설계되었으며, 제작된 대역 통과 여파기는 대역폭이 4.2 %로 1.9 dB의 삽입 손실과 15.4 dB의 반사 손실을 측정 결과에서 나타내었다.

Abstract

In this paper, a bandpass filter with excellent cut off characteristic due to transmission zero using bypass coupling capacitor and with superior harmonic characteristic by interdigital capacitor is suggested. The measurement results for SIR bandpass filter with bypass coupling capacitor and interdigital capacitor show that the insertion loss is less than 1.9 dB and the return loss is better than 15.4 dB with 4.2 % bandwidth at the center frequency of 5.78 GHz.

Key Words : Bandpass Filter, Microstrip Line, Transmission Zero, SIR, IDC, bypass coupling capacitor

I. 서 론

현재 마이크로스트립 구조를 이용한 초고주파 여파기에 대한 연구는 빠른 발전을 거듭하여 왔다. 링 공진기, 헤어핀 공진기 등과 같은 다양한 구조의 공진기를 이용하는 여파기가 연구되는 한편, 여파기의 입, 출력 부분을 tapped line을 사용하여 입, 출력 부분의 인버터를 대체하여 보다 큰 결합 계수를 구현하는 여파기에 대한 연구도 진행되어 왔다[1]. 이러한 수많은 마이크로스트립 구조의 여

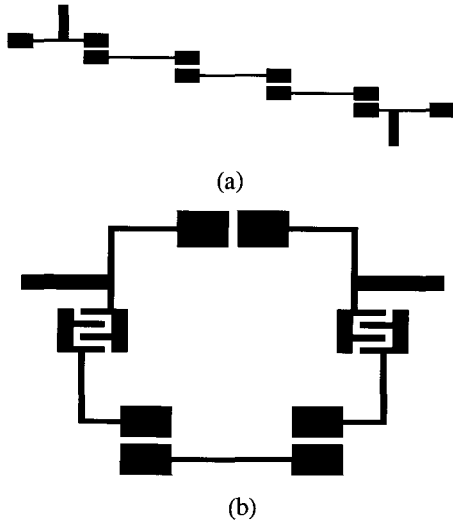
파기 중에서 계단 임피던스 공진기(SIR)를 이용한 마이크로스트립 대역 통과 여파기는 설계하기가 쉽고 고조파 특성이 우수하며, 임피던스 비에 따라 크기를 줄일 수 있어 스테르를 사용한 여파기보다 적은 공간을 차지한다는 장점을 갖고 있으나, 이러한 여파기는 근사치를 가지고 있기 때문에 전기적 성능이 그리 좋지 않아 차단 응답 특성(Cutoff)이 완만하다는 단점을 갖고 있다[2,3]. 또한 Butterworth나 Chebyshev 특성을 갖는 필터는 완만한 주파수 응답을 보이므로 좋은 응답 특성을 얻기 위해서는

* 주저자 : 광운대학교 전파공학과
 ** 공저자 : 광운대학교 전파공학과
 † 논문접수일 : 2005년 10월 12일

여파기의 차수가 높아져야 한다. 이는 여파기의 크기를 크게 할 뿐만 아니라 삽입 손실을 증가 시킨다.

본 논문은 이러한 단점을 극복하기 위해 상호 캐패시터(Bypass coupling Capacitor)를 이용함으로써 우수한 차단 응답 특성을 갖고 있으며, 또한 IDC(Interdigital Capacitor)를 사용함으로써 더욱 향상된 고조파 특성을 갖는 대역 통과 여파기를 ITS 응용대역 (5.8 GHz)에서 설계하였다.

<그림 1>에서는 본 논문에서 제안하고 있는 계단 임피던스 공진기(SIR)를 이용한 대역 통과 여파기와 일반적인 계단 임피던스 공진기(SIR)를 이용한 대역 통과 여파기의 구조와 함께 나타내었다.



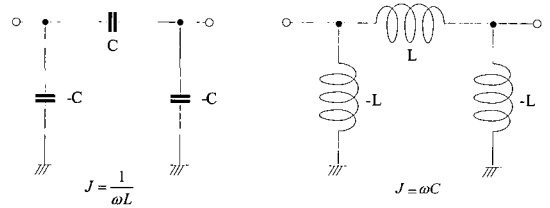
<그림 1> (a) 일반적인 구조의 계단 임피던스 공진기를 이용한 대역 통과 여파기 (b) 상호 캐패시터와 IDC를 사용한 계단 임피던스 공진기를 이용한 대역 통과 여파기의 구조

<Fig 1> (a) General Stepped Impedance Resonator BPF (b) Stepped Impedance Resonator BPF with bypass coupling capacitor and IDC

II. 구조 및 설계

전송 선로의 구조를 갖는 가장 일반적인 대역 통과 여파기는 용량성 갭 결합 반파장 공진기로 구

현하는 대역 통과 여파기이다. 갭 결합 여파기는 반파장의 전기적 길이를 갖는 공진기와 공진기 사이의 갭으로 표현되는 J-인버터로 구성된다. J-인버터는 π 형의 회로 구조로 구성되며 직,병렬 구조의 회로 임피던스를 다른 구조의 회로 임피던스로 변환해 주는 역할을 한다[1].



<그림 2> J 인버터의 구조
<Fig 2> Structure of J Inverter

갭 결합 여파기에서 공진기 사이의 갭은 등가적으로 정전 용량을 나타내어 J-인버터를 구현한 것이라 할 수 있다.

본 논문에서는 Chebyshev 저역 통과 여파기를 기본형으로 기본적인 병렬 결합 마이크로스트립 대역 통과 여파기를 설계하였다. 이러한 기본형을 토대로 일반적인 SIR을 이용한 대역 통과 여파기를 해석함으로써 그에 대한 결과 값을 SIR 협대역 대역 통과 여파기에 적용하여 설계하였다.

다음은 50Ω 의 임피던스를 갖는 병렬 결합 마이크로스트립 대역 통과 여파기의 각 공진기 사이의 결합 계수를 통한 even 및 odd 모드 임피던스를 구하는 식이다[3].

$$\begin{aligned} (Z_{oe})_{j,j+1} &= \frac{1}{Y_0} \left[1 + \frac{J_{j,j+1}}{Y_0} + \left(\frac{J_{j,j+1}}{Y_0} \right)^2 \right] \\ (Z_{oo})_{j,j+1} &= \frac{1}{Y_0} \left[1 - \frac{J_{j,j+1}}{Y_0} + \left(\frac{J_{j,j+1}}{Y_0} \right)^2 \right] \end{aligned} \quad (1)$$

식 (1)에서 나타난 파라미터는 다음 식에서 정의 된다.

$$\frac{J_{01}}{Y_0} = \sqrt{\frac{\pi FBW}{2 g_0 g_1}}$$

$$\frac{J_{j,j+1}}{Y_0} = \frac{\pi FBW}{2} \frac{1}{\sqrt{g_j g_{j+1}}} \quad (2)$$

$$\frac{J_{n,n+1}}{Y_0} = \sqrt{\frac{\pi FBW}{2 g_n g_{n+1}}}$$

여기서 FBW는 대역폭, Ji는 인버터, gi는 Chebyshev 여파기의 기본형을 나타낸다.

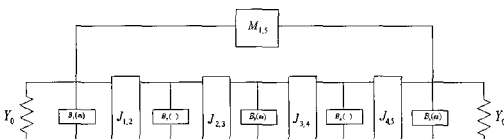
식 (1)을 통하여 각 공진기 사이의 우수 (even) 및 기수 (odd) 모드 임피던스를 얻을 수 있고, 우수 및 기수 모드 임피던스를 통하여 각 공진기 사이의 결합 계수를 구할 수 있게 된다. 0.1 dB의 리플을 갖는 Chebyshev 기본형의 SIR을 이용한 대역 통과 여파기를 3 %의 대역폭을 갖도록 설계하였을 때, 각 공진기 사이의 even 및 odd 모드 임피던스와 J-인버터는 다음 표와 같다.

<표 1> SIR을 이용한 대역 통과 여파기의 중요 파라미터

<Table 1> Major parameters for the SIR BPF

	Reso1,2	Reso2,3	Reso3,4	Reso4,5
Ze(jj+1)	224.71 Ω	164.51 Ω	164.51 Ω	224.71 Ω
Zo(jj+1)	81.21 Ω	55.13 Ω	55.13 Ω	81.21 Ω
J(jj+1)	0.0287	0.0219	0.0219	0.0287

본 논문은 위의 <표 1>의 파라미터를 이용하여 3 % 대역폭을 갖는 기본형 SIR 대역 통과 여파기를 설계하였으며, 차단 응답 특성을 위해 상호 캐패시터를 이용하였다.



<그림 3> 상호 캐패시터를 사용한 SIR 대역 통과 여파기의 개요도

<Fig 3> Schematic for the SIR BPF with bypass coupling capacitor

본 논문에서는 차단 응답 특성을 위해 상호 캐패시터를 사용하였으며, <그림 3>은 본 논문에서 제시하고 있는 대역 통과 여파기의 개요도이다. 이러한 상호 캐패시터는 다음의 식 3에 의해 구할 수 있다[4].

$$M_{15} = \frac{FBW \cdot J_1}{g_1} \quad (3)$$

식 (3)에 의해 구해진 상호 캐패시터를 이용함으로써 Transmission-Zero를 구현 할 수 있으며 상호 캐패시터의 크기에 따라 Transmission-Zero의 위치가 결정된다[4].

<그림 1>의 입, 출력 tapped line으로 구현하기 위해서 첫 번째 공진기의 external quality, Qc값을 구한다. 이론적인 Qc값은 대역폭의 함수로써 다음과 같이 주어진다.

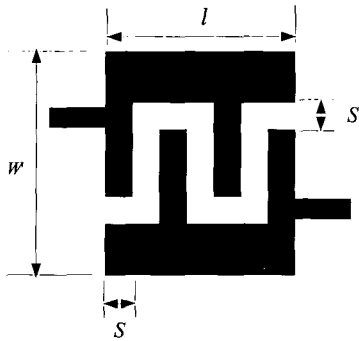
$$Q_{e1} = \frac{g_0 g_1}{FBW} = Q_{en} = \frac{g_n g_{n+1}}{FBW} \quad (4)$$

식 (4)에서 FBW는 대역폭을 나타내는 것으로 본 논문에서는 3%의 대역폭을 갖도록 Qc값이 38.23으로 계산되었다.

여파기에서 tapped line을 이용할 때, Qc값은 tapped line의 위치에 의해 결정되며 모의 실험을 통해 위치를 결정하였다.

일반적인 SIR을 이용할 경우 3% 대역폭을 갖는 여파기를 구현할 때 인버터 J12와 J45의 값으로 인해 첫 번째 공진기와 두 번째 공진기 간의 간격이 아주 작게 되어 구현이 불가능해진다. 이러한 점을 극복하기 위해 본 논문에서는 IDC (Interdigital Capacitor)를 사용하였으며, 이로 인해 SIR을 이용한 여파기의 구조상 장점인 고조파 특성을 더욱 향상 시키는 장점을 갖는다.[5]

IDC는 finger의 수와 간격에 의해 정전 용량이 결정된다.



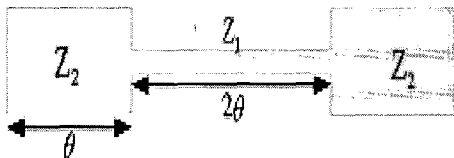
<그림 4> IDC(Interdigital Capacitor)의 구조
<Fig 4> Structure of the IDC

<그림 4>는 IDC의 구조이며, 다음의 식 5를 이용하여 IDC의 정전용량을 구할 수 있다[6].

$$C = \frac{\epsilon_r + 1}{W} [(N - 3)A_1 + A_2] \quad (5)$$

여기서 ϵ_r 은 기판의 유전율이며, A_1 과 A_2 는 finger의 캐패시턴스로 A_1 은 $8.86 \times 10^{-6} \text{ pF}/\mu\text{m}$, A_2 는 $9.92 \times 10^{-6} \text{ pF}/\mu\text{m}$, N 은 finger의 수 그리고 W 와 l 은 각각 <그림 4>에서 나타내고 있는 길이이다[7].

SIR 대역 통과 여파기는 SIR(Stepped Impedance Resonator)을 이용한 여파기이며, SIR의 구조는 <그림 5>와 같다.



<그림 5> 기본적인 SIR의 구조
<Fig 5> Basic SIR Structure

SIR은 Z_2 와 Z_1 의 서로 다른 임피던스를 갖는 공진기로서 Z_1 과 Z_2 의 비에 의해 공진기의 전기적 길이가 짧아지게 된다.

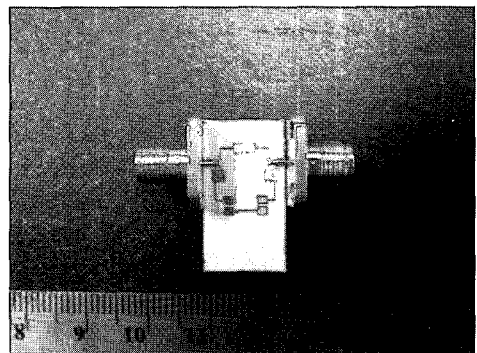
다음의 식 (6)은 이 SIR구조의 특성을 표현하는 어드미턴스 식이다.

$$Y = jY_2 \frac{2(1+k) \cdot (k - \tan^2 \theta) \tan \theta}{k \cdot 2(1+k+k^2) \tan^2 \theta + k \tan^4 \theta} \quad (6)$$

여기서 Y 는 어드미턴스, k 는 Z_1 과 Z_2 의 임피던스 비이며, θ 는 선로의 전기적 길이이다. 이때 공진 조건은 Y 가 0일 때이다.

본 논문에서 제안하고 있는 대역 통과 여파기는 일반적인 SIR을 이용한 대역 통과 여파기에 상호 캐패시터와 IDC(Interdigital Capacitor)를 이용하여 차단 응답 특성이 뛰어나며 고조파 특성 또한 향상 시킨 협대역 대역 통과 여파기이다.

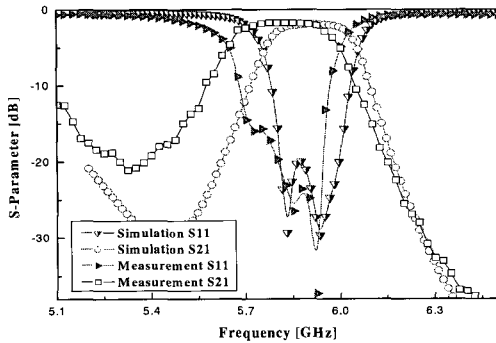
본 논문에서는 3%의 대역폭을 갖는 리플 0.1dB의 5단 Chebyshev SIR을 이용한 지능형 교통 시스템용 협대역 대역 통과 여파기를 설계하였다. 설계 결과 중심 주파수가 5.85 GHz, 삽입손실은 1.8 dB, 반사 손실은 20 dB의 특성을 나타내었다. 이러한 결과를 바탕으로 기판의 두께는 0.635 mm이며 유전율 10.2인 Duroid 기판에 제작한 협대역 대역 통과 여파기는 <그림 6>과 같다.



<그림 6> 실제 제작된 SIR 대역 통과 여파기
<Fig 6> Photograph of the SIR BPF

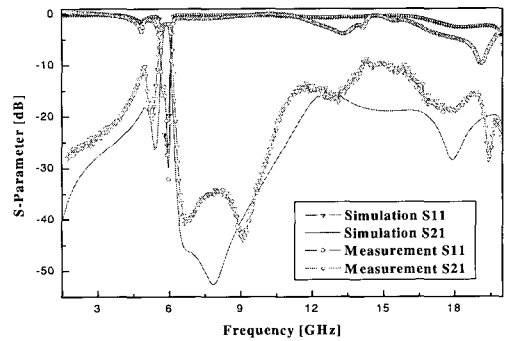
<그림 6>과 같이 제작된 SIR 대역 통과 여파기의 설계 결과와 측정 결과를 <그림 7>에 표시 하였다. (a)는 5.4 GHz에서 6.3 GHz까지 통과 대역의 특성을 보여주며 (b)는 1 GHz에서 20 GHz까지 저지대역 특성을 보여주고 있다.

Duroid 기판에 제작, 측정된 IDC를 이용한 SIR 대역 통과 여파기의 중심 주파수는 설계 주파



(a) 협대역 특성

(a) Narrow band characteristic



(b) 저지대역 특성

(b) Stop band characteristic

<그림 7> SIR 대역 통과 여파기의 측정 결과

<Fig 7> Measurement result for the SIR BPF

수인 5.85 GHz에서 5.78 GHz로 다소 낮아졌으며 3 dB 대역폭은 3%에서 4.2%로 다소 증가하였고, 반사 손실은 15.4 dB로 증가하였으나, 삽입 손실은 1.9 dB로 거의 일치하였다.

III. 결 론

본 논문에서는 일반적인 SIR을 이용한 대역 통과 여파기의 고조파 특성을 더욱 향상 시키고 뛰어난 차단 응답 특성을 갖는 협대역 대역 통과 여파기를 설계, 제작하였다.

지능형 교통시스템에 사용되고 있는 5.85 GHz의 중심 주파수에서 3%의 대역폭을 갖도록 설계된 SIR 대역 통과 여파기는 1.8 dB의 삽입 손실과 20 dB의 반사 손실 특성을 나타내었다. 그러나 제작된 대역 통과 여파기는 대역폭이 4.2%로 설계치보다 다소 증가하였으며, 측정된 여파기는 1.9 dB의 삽입 손실과 15.4 dB의 반사 손실 값을 나타내었다.

제작상의 마진으로 설계 값과 다소 오차는 발생하였으나, 뛰어난 고조파 특성과 차단 응답 특성을 얻을 수 있는 IDC를 이용한 SIR 대역 통과 여파기는 ITS 대역 통신 시스템에 응용 가능하리라 기대한다.

IV. 감사의 글

본 연구는 2004년도 광운대학교 교내 학술연구비 지원 및 정보통신부 대학 IT연구센터 지원사업의 연구결과로 수행되었음 (IITA-2005- (C1090-0502-0034))

참 고 문 헌

- [1] G. L Matthaei, L. Young and E. M. T. Jones, *Microwave Filters, Impedance-Matching Networks, and Coupling Structures*, Artech House, 1980.
- [2] D. M. Pozar, *Microwave Engineering*, Addison Wesley, 1990.
- [3] M. Makimoto and R. Yanashita, *Microwave Resonator and Filters for Wireless Communication*, Springer, 2001.
- [4] R. Levy, "Filters with Single Transmission Zeros at Real or Imaginary Frequency," *IEEE Trans. Microwave Theory Tech.*, vol. MTT-24, pp. 172-181, April 1976.
- [5] J. T. Kuo and E. Shih, "Microstrip Stepped Impedance Resonator Bandpass Filter With an Extended Optimal Rejection Bandwidth," *IEEE Trans. Microwave Theory Tech.*, vol.

51, pp. 1554-1559, May 2003.

[6] R. Mongia, I. Bahl, and P. Bhartia, RF and Microwave Coupled-Line Circuits, Artech House, 1999.

[7] G. D. Alley, "Interdigital Capacitors and

Their Application to Lumped-Element Microwave Integrated Circuits," *IEEE Trans. Microwave Theory Tech*, vol. MTT-18, pp. 1,028-1,033, Dec. 1970.

〈저자 소개〉



남 희 (Hee Nam)

2003년 2월 : 순천향대학교 정보통신공학과 (공학사)

2004년 8월 ~ 현재 : 광운대학교 전파공학과 석사과정



윤 태 순 (Tae Soon Yun)

2000년 2월 : 국민대학교 전자공학과 (공학사)

2002년 2월 : 광운대학교 전파공학과 (공학석사)

2002년 3월 ~ 현재 : 광운대학교 전파공학과 박사과정



이 명 길 (Myoung Gil Lee)

2004년 2월 : 수원대학교 전자공학과 (공학사)

2006년 2월 : 광운대학교 전파공학과 (공학석사)



이 중 철 (Jong Chul Lee)

1983년 2월 : 한양대학교 전자공학과 (공학사)

1985년 2월 : 한양대학교 전자공학과 (공학석사)

1989년 12월 : Arizona State Univ. EE Dept. (공학석사)

1994년 5월 : Texas A&M Univ. EE Dept. (공학박사)

1994년 6월 ~ 1996년 2월 : 현대전자 광소자 개발실 (선임연구원)

1996년 3월 ~ 현재 : 광운대학교 전파공학과 전임강사/조교수/부교수



홍 의 석 (Ui-seok, Hong)

1968년 2월 : 광운대학교 전자통신공학과(공학사)

1973년 9월 : 연세대학교 전자공학과(공학석사)

1982년 11월 : 독일 Aachen 공대 전자공학과(공학박사)

1986년 ~ 1987년 : 미국 Univ. of Texas 객원교수

2001년 1월 ~ 2001년 12월 : 한국통신학회 회장

2002년 5월 ~ 2003년 12월 : 한국ITS학회 초대회장

1992년 ~ 현재 : 광운대학교 전파공학과 교수