

논문 2005-42TC-1-5

BWA 시스템에서 적응형 버스트 프로파일링을 위한 MAC과 PHY 계층 간 인터페이스의 VLSI 설계

(VLSI Design of Interface between MAC and PHY Layers for Adaptive
Burst Profiling in BWA System)

송 문 규*, 공 민 한**

(Moon Kyou Song and Min Han Kong)

요 약

고속 데이터 전송에 대한 요구가 높아질수록 고속 처리에 대한 요구가 증가하게 되고, 그 결과 통신 시스템에서 하드웨어 구현의 범위가 더 확장되고 있다. 본 논문에서 고려하는 802.16 표준을 기반으로 설계된 BWA 시스템에서는 전송할 MAC PDU를 생성하기 위해 필요한 정보를 생성하는 MAC 계층의 상위부는 소프트웨어에 의해 처리하고, 이 정보를 받아서 MAC PDU를 생성하는 단계부터 실제 전송이 이루어지는 모뎀은 하드웨어에 의해 구현한다. 본 논문에서는 MAC과 PHY 계층 간의 효율적인 메시지 전달을 수행하는 인터페이스 하드웨어를 설계한다. 이 회로는 전송수렴 부계층(transmission convergence sublayer; TC)을 포함한 다음의 기능을 수행한다. (1) MAC PDU(protocol data unit)와 TC PDU 간의 포맷팅, (2) RS 부호화 또는 복호화, (3) DL MAP과 UL MAP을 해석하여 전송 슬롯과 버스트 프로파일의 변조 기법에 맞추어 상향 링크와 하향 링크의 트래픽을 제어하고, 모뎀에 그 정보에 대한 제어 신호를 제공하는 기능을 수행한다. 이외에도 가입자국에는 경쟁 방식의 메시지 전송시 충돌을 피하기 위해 TBEB(truncated binary exponential backoff) 알고리즘을 수행하는 블록이 포함된다. 이상의 모든 기능들을 수행하는 VLSI 구조를 VHDL에 의해 구현 및 검증하였다.

Abstract

The range of hardware implementation increases in communication systems as high-speed processing is required for high data rate. In the broadband wireless access (BWA) system based on IEEE standard 802.16 the functions of higher part in the MAC layer to provide data needed for generating MAC PDU are implemented in software, and the tasks from formatting MAC PDUs by using those data to transmitting the messages in a modem are implemented in hardware. In this paper, the interface hardware for efficient message exchange between MAC and PHY layers in the BWA system is designed. The hardware performs the following functions including those of the transmission convergence(TC) sublayer; (1) formatting TC PDU(protocol data unit) from/to MAC PDU, (2) Reed-Solomon(RS) encoding/decoding, and (3) resolving DL MAP and UL MAP, so that it controls transmission slot and uplink and downlink traffic according to the modulation scheme of burst profile. Also, it provides various control signal for PHY modem. In addition, the truncated binary exponential backoff (TBEB) algorithm is implemented in a subscriber station to avoid collision on contention-based transmission of messages. The VLSI architecture performing all these functions is implemented and verified in VHDL.

Keywords : broadband wireless access, IEEE 802.16, transmission convergence sublayer

* 종신회원, 원광대학교 전기전자및정보공학부
(Department of Electrical, Electronic and
Information Engineering, Wonkwang University)
** 학생회원, 원광대학교 제어계측공학과
(Department of Control and Instrumentation
Engineering, Wonkwang University)
※ 본 연구는 정보통신부 대학 IT연구센터 육성, 지원
사업의 연구결과로 수행되었습니다.
접수일자: 2004년6월11일, 수정완료일: 2005년1월7일

I. 서 론

최근 인터넷의 활성화로 영상전화, 주문형 비디오 등 다양한 광대역 멀티미디어 데이터에 대한 전송 요구는 통신망의 고속화를 필수적으로 수반한다. 이러한 시대적 요구에 따라 휴대인터넷(WiBro)^[1] 및 IEEE 표준 802.16^[2]등의 표준이 진행중에 있다. 이들 표준의 완성

은 가정과 사무실을 전세계의 핵심 통신망에 연결시키기 위한 새로운 수단으로서 광대역 무선 접속(broad band wireless access; BWA) 기술의 전개를 예고하고 있다. 특히 휴대인터넷을 위한 국내 표준은 완성되었으며, 2006년 서비스 개시를 목표로 사업자 선정 등의 작업이 진행중이다.

IEEE 802.16은 다중 서비스를 제공하는 고정형 점대다점 BWA 시스템의 MAC 계층과 물리 계층을 포함한 무선 접속을 규정하고 있다. 이 기술은 중앙 무선 기지국과 통신하는 외부의 안테나를 통해 한 건물에 네트워크 접속을 제공하며, 궁극적으로는 각 개인 사용자에게 직접적으로 Wireless MAN 네트워킹 프로토콜을 확장하게 될 것이다. 또한 고정 사용자 뿐 아니라 현재 수요가 증가하고 있는 이동 사용자들을 지원하도록 802.20에서 MBWA(mobile BWA)의 표준화 작업을 진행하고 있다.

BWA 시스템에서 기지국으로부터 가정 수신기로의 연결과 가정 수신기에서 컴퓨터 단말기로의 연결은 보통 서로 다른 물리 계층을 사용한다. 그럼에도 BWA의 MAC 계층은 완전한 QoS(quality of service)를 지원할 수 있어야 하며, 이를 위해 주파수 대역과 관련 규제에 따른 다중의 물리 계층 규격을 공통적인 MAC 프로토콜로 지원할 수 있는 무선접속의 형태로 설계되어야 한다. BWA의 MAC 프로토콜은 경쟁 방식으로 이루어지는 가입자국들의 대역폭 요청을 기반으로 기지국에서 대역폭을 할당해주는 중앙 집중형 방식을 사용한다. 이 방식은 분산 제어 방식에 비해 무선 채널에서 다양한 QoS를 요구하는 멀티미디어 서비스에 보다 더 적합하며, 기지국에서 필요에 따라 서비스 정책을 효율적으로 적용할 수 있는 장점이 있다. 이러한 BWA 시스템에서 기지국은 셀 내에 위치하는 다수의 가입자국을 통제하게 되며, 결국 점대다점 통신이 이루어진다.

BWA 시스템에서 MAC과 PHY 계층 사이의 인터페이스는 전송 효율성의 관점에서 매우 중요하다^[3]. 변조 방식과 전송 속도, 코딩 기법 등은 버스트 프로파일에 의해 규정되며, 채널 환경과 거리 등 전파 여건에 따라서 각 가입자국으로의 각 버스트마다 적응적으로 조절될 수 있다. 즉, MAC은 양호한 링크 환경에서는 대역 효율적인 버스트 프로파일을 사용하지만, 원하는 링크의 품질을 제공하기 위해 효율이 다소 떨어지는 방법을 사용할 수도 있다.

BWA와 같이 고속 데이터의 전송을 요구하는 통신 장비의 설계에서 하드웨어 구현의 범위가 증대되고 있

으며, 이는 통신 프로토콜의 구현에 있어 효율적인 해결책을 제시하며^[4], Fujitsu Microelectronics^[5] 등에서 MAC 하드웨어를 포함하는 BWA 관련 칩셋을 개발하였다. 본 논문에서 고려하는 802.16 표준을 기반으로 설계된 BWA 시스템에서는 전송할 MAC PDU를 생성하기 위해 필요한 정보를 생성하는 MAC 계층의 상위부는 소프트웨어에 의해 처리하고, 이 정보를 받아서 MAC PDU를 생성하는 단계부터 실제 전송이 이루어지는 모뎀은 하드웨어에 의해 구현한다. 본 논문에서는 MAC 계층과 PHY 계층 간의 효율적인 메시지 전달을 수행하는 인터페이스 하드웨어를 설계한다. 이 회로는 전송수렴 부계층(transmission convergence sublayer; TC)을 포함한 다음의 기능을 수행한다. (1) MAC PDU (protocol data unit)와 TC PDU 간의 포맷팅, (2) RS 부호화 또는 복호화, (3) DL MAP과 UL MAP을 해석하고, 그에 따라서 전송 슬롯과 버스트 프로파일의 변조 기법에 맞추어 상향 링크와 하향 링크의 트래픽을 제어하고, 모뎀에 그 정보에 대한 제어 신호를 제공하는 기능을 수행한다. 이외에도 가입자국에는 경쟁 방식의 메시지 전송시 충돌을 피하기 위해 TEBE(truncated binary exponential backoff) 알고리즘을 수행하는 블록이 포함된다. 이상의 모든 기능들을 수행하는 VLSI 구조를 VHDL에 의해 구현 및 검증하였다.

II. BWA 시스템의 설계

이 절에서는 본 논문에서 대상으로 하는 IEEE 802.16을 기반으로 설계된 BWA 시스템의 사양과 기능을 설명한다.

BWA 시스템의 MAC 프로토콜은 상향 링크와 하향 링크에서 모두 고속 데이터율을 지원하며, 점대 다점 구조의 응용을 위해 설계된다. BWA MAC은 연결형으로서, 무연결형 서비스를 포함한 상위계층의 모든 서비스들은 하나의 연결(connection)에 할당되고, 각 연결은 16비트의 CID(connection identifier)에 의해 참조된다. 접속과 대역폭 할당 알고리즘은 채널당 수백 개의 단말기를 수용해야 하며, 각각의 단말기는 다수의 사용자가 공유한다. 최종 사용자의 요구 서비스는 매우 다양할 것이며, 이러한 서비스의 다양성을 지원하기 위해 MAC은 연속형 및 버스트형 트래픽을 보장된 QoS로써 수용해야 한다. 효율성을 위해 상향 링크의 대역폭은 가입자국의 요청에 의해 기지국이 할당한다. 하향 링크에서 기지국들로의 데이터들은 TDM의 형태로 다중화

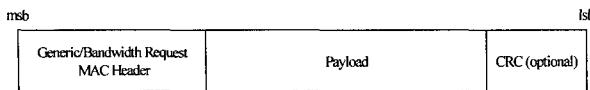


그림 1. MAC PDU 형식

Fig. 1. MAC PDU format.

		Type (6bits)		
HT (1bit)	EC (1bit)		Rsv. (1bit)	Length (3bits)
Rsv. (1bit)	Cl (1bit)	EKS (2bits)		
			Rsv. (1bit)	Length (3bits)
				Length (8bits)
				CID (8bits)
				CID (8bits)
				HCS (8bits)

(a)

		Type (6bits)		
HT (1bit)	EC (1bit)		Rsv. (1bit)	Length (3bits)
		BW Request (8bits)		
		BW Request (8bits)		
		CID (8bits)		
		CID (8bits)		
		HCS (8bits)		

(b)

그림 2. MAC 헤더의 종류 (a) 일반 헤더 (b) 대역폭 요청 헤더

Fig. 2. MAC header format (a) generic MAC header (b) bandwidth request header.

되며, 상향 링크는 기지국에 의해 TDMA의 형태로 공유된다.

MAC 계층은 유연성과 효율성을 최대화하기 위해 상위 계층으로부터 제공받은 MAC SDU를 분할 또는 통합 처리하여 MAC PDU를 만든다. 또한 시스템 접속, 대역폭 할당, 접속 설정과 유지 및 QoS 관리 등을 위한 기능을 수행하기 위한 MAC PDU를 만들어 PHY 계층에 제공한다.

1. MAC PDU 형식과 전송

MAC PDU는 기지국과 가입자국의 MAC 계층들 사이에 교환되는 데이터 단위로서 그림 1에 보인 것처럼 고정 길이의 MAC 헤더, 가변 길이의 페이로드 (payload), 그리고 선택적인 CRC로 구성된다.

MAC 헤더는 그림 2에 보인 바와 같이 정의되며, 일반 헤더와 대역폭 요청 헤더 등 2가지가 있다. 이들은

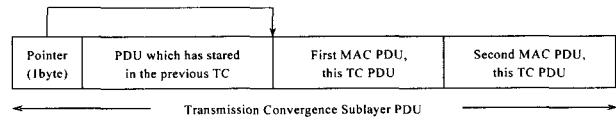


그림 3. TC PDU 형식

Fig. 3. TC PDU format.

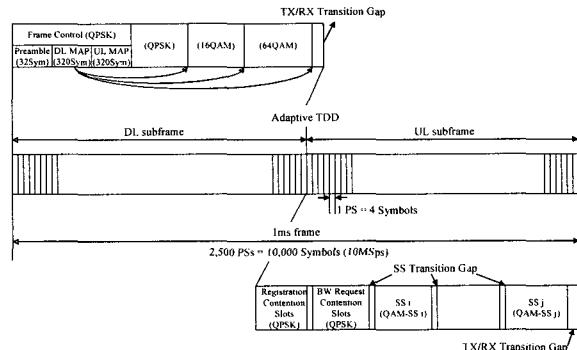


그림 4. PHY 프레임 구조

Fig. 4. PHY frame structure.

HT 필드에 의하여 구별된다. EC 필드는 암호화 사용 여부를 나타내며, type 필드는 일반 헤더 뒤에 삽입되는 MAC 부헤더의 형태를 나타낸다. MAC 부헤더에는 분할 부헤더, 통합 부헤더, 그리고 가입자국이 기지국에 대역폭 관리 요구를 전달하기 위해 사용하는 승인 관리 부헤더 등이 있다. Cl 필드는 CRC의 적용 여부, EKS 필드는 암호화 키 시퀀스를 나타낸다. Length 필드는 MAC PDU의 전체 길이를 나타내며, CID는 16비트 CID, HCS는 헤더 검사용 시퀀스를 나타낸다. 또한 대역폭 요청 헤더에 있는 BW req. 필드는 가입자국이 요청하는 상향 링크의 대역폭에 대한 바이트 수를 나타낸다.

페이로드가 없는 대역폭 요청 MAC PDU를 제외한 나머지의 경우 페이로드는 MAC 관리 메시지나 상위계층에서 제공받은 MAC 데이터 메시지로 구성된다.

2. 전송수렴 부계층

MAC과 PHY 계층 사이에 TC 부계층이 존재한다. 이 계층에서 가변 길이의 MAC PDU들을 분할 또는 결합하여, (96, 80) RS 부호화를 위해 80바이트의 고정된 길이의 메시지 블록들로 변환한다. 이렇게 형성된 TC PDU는 그림 3에 보인 것처럼 포인터 바이트로 시작되며, 이는 TC PDU내에 결합된 다음 MAC PDU 헤더의 시작 위치를 지시하도록 한다.

3. PHY 계층

TC PDU는 PHY 계층에서 변조하기 전에 GF(2^8) 상

Message Type (8bits = 0x02)		Frame Duration Code (8bits)	
Frame Number (23:8) (16bits)			
Frame Number (7:0) (16bits)		DCD Count (8bits)	
BaseStation ID (48bits = 6Bytes)			
Number of DL MAP IEs (16bits)			
DIUC (4bits)	Start PS (12bits)		
Start PS (4bits)	DIUC (4bits)	Start PS (8bits)	
Start PS (8bits)	DIUC (4bits)	Start PS (4bits)	Start PS (4bits)
Start PS (12bits)		DIUC (4bits)	
DIUC (4bits)	Start PS (12bits)		

(a)

Message Type (8bits = 0x03)		Up Link Channel ID (8bits)	
UCD Count (8bits)		Number of UL-MAP IEs (15:8) (8bits)	
Number of UL-MAP IEs (7:0) (8bits)		Allocation Start Time (31:24) (8bits)	
Allocation Start Time (23:8) (16 bits)			
Allocation Start Time (7:0) (8bits)			
CID (Broadcast) (16 bits)		UL-MAP IE 1	
ULC (4bits = 0x2)	Offset (12bits = 0x000)	UL-MAP IE 2	
ULC (4bits)	Offset (12bits)	UL-MAP IE 3	
ULC (4bits = 0x5)	Offset (12bits)		

(b)

그림 5. DL MAP과 UL MAP 메시지의 구성 (a) DL MAP
(b) UL MAPFig. 5. Format of DL MAP and UL MAP message (a)
DL MAP (b) UL MAP.

의 (96, 80) RS 부호화된다. 이후 PHY의 모뎀은 견고성과 효율성 간의 절충을 위해 각 가입자국에 대해서 변조 기법을 프레임 단위로 조절할 수 있는 적응형 버스트 프로파일을 사용한다. 변조기법은 QPSK, 16-QAM, 그리고 64-QAM 변조를 사용한다. 변조된 신호는 10Msps의 심볼율로 전송되며, 이는 QPSK의 경우 20Mbps, 16QAM의 경우 40Mbps, 64QAM의 경우 60Mbps의 전송율에 해당한다.

PHY 프레임은 그림 4에 보인 바와 같이 1ms의 길이를 가지며, 물리 슬롯(PS; physical slot)의 단위로 나누어진다. 하나의 물리 슬롯은 4개의 전송 심볼로 구성된다. 하나의 프레임은 프레임 제어부로 시작하는 하향 링크 부프레임과 그 이후에 오는 상향 링크 부프레임이 시간적으로 분할되는 TDD 구조를 사용한다. 하향 링크

는 기지국이 다수의 가입자국으로 전송하는 데이터가 TDM 방식으로 혼합되며, 상향 링크는 다수의 가입자국이 보내는 데이터가 TDMA 방식으로 공유된다. 이를 위해 가입자국들은 상향 링크에서 경쟁기반 접속과 예약기반 접속을 혼용한다.

프레임 제어부는 프리앰블, DL MAP, UL MAP 등으로 구성된다. 프리앰블은 프레임 동기를 위해 사용하는 32심볼 길이의 정해진 코드이며, DL MAP은 각각 하향 링크 부프레임의 TDM 구성 즉, 하향 링크에서 변조 방식의 전이 시점에 대한 정보를 제공해주는 MAC 관리 메시지이다. UL MAP은 각 가입자국에게 할당한 대역폭을 포함한 상향 링크의 TDMA 구성에 대한 정보를 제공해주는 MAC 관리 메시지이다. 그림 5에 DL MAP과 UL MAP 메시지의構성을 보인다. 이들은 message type 필드에 의하여 구분된다. DL MAP의 frame duration code 필드는 PHY 프레임의 길이를, frame number은 매 프레임마다 1씩 증가하는 값을 갖는다. DCD count 필드는 DCD(downlink channel descriptor; DCD) 메시지가 변하는 경우 1씩 증가되는 값으로 가입자국에서 빨리 DCD 메시지를 결정하기 위해 사용된다.

프레임 제어부에 포함된 정보는 특히 중요하므로 항상 견고성이 가장 우수한 QPSK 변조방식으로 전송된다. 나머지 하향 링크 부프레임과 상향 링크 부프레임은 견고성과 효율성의 절충을 통한 적응형 버스트 프로파일로써 전송된다. 다시 말해 근거리에 있거나 양호한 채널 상황 하에 있는 가입자국과의 통신은 비트오율 성능보다 전송 속도 면에서 효율적인 64QAM 변조를 사용할 것이며, 반대의 경우에는 성능에 주안점을 주기 위해 QPSK 변조로 전송해야 할 것이다. 이러한 버스트 프로파일의 전송 파라미터는 기지국이 결정하는 DL MAP과 UL MAP에 의해 정의된다.

III. BWA MAC과 PHY 계층 간 인터페이스부 설계

이 절에서는 기지국과 가입자국에서 각각 BWA MAC과 PHY 계층 간의 메시지 송수신을 효율적으로 수행하도록 설계된 인터페이스 하드웨어의 구조에 대하여 설명한다.

1. 기지국

본 논문에서 설계된 기지국의 인터페이스 하드웨어

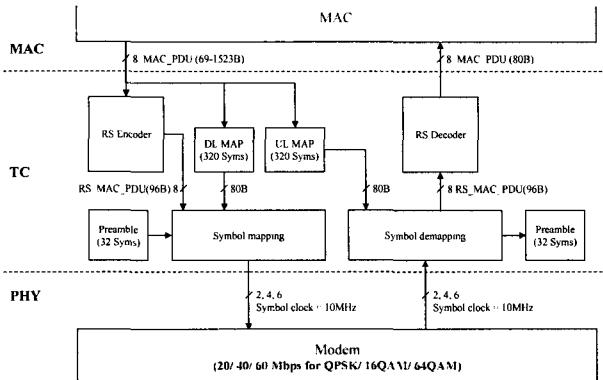


그림 6. 기지국 인터페이스부

Fig. 6. Interface Hardware of base station.

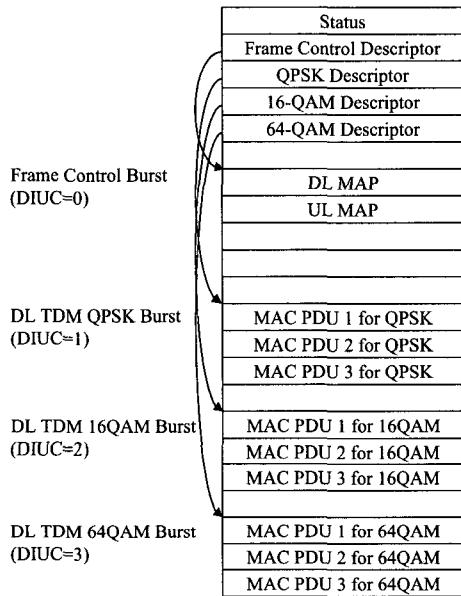


그림 7. 메모리 맵

Fig. 7. memory map.

는 그림 6에 보인 바와 같으며, 송신부와 수신부로 구성된다. 송신부는 하향 링크에서 각 가입자국들에 전송하고자 하는 MAC 메시지를 DL MAP에 계획된 대로 전송할 수 있도록 해준다. 수신부는 상향 링크에서 UL MAP에 의해 각 가입자국들에게 미리 할당된 슬롯 구간에서 각 가입자들이 전송한 메시지를 정해진 변조 방식으로 수신할 수 있도록 모뎀을 제어하고, 수신된 메시지를 상위 MAC 계층에 전달해준다.

상위 MAC 계층과 기지국 인터페이스 하드웨어 간의 메시지 교환은 설계된 보드 상의 512KB의 dual port RAM에 저장을 통해 이루어진다. 그림 7은 MAC 계층에서 전송을 위해 생성한 MAC 메시지를 인터페이스 하드웨어의 송신부에 전달하기 위한 메모리 맵을 보인 것이다. 인터페이스의 송신부에서는 메모리의 상태 바이트를 체크하여 갱신되었을 경우, 이후의 메모리에서

W1	W0	Status Byte	Data Length(15:8)
Data Length(7:0)		Buffer Pointer(23:16)	
Buffer Pointer(15:8)		Buffer Pointer(7:0)	

W1W0 = 00 continue
 W1W0 = 01 burst end (something left to send)
 W1W0 = 11 final end (nothing to send)

그림 8. 버스트 기술자의 구성

Fig. 8. Burst descriptor format.

MAC PDU 형성에 필요한 정보를 취득하게 된다. 그림 8은 메모리에 저장된 각각의 버스트에 대한 기술자의 구조를 보인 것이다. 버스트 기술자에서 첫 번째 바이트내에 있는 상위 2비트 W1과 W2는 전송 기법의 변화와 전송 버스트의 잔여 여부를 가리키기 위해 사용된다.

기지국 인터페이스의 송신부는 MAC 계층에서 필요한 정보를 받아서 MAC PDU의 형식으로 포맷팅하고, DL MAP에서 지정한 변조 방식과 시점에 따라서 지시된 전송속도로 변조 심볼을 출력한다. 이를 위해 MAC에서 제공한 MAC 메시지를 이용하여 TC PDU를 형성하고, 이를 RS 부호화한다. 또한 모뎀이 DL MAP에 의해 지시된 시점에 지정된 변조 방식으로 부호화된 데이터를 전송할 수 있도록 DL MAP을 해독하여 모뎀에 대한 제어신호를 제공한다. 이와 동시에 RS 부호화된 데이터를 DL MAP에서 지시하는대로 해당 변조 방식에 정합(즉, QPSK의 경우 2비트, 16QAM의 경우 4비트, 64QAM의 경우 6비트)되도록 IQ채널에 대한 심볼 매핑을 수행하고, 프리앰블을 부가하여 정해진 시점에 모뎀으로 전달한다.

이때 RS 부호화는 바이트 단위로 수행되지만, 부호화된 출력은 모뎀에서 변조 방식에 따라서 2비트, 4비트, 6비트 단위로 전송된다. 이와 같이 모뎀의 변조 방식에 따라서 데이터율이 달라지므로, 모뎀에서 전송 시점을 DL MAP의 지시와 동기시키기 위해 부호화된 데이터는 전송 전에 해당 변조 방식의 데이터 저장용 FIFO 버퍼에 저장해야 한다. 그러나 본 논문에서는 RS 부호기의 클럭을 데이터의 변조 방식에 따른 데이터율에 등가적으로 동기시켜서 전송 데이터율과 부호기의 출력 데이터율을 같게 함으로써 버퍼를 사용할 필요가 없다. 버퍼를 사용할 경우에는 버퍼로 인한 복잡성도 큰 문제이지만, 버퍼에 저장된 데이터의 출력 속도(즉, 전송 데이터율)보다 버퍼에 입력되는 데이터의 속도(부호기의 심볼 클럭)가 빠를 경우 데이터의 손실이 발생할 수 있다. 본 논문에서는 RS 부호기의 심볼 클럭을

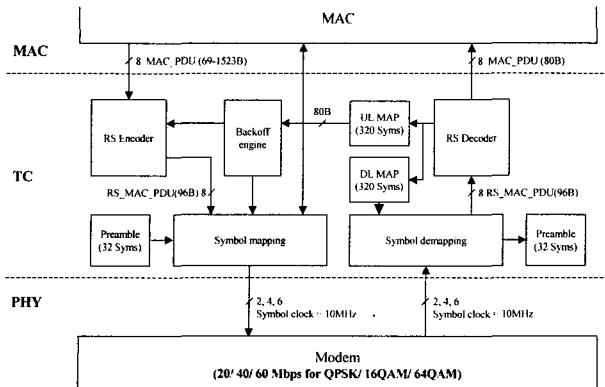


그림 9. 가입자국 인터페이스부

Fig. 9. Interface hardware of subscriber station.

전송 변조 방식에 따라 달라지는 데이터율과 동기가 되도록 설계함으로써 이러한 손실을 방지하도록 하였다.

기지국의 인터페이스의 수신부는 모뎀이 UL MAP이 지시하는 시점에 지정된 변조 방식으로 복조한 수신 데이터를 받아서 변조 방식에 따른 심볼 디매핑을 수행하여 바이트 단위의 부호 심볼을 형성하고 이를 RS 복호기에 입력한다. RS 복호기는 파이프라인 구조로 설계하고 각 단계마다 별도의 클럭을 사용하도록 설계하였다. 즉, RS 복호기의 입력 클럭은 UL MAP의 정보를 이용하여 실제 수신 복조되어 들어오는 심볼율과 동기가 되도록 하고, 출력 클럭은 MAC 계층과 전달이 용이한 정해진 고속 클럭을 사용하도록 한다. 이렇게 함으로써 모뎀에서 변조 방식에 따라서 서로 다른 데이터율로 제공되는 데이터를 베파를 사용하지 않고서 처리할 수 있게 하였다. RS 복호기에서 출력된 MAC PDU는 상위 MAC 계층에 전달하기 위해 보드 상에 구현된 dual port RAM의 정해진 영역에 저장한다. MAC 계층에서는 매 물리 프레임(1ms)마다 한 번씩 주기적으로 RAM의 지정 위치에 저장된 수신 MAC PDU들을 수집하도록 하였다.

2. 가입자국

본 논문에서 설계한 가입자국의 인터페이스 하드웨어의 구조는 그림 9에 보인다. 수신부는 기지국이 전송한 메시지를 수신하여 DL MAP을 해독하고, 자신에게 해당되는 메시지만을 선별하여 상위 MAC 계층에 전달하고, UL MAP을 해독하여 자신에 해당하는 제어 정보를 송신부에 제공하는 역할을 수행한다. 한편 송신부는 UL MAP의 해독 결과에 따라서 기지국이 본 가입자국에 할당한 전송 시점과 지정한 버스트 프로파일에 맞추어 메시지를 전송하는 역할을 한다.

가입자국 인터페이스의 송신부는 가입자국의 MAC 계층에서 전송하고자 하는 메시지가 있는지 확인하고, 있다면 전송에 필요한 정보를 받아서 MAC PDU의 형식으로 포맷팅하고, UL MAP에 의해 지정된 변조 방식과 시점에 지시된 전송율로 변조 심볼을 출력한다.

이를 위해 MAC에서 제공한 메시지를 이용하여 MAC PDU 및 TC PDU를 형성하고, 이를 RS 부호화 한다. RS 부호화된 데이터는 기지국에서 전송된 UL MAP의 해독 결과에 맞추어 해당 변조 방식에 정합(즉, QPSK의 경우 2비트, 16QAM의 경우 4비트, 64QAM의 경우 6비트)되도록 I/Q 채널에 대한 심볼 매핑을 수행하고, 프리앰블을 부가하여 정해진 시점에 모뎀으로 전달한다. RS 부호기는 기지국에서처럼 베파없이 변조 방식에 따라 달라지는 데이터율과 동기된 심볼 클럭을 사용하도록 설계된다.

가입자국에게 할당된 전송 구간은 해당 가입자국에만 전용으로 할당되는 대역폭 구간과 다른 가입자국과의 경쟁을 통해 전송해야 하는 경쟁 구간이 있다. 가입자국의 하드웨어는 경쟁 방식으로 전송하게 되는 대역 요청 메시지와 초기 레인저 요청 메시지를 전송하기 위해서 타 기지국 메시지와의 충돌을 피하기 위해 TBEB (truncated binary exponential backoff) 알고리즘을 적용한다.

그림 10은 본 논문에서 구현한 TBEB 알고리즘의 흐름도를 보인다. TBEB 알고리즘을 위해 먼저 초기 백오프 창(initial backoff window: IBW)과 최대 백오프 창(maximum backoff window: MBW)을 설정한다. 본 논문에서는 IBW=2, MBW=1,024로 하였다. 백오프 창의 크기는 2의 n 승($n = 0 \sim 10$)으로 표시되는데, 예를 들어 $n = 5$ 는 0부터 25-1까지의 32의 창 크기를 나타낸다. 가입자국이 전송할 데이터를 갖고 상향으로 초기 전송을 시도할 경우 현재 유효한 IBW의 값으로 백오프 창의 크기를 설정한 후 설정된 백오프 창 내에서 랜덤 숫자를 선택한다. 이 값은 가입자국이 실제로 전송하기 전에 지연해야 할 전송기회(transmission opportunity: TO)의 횟수를 나타낸다. 전송기회는 특정 가입자국이 하나의 경쟁 구간 메시지를 전송하기 위해 소요되는 미니슬롯의 집합으로 정의된다. 본 논문의 시스템에서 1 미니슬롯은 1 PS으로 구성된다. UL MAP에 의해 정의된 특정 구간과 관련된 전송기회의 수는 각 전송기회를 구성하는 미니슬롯의 수와 지정된 전송 영역의 전체 길이에 종속된다. 본 논문에서 경쟁 구간의 버스트는 프리앰블, 경쟁 구간 전송 메시지, 그리고 보호구간으로

구성된다. 경쟁 구간 전송 메시지의 크기는 96바이트로서 이 메시지는 QPSK 변조 방식으로 전송되므로 96 미니슬롯을 차지하고, 베스트의 프리앰블과 보호구간은 각각 36 심볼로서 8 미니슬롯에 해당한다. 결국 1 TO의 총 길이는 112 미니슬롯이다. 기지국이 초기 레인징 메시지의 전송 구간에 대하여 224 미니슬롯을 할당하였다고 가정하자. 이 경우 2번의 전송 기회가 존재한다. 만약 IBW가 $n = 2$ 이고, 3이 선택된 가입자의 경우 첫 번째 초기 레인징 영역의 2번의 전송 기회와 두 번째 초기 레인징 영역의 1번의 전송 기회를 기다린 후 초기 레인징 메시지를 전송하게 된다. 요청 메시지를 전송한 후 가입자국은 다음 UL MAP에서 데이터 전송 승인을 기다린다. 규정된 대기 만료 시간($T_{16} = 10$ 프레임)까지 승인을 얻지 못하면, 규정된 최대 백오프 창인 1,024이내에서 현재 백오프 창의 크기를 2배씩 증가시킨 후 이전의 백오프 과정을 반복하게 된다. 재전송 백오프 과정은 규정된 최대 재시도 횟수(maximum number of retry = 16)까지 반복될 수 있으며, 이 이후에도 전송이 실패한 경우 해당 PDU는 폐기되어야 한다.

설정된 백오프 창에서 전송할 TO를 선정하기 위한 랜덤 숫자의 선택을 위해 의사-랜덤(pseudo-random) 시퀀스 발생기를 이용하였다^[6]. 천이 레지스터의 길이는 n 값의 최대값인 10으로 하였다. 시퀀스 발생기의 초기화는 각 가입자국의 고유 ID(UCID)를 이용하며, 가입자국의 시스템 초기화와 동시에 수행된다. 따라서 랜덤

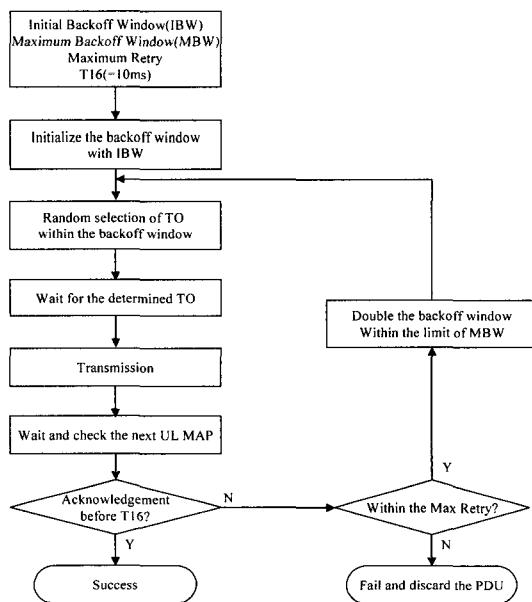


그림 10. TEBB 알고리즘의 흐름도
Fig. 10. Flowchart of TEBB algorithm.

숫자 발생기는 매 클럭(10MHz)마다 1 ~ 1023 값을 가지며, 102.3us마다 반복된다. 랜덤 숫자는 시퀀스 발생기의 레지스터에서 백오프 창의 크기에 맞추어 최하위 비트부터 n 비트를 선택함으로써 결정하였다.

IV. 회로합성 결과

기지국과 가입자국의 인터페이스 하드웨어는 VHDL을 이용하여 설계하였고, FPGA를 이용하여 검증하였다. FPGA는 Altera사의 APEX20K1000EBC652-1X를 사용하였고, 회로의 합성과 P&R을 위해서 Leonardo spectrum과 QuartusII 툴을 사용하였다.

회로의 합성 결과 기지국과 가입자국 인터페이스 하드웨어에 소요된 로직 셀과 메모리 비트는 표 1에 보인 바와 같다. 문헌 [7]에 의해서 로직 셀 당 12개이트, 메모리 비트당 4개이트로 환산하면, 기지국 인터페이스 하드웨어에는 197,744개이트, 가입자국 인터페이스 하드웨어에는 222,256 개이트가 소요됨을 알 수 있다. 10MHz의 심볼 클럭을 외부에서 제공하였으며, FPGA

표 1. 회로합성 결과

Table 1. Synthesis result.

구분	기지국 인터페이스부	가입자국 인터페이스부
로직 셀	9,652	8,964
메모리 비트	20,480	28,672

표 2. 물리 프레임

Table 2. PHY frame.

	메시지	슬롯 넘버
하향 링크	프리앰블	0 ~ 7
	DL MAP	8 ~ 43
	UL MAP	44 ~ 110
	QPSK	111 ~ 967
	16QAM	968 ~ 1111
	64QAM	1112 ~ 1175
송수신 캡		1176 ~ 1249
상향 링크	초기 레인징	1250 ~ 1649
	대역폭 할당	1650 ~ 2049
	QPSK	2050 ~ 2273
	16QAM	2274 ~ 2401
	64QAM	2402 ~ 2496
송수신 캡	Null(end of UL)	2497 ~ 2499

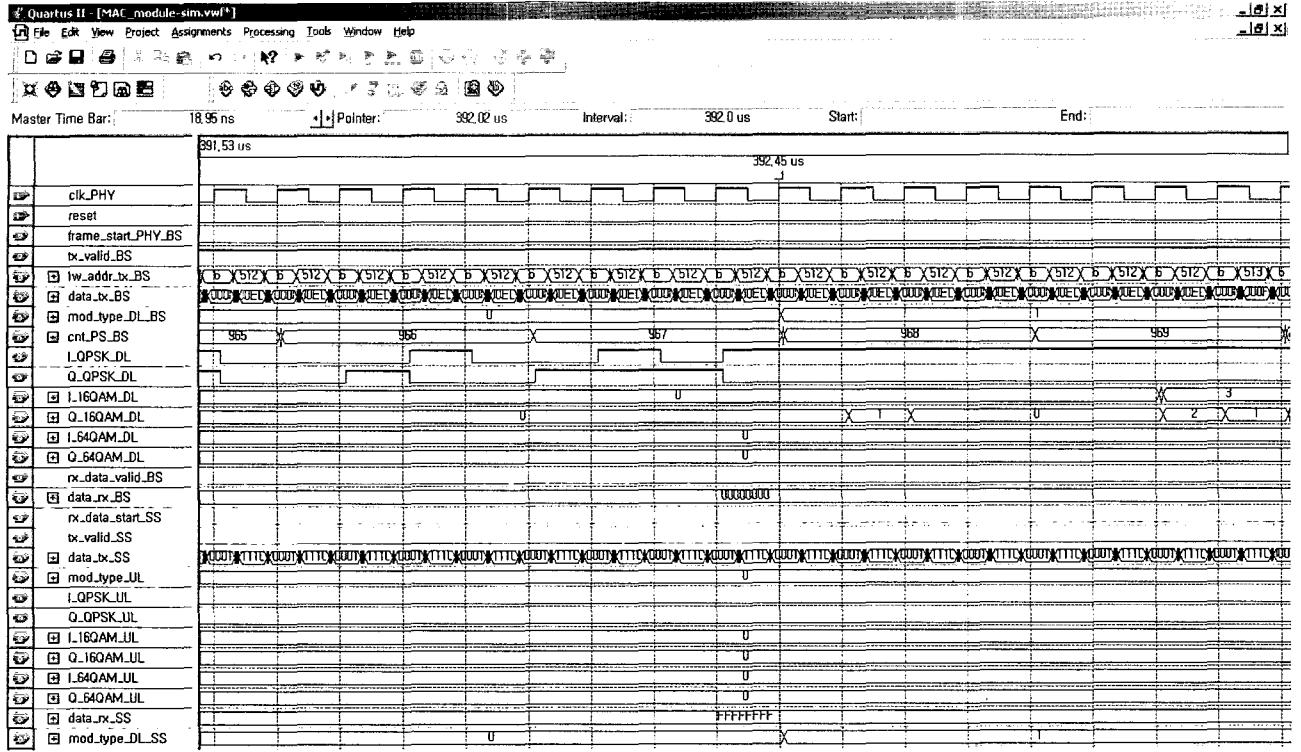


그림 11. 시뮬레이션 결과

Fig. 11. Simulation result.

에 내장된 PLL을 이용하여 RS 복호기에서 사용될 40MHz 클럭을 생성하여 사용하였다.

소프트웨어에 의해 구현되는 MAC 상위부에서 제공하는 DL MAP과 UL MAP을 포함한 MAC 메시지 정보를 저장한 dual port RAM을 회로의 검증을 위한 테스트 벤치로서 작성하였다. 이를 통하여 기지국 및 가입자국 인터페이스부가 DL MAP과 UL MAP을 해석하여 정해진 슬롯에서 트래픽을 제어하고 채널 심볼을 매핑함을 확인하였다. 테스트 벤치는 변조 방식과 가입자국의 대역폭 할당 등 다양한 경우의 메시지 전송을 가정하여 작성하였다. 표 2는 사용된 물리 프레임의 예를 보인 것이다. 표 2에 보인 하향 링크에서 DL MAP과 UL MAP을 포함한 QPSK 변조 데이터는 960 PSs, 16QAM 변조 데이터는 144PSs, 64QAM 변조 데이터는 64PSs를 할당하였다. 상향 링크는 400 미니 슬롯의 경쟁구간과 6개의 가입자국을 가정하였으며, 이중 2개의 가입자국은 QPSK, 2개의 가입자국은 16QAM, 그리고 2개의 가입자국은 64QAM 변조를 사용하는 경우를 가정한 것이다.

그림 11은 표2에 보인 테스트 벤치에 대한 타이밍 시뮬레이션 결과의 일부를 보인 것이다. 그림 11에서 'lw_addr_tx_BS'와 'data_tx_BS'는 MAP PDU가 저장된 보드상의 dual port RAM의 주소와 데이터의 입출력

편이고, cnt_PS_BS는 한 프레임 단위로 물리 슬롯을 카운팅하는 신호이다. 그림 11에서 알 수 있듯이 표 2에 제시된 것처럼 968PS (cnt_PS_BS=968)부터 mod_type_DL_BS의 값이 0에서 1로 변하고 있다. 이는 변조기 범위 QPSK에서 16QAM으로 변환한 것(mod_type_DL_BS=2는 64QAM)을 의미하며, I채널(I_16QAM_DL)과 Q채널(Q_16QAM_DL) 데이터가 작성된 테스트 벤치의 데이터를 정확히 출력함을 확인 하였다.

V. 결 론

본 논문에서는 802.16 표준을 기본으로 설계된 BWA 시스템에서 MAC과 PHY 계층간의 효율적인 메시지 전달을 위한 기지국과 가입자국의 인터페이스 하드웨어를 설계하였다. 이 회로는 MAC PDU를 이용해서 TC PDU를 형성하는 TC의 기능과 이를 RS 부호화 또는 복호화하는 기능을 수행한다. 이를 위해 RS 부호기는 변조 기법에 따른 데이터율에 등가적으로 동기되도록 설계하였으며, RS 복호기는 상이한 입력력 클럭을 사용하도록 설계하여 데이터 손실을 방지하였다. 설계된 회로는 DL MAP과 UL MAP을 해석하고 이를 이용하여 전송 슬롯과 변조 기법에 맞추어 트래픽을 제어하고, 실제 전송 심볼로 변환한 데이터와 제어 신호를 모뎀에

제공한다. 가입자국의 인터페이스 하드웨어는 경쟁 방식의 전송이 일어나는 대역 요청 메시지와 초기 레인징 요구 메시지 전송시 충돌을 피하기 위해 TBEB 알고리즘을 수행하는 블록도 구현된다. 설계된 기지국 인터페이스부는 197,744게이트, 가입자국 인터페이스 하드웨어는 222,256 게이트가 사용되었다.

일반적으로 통신장비의 개발에서 프로토콜 스택의 상위 계층은 소프트웨어에 의해, 하위 계층은 하드웨어에 의해 주로 구현된다. 그러나 실제적으로 소프트웨어 구현과 하드웨어 구현 간의 경계를 결정하는 것은 많은 경험을 필요로 한다. 특히 데이터의 전송 속도가 높아 절수록 고속 처리에 대한 요구가 증가하게 되고, 그 결과 하드웨어 구현의 범위가 더 증대되고 있는 추세라 할 수 있다. 본 논문에서 설계한 BWA 시스템의 기지국과 가입자국의 경우, 전송할 MAC PDU를 생성하기 위해 필요한 정보를 생성하는 단계까지는 소프트웨어에 의해 처리하였고, 소프트웨어에 의해 산출된 정보는 dual port RAM을 통해 하드웨어에 전달한다. 이 정보를 받아서 MAC PDU를 생성하는 단계부터 실제 전송이 이루어지는 모뎀은 하드웨어에 의해 구현하도록 하였다. 본 논문은 하드웨어와 소프트웨어의 구현이 혼합되어 있는 통신장비의 설계에서 그 경계를 결정하는 예시가 될 수 있을 것이며, 추후 MAC 계층의 더 높은 상위 부분까지 하드웨어에 의해 구현하면, 더욱 빠른 데이터 전송 처리가 가능할 것이라 사료된다.

참 고 문 헌

- [1] <http://www.tta.or.kr>
- [2] IEEE 802.16-2001, "IEEE Standard for Local and Metropolitan Area Networks - Part 16: Air Interface for Fixed Broadband Wireless Access Systems," Apr. 8, 2002.
- [3] C. Eklund, R. B. Marks, K. L. Stanwood, and S. Wang, "IEEE Standard 802.16: a technical Overview of the WirelessMAN™ Air Interface for Broadband Wireless Access," *IEEE Commun. Mag.*, vol. 40, no. 6, pp. 98-107, June. 2002.
- [4] Teresa H. Meng, Bill McFarland, David Su, and Jhon Thomson, "Design and Implementation of an all-CMOS 802.11a wireless LAN chipset," *IEEE Commun. Mag.*, vol. 41, no. 8, pp. 160-168, Aug. 2003.
- [5] <http://www.fujitsu.com>
- [6] A. Peter, "Efficient Shift Registers, LFSR Counters, and Long Pseudo-Random Sequence Generators," *Xilinx application note*, July. 1996.
- [7] Application note 112, *Gate Counting Methodology for APEX20K Devices*, ver 1.01, Sep. 1999.

저 자 소 개



송 문 규(종신회원)
 1988년 2월 고려대학교
 전자공학과 졸업
 1990년 2월 고려대학교
 전자공학과 공학석사
 1994년 2월 고려대학교
 전자공학과 공학박사
 1994년 3월~현재 원광대학교 전기전자 및 정보
 공학부 부교수
 1997년 10월~1998년 12월 한국전자통신연구원
 초빙연구원
 1999년 9월~2000년 8월 캐나다 빅토리아대학교
 전기 및 컴퓨터공학과 객원교수
 <주관심분야: 무선통신, 디지털 통신시스템 설계,
 채널 부호화>



공 민 한(학생회원)
 2001년 2월 원광대학교
 전기공학부 졸업
 2003년 2월 원광대학교 제어계측
 공학과 공학석사
 2003년 3월~현재 원광대학교
 제어계측공학과 박사과정
 <주관심분야: 디지털 통신시스템 설계, 채널 부호화>

