

AMFC system에서의 비정질 실리콘 박막의 결정화 특성

강구현 · 이승재 · 김선호† · 이수경 · 남승의 · 김형준

홍익대학교 신소재공학과
(논문접수일 : 2004년 12월 21일)

Crystallization characteristics of the amorphous Si thin films in the AMFC system

Ku Hyun Kang, Seung Jae Lee, Sun Ho Kim†, Sue Kyeong Lee, Seung Eui Nam, Hyoung June Kim

Hong-ik Univ. Dept of Materials Science and Engineering
(Received December 21, 2004)

요 약

a-Si을 poly-Si으로 결정화하는 전형적인 방법으로는 고상결정화(Solid Phase Crystallization, SPC)가 있다 [1-3]. 고상결정화는 균일한 공정특성과 생산비가 저렴하다는 장점이 있으나, 고상결정화 공정에서 높은 공정온도와 긴 공정 시간은 유리 기판의 손상으로 인해 적용되기 어렵다. 본 논문에서는 고상결정화의 저온공정과 짧은 공정시간을 위해 교번자장결정화(Alternating Magnetic Field Crystallization, AMFC) 시스템 내에서 결정화하는 동안 교번자장(Alternating Magnetic Field)을 적용하는 새로운 방법을 소개한다. 고상결정화의 경우, 열처리 시간은 570 °C에서 24시간이 소요되었으나, 교번자장결정화의 경우, 같은 온도에서 20분이 소요되었다.

주제어 : 교번자장결정화, a-Si, poly-Si

Abstract

A typical method for obtaining poly-Si films is the solid phase crystallization(SPC) of amorphous Si. Advantages of SPC are uniformity, process quality and low cost of production. However, high process temperature and long process time prevent the employment of SPC process on thermally susceptible glass substrate. In this paper, we propose a new method that applies an alternating magnetic field during crystallization annealing in an alternating magnetic field crystallization(AMFC) system for lowering process temperature and shorter process time of SPC. When we crystallized, in the case of SPC, annealing time is 24 hours at 570 °C. But in the case of AMFC, annealing time is only 20 minutes at the same temperature.

Key Words : Alternating Magnetic Field Crystallization, a-Si, poly-Si.

1. 서 론

현재 노트북 컴퓨터용 디스플레이에 사용되고 있는 a-Si TFT-LCD는 낮은 이동도(~100 cm²/Vs)로 인하여 고정세화와 고품질의 디스플레이를 구현하

기가 어려운 단점이 있다. 이에 반해, poly-Si TFT는 100~300 cm²/Vs의 높은 이동도를 가지므로 트랜지스터 소자의 크기를 소형화할 수 있어 고정세화를 구현할 수 있고, 빠른 응답 속도로 고품질의 패널을 제작할 수 있을 뿐만 아니라 개구율 또한

크게 향상시킬 수 있다.

최근에는 석영(quartz)기판 대신 유리기판을 사용하여 유리기판의 변형이 없는 저온($\leq 600^\circ\text{C}$)에서 poly-Si을 형성하는 저온 poly-Si(Low Temperature Poly-Si) 공정이 주목을 받고 있다. 저온에서 poly-Si을 형성하는 대표적인 결정화 방법에는 고상결정화(Solid Phase Crystallization, SPC), 엑시머 레이저결정화(Excimer Laser Crystallization) 등이 있다. 고상결정화의 경우, 공정이 간단해서 실제 상업적인 응용이 용이한데 반해 결정화에 요구되는 열처리 온도가 600°C 이상의 고온이고, 열처리 시간도 수십 시간이 걸릴 정도로 너무 길어서 유리 기판을 사용하기 어렵다는 단점을 갖고 있다. 이에 반해 현재 가장 보편적으로 사용되고 있는 엑시머 레이저결정화 기술은 근본적으로 레이저 melting에 의한 실리콘 결정화법으로써, 고가의 레이저 설비가 필요할 뿐만 아니라, 높은 설비유지비용이 요구되며 또한, poly-Si TFT 기판 제작 시, 레이저 shot의 overlap에 따른 불균일한 다결정 실리콘이 형성될 수 있다. 따라서 본 논문에서는 고비용 설비 및 TFT 특성의 불균일을 극복하기 위한 방법으로써, 저비용 설비 및 유지비를 요구하며, 균일한 TFT 특성을 주는 non-laser 결정화 방법인 교번자장결정화(Alternating Magnetic Field Crystallization, AMFC) 기술을 소개하고자 한다.

2. 실험방법

500 \AA 두께의 a-Si 박막은 Corning 1737 glass 기판 위에 PECVD로 320°C 에서 증착되었다. 교번자장의 인가를 위한 AMFC system은 Fig. 1과 같이 conventional induction heating system과 유사한 형태이다.

교번자장을 발생시키기 위한 14-turn의 권선형(solenoid type) 코일과 13.56 KHz의 주파수(frequency)로 이루어져 있으며 흑연가열판(graphite susceptor)은 induction heating에 의해 가열된다. 그러나 conventional induction heating system과 다른 점은 graphite susceptor의 크기가 induction heating의 일반적인 depth보다 훨씬 작다는 것이다 [5]. 이러한 set-up은 발생된 자장의 대부분이 graphite susceptor에 의해 소비되는 것을 막는다. 시편을 graphite 위에 위치시키고

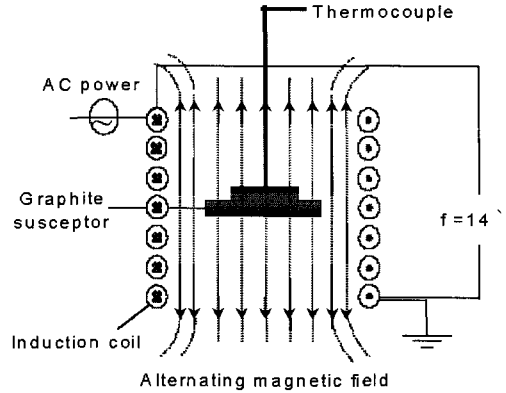


Fig. 1. Schematic diagram of alternating magnetic field crystallization system.

다양한 온도에서 열처리를 실시하였다. 다양한 교번자장에서 일정한 온도를 유지시키기 위해 graphite의 크기를 조절하였다, 온도측정은 thermocouple(K-type)을 이용하여 가열된 시편표면을 측정하였다. 제작된 시편은 10^{-3}torr 의 진공도와 Ar gas 분위기에서 다양한 온도와 교번자장으로 열처리되었다.

AMFC system에서 권선형 코일에 발생하는 자장의 강도를 측정하였다. Fig. 2는 gauss-meter로 측정된 코일전류와 자장의 강도를 나타낸다.

자장의 세기는 코일전류가 증가함에 따라 직선적으로 증가하며, 다음의 관계식을 갖는다.

$$H=4\pi \text{ nI}/10L$$

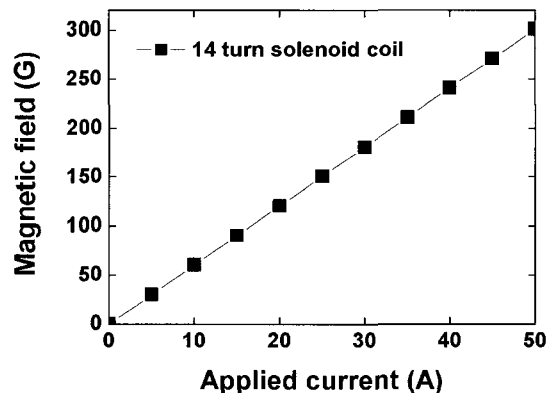


Fig. 2. The strength of magnetic field inside the solenoid coil in the AMFC system.

이때, H는 자장의 세기(Oe), n은 코일의 turn 수, I는 코일전류(Ampere), 그리고 L은 코일의 길이(Cm)이다 [7]. 자장이 결정화 kinetics에 미치는 효과를 알아보기 위해 온도를 570 °C로 고정시키고 코일전류를 변화시키면서 열처리를 실시하였다. 다양한 코일전류에서 동일한 온도를 얻기 위해 graphite의 크기를 조정하였다. Graphite의 크기가 유도가열(induction heating)의 depth dimension 보다 더 작기 때문에, 더 작은 크기의 graphite의 경우 일정한 온도를 유지시키기 위해 더 높은 코일전류가 요구된다.

일반적인 고상결정화의 거동을 조사하기 위하여 관상로(conventional furnace)에서 로타리 펌프(rotary pump)를 사용하여 10⁻³ torr의 진공도에서 N₂ gas 분위기로 열처리하였다. 고상결정화의 경우 결정화가 완료되었을 때 열처리 시간은 570 °C에서 14시간 이상 걸렸다. 그러나 교번자장결정화의 경우 열처리 시간은 50 ampere (300gouss)로 같은 온도에서 20분이 걸렸다. 열처리 된 시편은 Raman spectroscopy, AFM, TEM으로 분석을 실시하였다.

3. 결과 및 고찰

AMFC system에서 코일전류에 따라 결정화된 poly-Si의 결정성 확인을 위해 Raman spectroscopy 분석을 하여 Fig. 3에 나타내었다. 570 °C의 온도에서 교번자장의 세기에 따라 결정화에 요구되는 열처리 시간은 차이를 보였으나, crystalline peak 이 516cm⁻¹에서 일정하게 나타났다.

Fig. 4에는 고상결정화 poly-Si과 교번자장결정화 poly-Si의 표면 거칠기 비교를 위한 AFM(Atomic

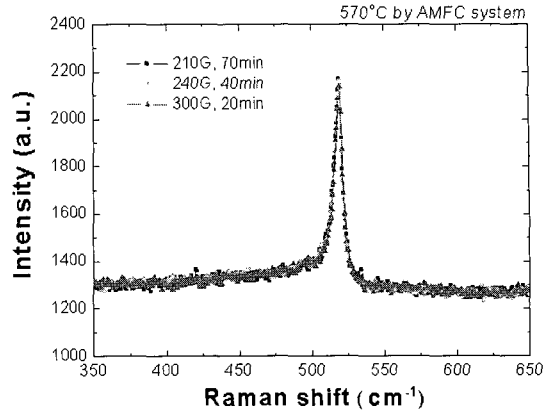
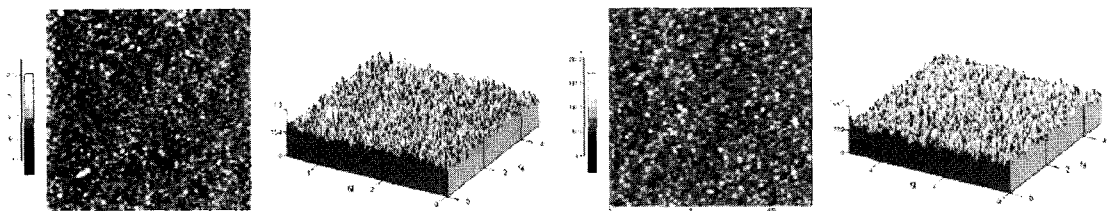


Fig. 3. Raman spectra of poly-Si thin film as a strength of magnetic field in the AMFC system.

Force Microscopy) 표면분석 결과를 나타낸다. AFM은 표면의 굴곡 분해능을 수 Å까지 분리해낼 수 있어서, 상대적인 표면거칠기를 명확하게 구별할 수 있다. 고상결정화의 poly-Si의 경우, Rms roughness가 22.9 Å으로 나타났고, 교번자장결정화의 poly-Si의 경우, Rms roughness는 20.1 Å으로 나타났다. 교번자장결정화 poly-Si의 Rms roughness가 고상결정화 poly-Si에 비해 2.8 Å 정도 낮게 나타났으나, 간과할 수 있는 비등한 수치를 보이고 있다.

Conventional furnace에서 570 °C로 24시간 동안 열처리된 고상결정화(SPC) poly-Si의 TEM 사진을 Fig. 5에서 보여준다. 전형적인 고상결정화(SPC) poly-Si의 결정형태로 결정립들이 쌍정방향으로 성장하여 타원형으로 자라났으며, 또한 타원형의 장축으로부터 새로운 가지가 뻗어 나오면서 수지상형태로 발전되었음을 확인할 수 있었다. 결정립 크기는 약 0.6-0.8 μm였으며, poly-Si 내부에 많은 쌍정 결함이



Rms roughness : 22.9 Å
(a) SPC poly-Si annealed at 570 °C, 24hr

Rms roughness : 20.1 Å
(b) AMFC poly-Si annealed at 570 °C, 20min

Fig. 4. AFM images showing the surface roughness of poly-Si film.

관찰되었다. 이를 통해 고상결정화(SPC)가 쌍정계면(twin boundary)을 따라서 결정성장이 일어나며, 이에 대한 최종 결정립의 형태는 타원형 또는 수지상정의 형태로 결정화가 완료된 것을 확인할 수 있었다. 이러한 수지상정 구조는 a-Si 박막을 결정화하게 되면서 과냉된 준안정 상태에 놓이게 되는데, 생성된 핵에 의해 결정/비정질 간의 계면에너지가 낮은 결정학적인 방위로 결정화의 잠열(latent heat of crystallization)을 방출함으로써 우성성장을 일으켜 형성되는 것이다.

교번자장결정화(AMFC)에서 온도가 570 °C일 때 20분 동안 열처리된 교번자장결정화(AMFC) poly-Si의 TEM 분석결과를 Fig. 6에 나타내었다. 교번자장결정화(AMFC) poly-Si 역시, 고상결정화 poly-Si 과 같은 수지상정 형태의 결정립 구조로 결정립 내부에 많은 미세쌍정이 관찰되었으며, 결정립 크기는 0.5~0.7 μ m로 furnace에서 570 °C로 24시간 동안 열처리된 고상결정화(SPC) poly-Si과 비슷한 것을 관찰할 수 있었다.

교번 자장의 인가에 의한 결정화 속도의 증가 원인은 아직 완전히 규명되지 않고 있다. 일반적으로 교번 자장은 Faraday 법칙에 의해 비정질 실리콘 막에 유도 기전력을 발생시키게 된다. 따라서 교번 자장에 의한 비정질 실리콘의 결정화 증가는 유도 기전력, 즉 전기장의 인가에 의한 현상으로 해석된다. 전기장의 인가에 의한 실리콘 결정화 속도의 증가는 금속유도결정화 [11], 금속유도추진결정화 [12]에서 보고되고 있으며, 이에 대한 원인으로 joule heat-

ing에 의한 국부 가열의 열적 현상과 전기장에 의한 금속/Si silicide 계면 이동 속도 증가의 비열적 현상으로 대별되어 설명되고 있다.

본 연구에서 확인된 전기장에 의해 금속을 첨가하지 않은 순수 Si의 결정화 촉진 현상은 joule heating에 의한 국부 가열에 의한 것으로 생각된다. a-Si의 경우, 상온에서의 비저항은 $10^6\sim 10^{10}$ 정도의 높은 비저항치를 갖으며, 따라서 joule heating 효과는 일어나지 않는다. 그러나 외부 가열에 의해 비정질 Si의 온도가 상승된 경우 비저항이 급격히 감소하게 되어, 500 C 이상에서는 0.01~10의 낮은 비저항치를 갖는다. 따라서 joule heating의 의한 비정질 Si의 가열이 가능하며, 이러한 국부 온도 상승에 의한 결정화 촉진으로 사료된다 [13].

4. 결 론

a-Si의 결정화에 교번자장의 적용이 결정화 kinetics에 큰 효과가 있음을 확인하였다. 교번자장을 인가함으로써 결정화 속도를 향상시켰으며, 결정화 온도를 낮추었다. 고상결정화에 비해 결정화 속도가 향상되었으나 결정화도, 표면거칠기, 내부구조에는 차이가 없음을 확인할 수 있었다.

5. 감사의 글

이 논문은 2002학년도 홍익대학교 교내연구비에 의하여 지원되었음.

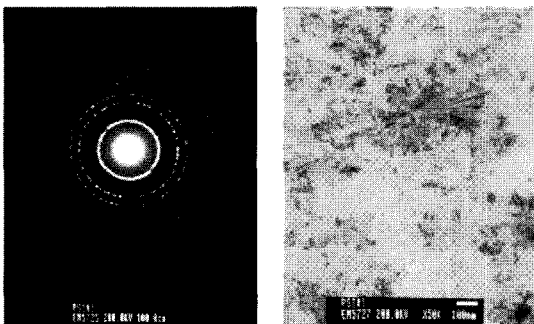


Fig. 5. TEM micrographs showing the microstructure of SPC poly-Si film crystallized at 570 °C for 24hr by conventional furnace.

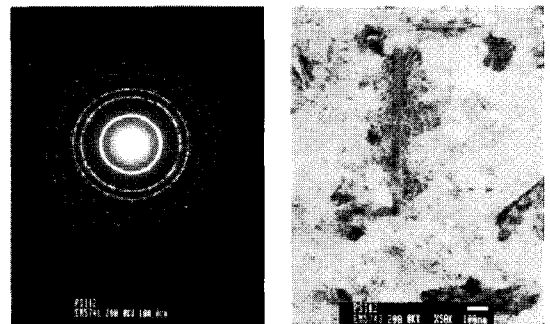


Fig. 6. TEM micrographs showing the microstructure of AMFC poly-Si film crystallized at 570 °C for 20min by AMFC system.

참 고 문 헌

- [1] A. Nakamura, F. Emoto, and E. Fujii, J. Appl. Phys. **66**, 1 (1989).
- [2] K. T. Y. Kung and R. Rief, J. Appl. Phys. **59**, 2422 (1987).
- [3] D. R. Hamilton and R. G. Sedensticker, J. Appl. Phys. **31**, 1165 (1960).
- [4] T. K. Kim, T. H. Ihn, and B. I. Lee, Jpn. J. Appl. Phys, **37**, pp. 4244 (1998).
- [5] S. Ainn and S. L. Semiatin, *Elements of Induction Heating*, ASM International (1988).
- [6] V. Iordanov, J. Bastemeijer, R. Ishihara, P. Sarro, A. Bossche and M.Vellekoop, pp. 627-630, SeSens 2002.
- [7] A. Doison, M. Park and D. Mills, *Introduction to Magnetic Materials*, pp. 24-29, Addison Wesley (1972).
- [8] S. H. Park, S. I. Jun, K. S. Song, C. K. Kim and D. K. Choi, Jpn. J. Appl. Phys. **38**, L108 (1999).
- [9] J. N. Lee, Y. W. Choi, B. J. Lee, and B. T. Ahn, J. Appl. Phys. **82**, 15 (1997).
- [10] O. Stasiw and J. Teltow, Ann. Der Phys. **1**, 261 (1947).
- [11] S. Y. Yoon, S. J. Park, K. H. Kim, and J. Jang, Thin Solid Films **383**, 34 (2001).
- [12] J. A. Bhat, Z. Jin, and H. S. Kwok, IEEE. Electron. Dev. Lett, **20**, (1999).
- [13] T. Sameshima, N. Andoh, and H. Takahashi, J. Appl. Phys. **89**, 15 (2001).