

## 技術論文

## 과학기술위성 2호 대용량 메모리 유닛 시험모델 설계 및 구현

서인호\*, 유창완\*, 남명룡\*, 방효충\*\*

Engineering Model Design and Implementation of  
Mass Memory Unit for STSAT-2

In-Ho Seo\*, Chang-Wan Ryu\*, Myeong-Ryong Nam\* and Hyo-Choong Bang\*\*

## ABSTRACT

This paper describes the design and implementation of engineering model(EM) of Mass Memory Unit(MMU) for Science and Technology Satellite 2(STSAT-2) and the results of integration test. The use of Field-Programmable Gate Array(FPGA) instead of using private electric parts makes a miniaturization and lightweight of MMU possible. 2Gbits Synchronous Dynamic Random Access Memory(SDRAM) module for mass memory is used to store payload and satellite status data. Moreover, file system is applied to manage them easily in the ground station. RS(207,187) code improves the tolerance with respect to Single Event Upset(SEU) induced in SDRAM. The simulator is manufactured to verify receiving performance of payload data.

## 초 록

본 논문에서는 과학기술위성 2호 대용량 메모리 유닛(Mass Memory Unit, MMU)의 시험모델(Engineering Model, EM)을 개발하고 기능 및 성능 시험한 결과를 제시하였다. 성능 구현에 필요한 로직들을 별도의 전용 칩들을 사용하지 않고 하나의 FPGA에 구현함으로써 대용량 메모리 유닛을 소형화, 경량화하고 저전력으로 사용할 수 있도록 하였다. 대용량 메모리는 2Gbits SDRAM 모듈을 사용하였으며 파일 시스템을 운용하여 지상국에서의 데이터 관리가 용이 하도록 하였다. 대용량 메모리에서 발생하는 SEU(Single Event Upset)를 극복하기 위해서 RS(207,187) 코드가 소프트웨어로 구현되어 있어서 187바이트 당 10바이트의 에러를 복구할 수 있다. 또한 탑재체 데이터의 수신 성능을 검증하기 위해서 시뮬레이터를 제작 하였다.

**Key Words** : STSAT2(과학기술위성 2호), MMU(대용량 메모리 유닛), Payload(탑재체)

## 1. 서 론

과학기술위성 1호(STSAT1)는 성공리에 발사되어 운용되고 있으며 현재 한국과학기술원 인공위

성연구센터(SaTReC, KAIST)에서는 과학기술위성 2호(STSAT2)의 시험모델 개발 및 시험(2004. 7. 1~ 8. 23)을 완료 하였다.

과학기술위성 2호에는 지구대기관측용 탑재체 (Dual-channel Radiometers for Earth and Atmosphere Monitoring, DREAM)가 탑재되어 지구관측 임무를 수행하게 된다. DREAM에서 관측된 데이터를 저장하고 관리하며 지상으로 전송하는 일은 위성 운용에 있어서 매우 중요한 기능이며 이를 담당하는 유닛이 대용량 메모리 유닛

† 2005년 3월 31일 접수 ~ 2005년 8월 9일 심사완료

\* 정회원, 한국과학기술원 인공위성연구센터  
연락처, E-mail : inho@satrec.kaist.ac.kr  
대전시 유성구 구성동 373-1

\*\* 정회원, 한국과학기술원 항공우주공학과

(Mass Memory Unit, MMU)이다. 과학기술위성 2호에서는 DREAM의 데이터와 함께 위성 운용과 관련된 자세제어 정보와 각 서브시스템의 상태 정보 또한 탑재 컴퓨터(On-Board Computer, OBC)를 통해서 대용량 메모리 유닛에 저장된다. 따라서 데이터를 효과적으로 관리하기 위해서 파일 시스템을 적용 하였다.

과학기술위성 2호에서의 대용량 메모리 유닛은 소형화, 경량화 및 저전력화를 목표로 개발 중에 있다. 이를 위해서 여러 탐지 및 복구(Error Detection and Correction, EDAC), 직병렬변환(Serial to Parallel) 로직 등 FPGA로 구현이 가능한 로직은 최대한 FPGA로 설계 하였으며 위성용의 표면실장부품(Surface Mount Device, SMD)을 사용 하였다. 따라서 기능시험모델의 개발 결과를 과학기술위성 1호와 비교 했을 때 대용량 메모리의 크기(2Gbits)는 같으나 유닛의 크기와 전력이 절반 이하로 줄어드는 효과가 있었다.

대용량 메모리는 3D-PLUS사의 2Gbits SDRAM 모듈이 사용 되었다. RS(207,187) 코드가 소프트웨어적으로 구현되어 있으므로 수신된 데이터는 대용량 메모리에 저장된 후 추후에 RS 코드로 변환(Encoding)된다. 따라서 주기적인 메모리 검사(Decoding)를 통해서 SEU(Single Event Upset)를 극복할 수 있도록 하였다. 또한 CPU를 동작시키기 위해서 사용되는 프로그램 메모리는 (7,4) Hamming Code를 FPGA를 통해서 하드웨어적으로 구현하여 주기적인 메모리 읽기/쓰기(Memory Scrubbing)를 통해서 SEU를 극복 할 수 있도록 하였다.

탑재체의 데이터를 고속으로 수신하기 위한 전용의 200Kbps 동기 직렬 통신 채널이 2개 있으며 OBC와의 통신을 위한 38.4Kbps 비동기 직렬 통신 채널이 2개 있다. 따라서 통신에 문제가 있을 경우 다른 채널을 이용할 수 있도록 설계 하였다.

위성용 FPGA는 Anti-Fuse 타입이고 가격이 비싸므로 현재 단계(EM)에서 사용하기에는 위험 부담이 크다. 따라서 ISP(In-System Programming)기능이 있는 Flash Type의 FPGA (ProASICPLUS APA450)를 도더보드(Daughter Board)에 장착하여 사용함으로써 개발이 용이 하도록 하였다.

## II. 대용량 메모리 유닛 시스템 구조

### 2.1 시스템 구조

그림 1은 대용량 메모리 유닛의 구성도를 나타내며 위성에는 2개의 유닛이 장착된다.

전용의 200Kbps 동기 직렬 통신 채널(단방향)을 통해서 수신된 탑재체의 데이터는 FPGA에 구현된 로직에 의해서 16비트씩 FIFO(First In First Out)에 저장된다. 이때 CPU는 FIFO의 Half-Flag 신호를 감지하여 DMA(Direct Memory Access) 인터럽트를 발생 시킨다. 따라서 DMA 인터럽트가 발생할 때 마다 FIFO에 있는 데이터는 고속으로 대용량 메모리에 저장된다. 이때 시간의 제약상 실시간 RS 코드 변환(Encoding)이

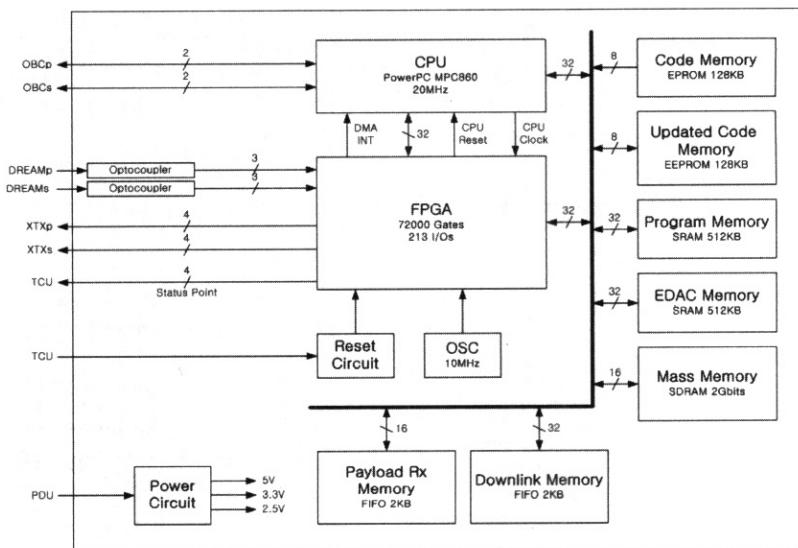


그림 1. 대용량 메모리 유닛의 구성도

합들기 때문에 대용량 메모리에 저장한 후 추후에 변환하게 된다.

탑재 컴퓨터와는 38.4Kbps 비동기 직렬 통신으로 데이터를 송수신하며 SLIP(Serial Line Interface Protocol)에 의해서 데이터와 커맨드를 처리한다.

지상국의 관제 요청에 의해 탑재 컴퓨터로부터의 데이터 송출 커맨드를 수신하면 CPU는 DMA로 대용량 메모리에 저장된 데이터를 32비트씩 FIFO에 보낸다. FPGA는 FIFO에 저장된 데이터를 읽어서 QPSK(Quadrature Phase Shift Keying)의 I&Q 신호로 변환하여 XTX(X-band Transmitter)로 전송하며 I, Q의 각 채널은 5Mbps의 전송 속도를 갖는다.

따라서 대용량 메모리 유닛이 정상적으로 동작하기 위해서는 200Kbps&38.4Kbps의 데이터 수신과 5Mbps의 데이터 송신을 동시에 처리할 수 있어야하며 계산에 의하면 5.7MIPS 이상의 성능을 가져야 한다. 대용량 메모리 유닛의 CPU는 20Mhz에서 20MIPS의 성능을 가지고 있으며 실험 결과 송수신이 정상적으로 이루어짐을 확인하였다. 또한 2Gbits의 대용량 메모리를 모두 지상으로 전송하는데는 205sec(3.4min)이 소요된다.

대용량 메모리 유닛은 원격검침-명령 유닛(Telemetry Command Unit,TCU)의 Bi-Level 커맨드(Logic High : 5V, Logic Low : 0V)에 의해서 PDU(Power Distribution Unit,PDU)로부터 5V 입력을 받으며 내부적으로 5V, 3.3V, 2.5V로 나누어서 사용한다. 또한 Bi-Level 원격검침(Telemetry)이 4채널 있어서 동작 상태를 16가지로 나타낼 수 있다.

위성 운용 중에 롬코드에 문제가 있거나 기능을 추가 했을 때는 탑재 컴퓨터로부터 수정된 롬코드를 받아서 CPU를 다시 동작 시키게 된다. 이 경우 전원이 꺼졌다 켜지는 경우가 발생하면 수정된 롬코드가 지워져서 탑재 컴퓨터로부터 롬코드를 다시 받아야 한다. 따라서 탑재 컴퓨터는 수정된 롬코드를 계속 가지고 있던지 지상국으로부터 다시 받아야 하는 번거로움이 발생한다. 따라서 과학기술위성 1호에서의 이러한 문제점을 보완하기 위해서 수정된 롬 코드를 영구히 저장하기 위한 저장 공간으로써 비휘발성 EEPROM을 내장 하였다.

롬코드를 실행하기 위한 프로그램 메모리는 SEU 극복을 위해서 (7,4) Hamming 코드가 FPGA로 구현되어 있다. 그러나 이 경우 4 Bit당 1 Bit만 복구가 가능하기 때문에 메모리 전체의 데이터가 항상 오류가 없도록 하기 위해서는 정

기적으로 전 메모리를 읽어 오류를 복구하고 다시 저장(Memory Scrubbing)해야 할 필요가 있다. 마찬가지로 대용량 메모리도 SEU 극복과 RF(Radio Frequency) 모듈을 통한 전송 시의 에러를 최소화하기 위해서 RS(207,187)코드가 소프트웨어적으로 구현되어 있어서 187바이트당 10바이트의 에러를 정정할 수 있다. 따라서 위성 운용 중에 주기적인 메모리 검사(Decoding)를 하여야 한다. 관련 논문에 의하면 프로그램 메모리 검사 주기는 15분 이하가 적당하며 이를 설계에 반영 하였다[2].

## 2.2 CPU

과학기술위성 2호 대용량 메모리 유닛의 요구 사항은 과학기술위성 1호와 비교하면 지상국으로의 데이터 전송 속도가 3.2Mbps에서 10Mbps로 3배 이상 커진 것을 제외하면 달라진 것이 크게 없다. 따라서 CPU는 과학기술위성 1호 대용량 메모리 유닛에 장착되어 현재 정상적으로 동작되고 있는 모토롤라의 MPC860을 선택 하였다.

또한 관련 논문에 의하면 MPC860의 내방사선 특성이 양성자 가속기에 의해서 실험 되었으며 소자의 누적 반응과 순간 반응이 모두 관찰되었다[3][4]. 저체도의 경우 3년 동안 5.5개의 SEU를 일으킬 것으로 예측 되었으며 누적선량이 25Krad에 이르면 소모 전류가 증가하기 시작하는 것으로 나타났다. 따라서 과학기술위성 2호는 누적선량이 20Krad 이하로 예상되며 발생하는 SEU도 매우 적으므로 설계 수명 시간 2년 동안 임무를 수행 하는데 문제가 없을 것으로 예상된다.

또한 MPC860은 RISC Processor(603e), Memory Controller, Interrupt Controller, Communication 용 RISC Processor, 4Kbyte Data and Instruction Cache 등을 내장하고 있는 SOC(System On Chip) 타입의 임베디드 프로세서로써 데이터버스가 32비트까지 동적으로 사용(8비트, 16비트) 가능하다. 따라서 대용량 메모리 유닛 설계시에 필요한 SDRAM Controller, Serial Communication Controller, Watchdog Timer, Peripheral Chip Select, I/O Ports가 내장되어 있으므로 복잡한 인터페이스 회로가 필요 없는 장점이 있다. 50Mhz에서 52MIPS의 처리 속도를 가지고 있으며 전력 소모량과 시스템 성능을 고려하여 20Mhz로 설정하여 동작 하도록 하였다.

## 2.3 FPGA

많은 로직들을 별도의 전용 칩들을 사용하지 않고 하나의 FPGA에 구현함으로써 대용량 메모

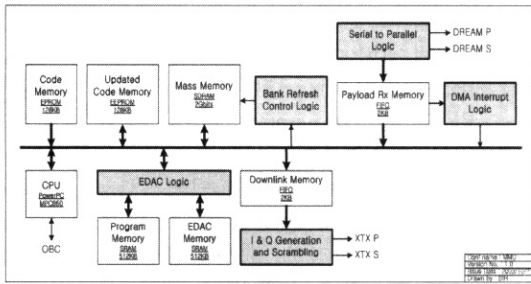


그림 2. 대용량 메모리의 구조도

리 유닛을 소형화, 경량화하고 저전력으로 사용할 수 있도록 하였으며 과학기술위성에 사용된 경험이 있는 Actel사의 제품을 사용하였다. 현재 단계(EM)에서는 개발의 용이를 위해서 여러 번 재 프로그래밍이 가능한 ISP 기능이 있는 Flash Type FPGA(ProASICPLUS APA450)를 사용 하였다. 추후 비행 모델(Flight Model, FM)에서는 우주용의 내방사선 특성이 우수한 Radiation Tolerant급 FPGA(RT54SX72S)를 사용할 계획이다. RT54SX72S에 있는 TMR 구조는 동일한 데이터를 3개의 Cell에 기록하여 3개중 하나의 D flip-flop Cell의 데이터 비트가 반전이 되더라도 올바른 데이터로 복구될 수 있는 구조이며 TID(Total Ionizing Dose) 특성이 최대 100Krad까지 이므로 과학기술위성 2호의 운용에 적합하다.

그림 2는 대용량 메모리 유닛의 구조도를 나타내며 회색바탕의 두꺼운 선으로 표시된 부분이 FPGA에 의해서 구현된 로직이다. 그림에서 보는 바와 같이 SEU에 의한 프로그램 메모리의 오류를 복구하기 위한 에러 탐지 및 복구(EDAC), DMA 인터럽트 사용을 위한 보조 회로, SDRAM 사용을 위한 보조 회로, 탑재체의 직렬 데이터를 메모리에 저장하기 위한 직병렬변환(Serial to Parallel) 로직, XTX로의 데이터 전송을 위한 QPSK의 I&Q 변환 및 Scrambling 로직이 FPGA로 구현되어 있다.

## 2.4 대용량 메모리

대용량 메모리는 SRAM에 비해서 상대적으로 집적도가 높으며 과학기술위성 1호에서 사용된 경험이 있는 SDRAM을 선택 하였으며 3D-PLUS사의 2Gbits SDRAM 모듈인 MMSD1612880S-V (16비트 버스)를 사용 하였다. 이것은 256Mbits 메모리 8개를 스택 형태로 쌓아서 하나의 메모리 모듈로 만든 것으로서 데이터버스를 공유하는 4개의 메모리 뱅크를 가지고 있다. 따라서 전체

메모리 공간을 사용하기 위한 보조 로직이 필요하며 FPGA에 구현되어 있다. 또한 파일 시스템을 운용하여 파일 단위로 데이터를 관리함으로써 지상국에서의 데이터 관리가 용이하도록 하였다.

대용량 메모리에서 발생하는 SEU를 방지하기 위해서 RS(207,187) 코드가 소프트웨어로 구현되어 있으며 187Bytes마다 10Bytes의 에러를 정정할 수 있다. 이때 RS 코드로의 암호화(Encoding)에는 수ms의 시간을 요구 하므로 실시간 변환이 힘들다. 따라서 데이터 수신 후 탑재체(Payload)가 임무를 수행하지 않는 시간에 대용량 메모리에서 데이터를 다시 읽어서 RS 코드로 변환하도록 하였으며 주기적인 메모리 검사(Decoding)를 통해서 SEU를 극복할 수 있게 된다.

## III. 실험 및 고찰

그림 3은 개발된 대용량 메모리 유닛의 시험 모델(EM)을 나타내고 있다. 사이즈는 270x210x14 (mm)이며 5V에서 2.5W를 소모 하였다. 그림의 왼쪽 아래에 도더보드(Daughter Board)가 컨넥터로 연결되어 있으며 제거시 RT54SX72S를 장착할 수 있도록 설계되어 있다.

### 3.1 탑재 컴퓨터와의 통신 시험

탑재 컴퓨터에 직접 연결하지 않고도 대용량 메모리 유닛의 정상 동작 상태를 확인하기 위해서 탑재 컴퓨터와 똑같은 역할을 해주는 ST-2 Manager 프로그램을 이용 하였으며 인공위성 연구센터에서 VC++6.0으로 개발 되었다.

그림 4는 ST-2 Manager의 동작 화면을 나타내고 있다. 매크로 기능을 이용하여 탑재 컴퓨터와 관계된 모든 실험을 할 수 있으며 실험 데이터가 파일로 저장 되므로 실험 도중에 발생하는 문제의 원인을 추후 확인할 수 있다. 현재는 0.5초 주

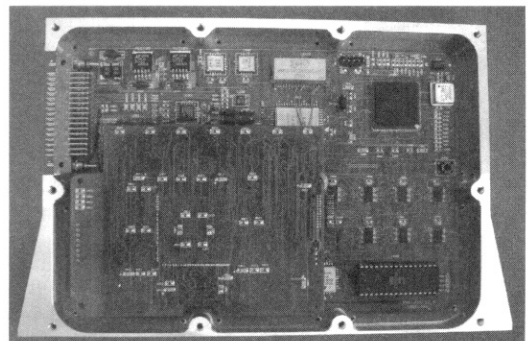


그림 3. 대용량 메모리 유닛 시험 모델

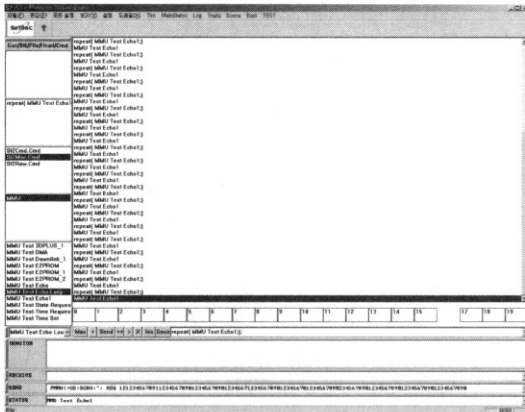


그림 4. ST-2 Manager 통신 프로그램

기로 통신 응답 시험을 하고 있는 것으로써 정상 동작을 나타내고 있으며 벤치테스트(Bench Test)를 충분히 수행 하였다.

### 3.2 탑재체 데이터 수신 및 송신 시험

탑재체 데이터의 송수신 성능을 검증하기 위해서 탑재체 시뮬레이터를 제작하고 인공위성 연구센터에서 운용중에 있는 데이터 수신 카드(Data Receiving Card, DRC)를 이용하여 실험 환경을 구축 하였으며 그림 5에 이를 나타내었다.

그림 5의 좌측 상단 그림은 탑재체 시뮬레이터의 오실로스코프 출력 파형이다. 데이터(Data)는 클럭(Clock)의 상승모서리(Rising Edge)에 동기 되어 출력되며 16비트의 데이터마다 1비트의 스톱(Stop)비트가 Strobe 신호에 의해서 발생된다. 또한 최하위 비트가 먼저 전송되며 시뮬레이터에서는 순서대로 계속 증가하는 16비트 단위의 데이터를 연속적으로 전송 하도록 FPGA로 구현 되어 있다. 따라서 시뮬레이터 데이터를 수신 후 대용량 메모리에 저장된 데이터를 읽어서 그 순서를 비교하는 형태로 탑재체 데이터 수신 성능

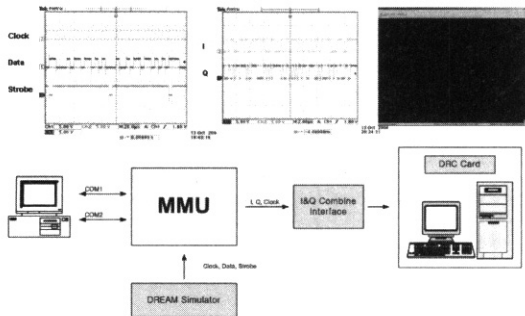


그림 5. 탑재체 데이터 수신 및 송신 시험

시험을 하였다. 대용량 메모리에 저장된 탑재체의 데이터는 QPSK의 I&Q의 신호로 바뀌어서 XTX로 전송된다. 이 과정에서 데이터가 0x0또는 0xF이 반복되면 RF를 통한 수신 후 복조를 위한 Bit-Synchronizer에서 에러가 발생될 확률이 크다. 따라서 0또는 1이 주기적으로 발생 하도록 데이터에 Scrambling을 걸어서 변환해 주어야 하며 이 기능은 FPGA에 구현되어 있다.

그림 5의 두 번째 오실로스코프 파형은 XTX로 전송되는 I&Q 신호를 나타내며 Scrambling에 의해서 0또는 1이 반복적으로 발생됨을 알 수 있다.

그림 5의 우측 상단의 그림은 대용량 메모리 유닛에서 송신한 I&Q 신호를, XTX를 거치지 않고 직접 데이터 수신 카드에 연결하여 수신된 데이터를 컴퓨터 화면에 나타낸 것이며 BER(Bit Error Rate) 시험을 통해서 에러 없이 100% 수신됨을 확인 하였다.

## IV. 결 론

본 연구에서는 과학기술위성 2호 대용량 메모리 유닛의 시험모델(EM)을 개발하고 기능 및 성능 시험을 완료 하였다.

대용량 메모리는 2Gbits SDRAM 모듈이 사용 되었으며 효율적인 관리를 위해서 파일 시스템을 적용 하였다. 프로그램 메모리는 (7,4) Hamming 코드를 FPGA에 의해서 하드웨어로 구현 하였으며 대용량 메모리는 RS(207, 187) 코드를 소프트웨어로 구현 하였다. 따라서 주기적인 메모리 읽기/쓰기(Scrubbing)와 검사(Decoding)을 통해서 SEU를 극복할 수 있도록 하였다.

대용량 메모리 유닛의 소형화, 경량화 및 저전력화를 위해서 FPGA로 구현이 가능한 로직은 최대한 FPGA로 설계 하였으며 위성용의 표면실장부품(SMD)을 사용 하였다. 따라서 과학기술위성 1호와 비교 했을 때 유닛의 크기와 전력이 절반 이하로 줄어드는 효과가 있었다. 또한 탑재체 데이터 송수신 시험 환경을 구축하여 대용량 메모리 유닛의 성능을 검증 하였다.

현재(EM)는 재 프로그램이 가능한 FPGA를 이용하여 로직의 구현 및 테스트에 중점을 두었고 계속되는 테스트를 통해서 FPGA 코드를 안정화 시킨 후 FM에서는 우주용 FPGA인 Radiation Tolerant급 Actel FPGA를 사용하여 우주환경에 강인하도록 구현할 계획이다.

추후 PFM(Proto FM) 기간에는 실제 우주환경에 사용할 FPGA를 장착하여 열 시험, 진동 시험 및 방사선 시험 등을 수행할 예정이다.

## 후 기

본 연구논문은 과학기술부 과학기술위성 2호 개발사업의 예산지원을 받아 작성되었습니다.

## 참고문헌

- 1) 곽성우, 류상문, 박홍영, 오대수, 유관호, 최병재, 김병국 “과학위성1호 탑재 컴퓨터의 설계 및 구현”, 한국항공우주학회지, 제31권 제4호, pp. 98-105, 2003.
- 2) 곽성우, 박홍영, “과학기술위성 1호 탑재 컴퓨터(On-board Computer)에서 SEUs(Single Event Upsets) 극복을 위한 메모리 운용 및 해석”, 한국항공우주학회지, 제32권 제1호, pp. 105-111, 2004.
- 3) 선종호, 김성준, 정성근, 민경욱, 최원호, “양성자 가속기를 이용한 MPC860의 우주방사선 인증 시험”, 한국항공우주학회지, 제32권 제5호, pp. 116- 121, 2004.
- 4) 김성준, 선종호, 정성근, 민경욱, 최원호, “양성자 조사 시험에 기초한 MPC860 소자의 SEE 발생률 예측”, 한국항공우주학회지, 제32권 제5호, pp. 84-90, 2004.