

ZrO₂ 게이트 절연막 위에 증착된 Mo 게이트 전극의 특성

Characteristics of Mo Gate Electrode Deposited on ZrO₂ Gate Insulator

강영섭^{1,a}, 안재홍¹, 김재영¹, 홍신남¹

(Young-Sub Kang^{1,a}, Jea-Hong An¹, Jae-Young Kim¹, and Shin-Nam Hong¹)

Abstract

In this work, MOS capacitors were used to study the electrical properties of Mo gate electrode deposited on ZrO₂. The workfunctions of Mo gate extracted from C-V curves were appropriate for PMOS. Thermal stability of Mo metal was investigated by analyzing the variations of workfunction and EOT(effective oxide thickness) after 600, 700, and 800 °C RTA(rapid thermal annealing). It was found that Mo gate was stable up to 800 °C with underlying ZrO₂. The resistivities of Mo were 35 μΩ·cm~75 μΩ·cm. These values are lower than those of heavily doped polysilicon. Based on these measurements, it can be concluded that Mo metal gate with ZrO₂ gate insulator is an excellent gate material for PMOS.

Key Words : Metal gate, High-κ, Mo, ZrO₂

1. 서론

MOSFET의 크기가 지속적으로 감소함에 따라 SiO₂(실리콘 산화막)의 두께 역시 지속적으로 감소하게 되었으나 직접 터널링(direct tunneling)이 많아지는 등의 SiO₂의 근본적인 문제로 인하여 한계점에 도달하게 되었다. 게다가 얇은 SiO₂는 폴리실리콘(polysilicon) 게이트 전극으로부터의 붕소(B) 침투 현상에 의하여 소자의 특성이 저하되는 문제점을 가지기 때문에 이를 대체할 물질에 대한 연구가 진행되어 왔다[1-3].

SiO₂를 대체할 물질은 high-κ 물질이 가장 많이 연구되어 왔는데, high-κ 물질은 다음과 같은 조건을 만족하여야 한다. 첫째 high-κ 물질은 SiO₂보다 큰 비유전율 값을 가지는 물질이어야 한다. 즉, 소자의 누설전류와 붕소의 침투를 줄이는 동시에 SiO₂를 사용하였을 경우와 동일한 정전용량값을

유지해야 한다. 둘째, high-κ 물질은 큰 에너지 간격(bandgap)과 높은 에너지 장벽 높이(게이트 전극과 게이트 절연막의 전도대역 사이)를 가져야 한다[9]. Ta₂O₅, TiO₂, ZrO₂, HfO₂, Al₂O₃ 등은 SiO₂를 대체할 물질로 최근 가장 많이 연구되고 있는 것들이다.

소자의 크기 감소에 따른 또 다른 문제는 과거 긴 채널 소자에서 무시되었던 폴리실리콘 게이트 전극과 게이트 절연막과의 게이트 공핍현상을 들 수 있다. 반면에 금속게이트는 폴리실리콘의 게이트 공핍현상(poly depletion effect : PDE)에 따른 여러 가지 문제점들을 해결해줄 수 있다[4].

금속을 게이트 전극으로 사용하기 위해서는 다음과 같은 조건을 만족하여야 한다. 첫째, 금속은 적합한 일함수(workfunction)를 가지고 있어야 한다. 즉, p⁺ 폴리실리콘과 n⁺ 폴리실리콘을 대체하면서 동일한 특성을 유지하기 위해서 금속은 PMOS와 NMOS에서 각각 5.0 eV와 4.0 eV 정도의 일함수를 각각 가지고 있어야 한다. 둘째, 금속 증착 공정은 기존의 공정 및 다른 공정과의 적합성을 가지고 있어야 한다. 마지막으로 금속은 게이트 절연막과의 열적/화학적 안정성을 가지고 있어야 한다.

1. 한국항공대학교 항공전자공학과
(경기도 고양시 덕양구 화전동 2001-1)
a. Corresponding Author : yskang@eeabyss.hangkong.ac.kr
접수일자 : 2004. 11. 24
1차 심사 : 2004. 12. 7
심사완료 : 2004. 12. 29

최근 연구결과에 의하면 폴리실리콘에 HfO_2 나 Al_2O_3 와 같은 금속 산화물(metal oxide)을 게이트 절연막으로 사용할 경우, MOSFET 소자의 문턱전압이 과다하게 높아지는 페르미 피닝 현상(Fermi pinning effect)이 크게 문제가 되고 있다[5]. 이러한 연구결과들을 토대로 현대 소자 또는 향후 50 nm 이하의 소자에서의 폴리실리콘과 SiO_2 는 반드시 금속 게이트와 high- κ 절연막으로 대체되어야 한다.

그동안 Ru, Ta, Mo, Ti과 같은 여러 가지 금속 게이트와 SiO_2 절연막에 대한 연구가 많이 진행되어 왔으나[6,7] high- κ 절연막과의 적합성, 열적/화학적 안정성, 일함수 등이 아직까지는 명확하게 밝혀지지 않고 있다.

본 논문에서는 Mo 게이트 전극과 high- κ 물질인 ZrO_2 를 게이트 절연막으로 사용한 MOS 커패시터를 제작하여 일함수 값을 측정하였고, 열적 안정성을 검증하기 위하여 여러 온도에서 열처리를 수행한 후, MOS 커패시터의 열적/화학적 안정성을 검증하였다.

2. 실험

소자의 전기적인 특성을 측정하기 위하여 비교적 공정이 간단한 MOS 커패시터를 제작하였다. 먼저 n형 (100) 실리콘 기판을 준비하여 RCA 세척공정을 수행한 후, $\text{C}_{16}\text{H}_{36}\text{O}_4\text{Zr}$ 을 이용한 MOCVD (metalorganic chemical vapor deposition) 증착방법을 사용하여 ZrO_2 (EOT=3.0 nm)를 증착하였다. 게이트 ZrO_2 위에 순도 99.99 % Mo 타겟(target)을 이용하여 3×10^{-9} torr의 기본압력(base pressure)과 Ar 분위기 하에서 500 Å의 두께로 스퍼터링(sputtering)하였으며 패턴은 lift-off 방법을 이용하여 면적이 10^4 cm^2 인 MOS 커패시터를 제작하였다. 그 후에 Mo 전극의 산화를 방지하기 위하여 Ru를 산화 방지막(capping layer)으로 스퍼터링하였다.

제작된 MOS 커패시터의 C-V 특성을 측정하기 위하여 HP4280 LCR meter(1 MHz)를 사용하였다. 측정된 C-V 곡선으로부터 NCSU C-V program을 사용하여 평탄전압과 등가 산화막 두께(EOT : equivalent oxide thickness)를 구하였으며, 이 값을 이용하여 게이트 전극의 일함수 값을 추출하였다[8].

열적 안정성을 분석하기 위하여 Ar 분위기에서 600 °C, 700 °C, 800 °C의 온도로 10초간 RTA(rapid thermal annealing)를 수행하였다.

3. 결과 및 고찰

그림 1에 제작된 MOS 커패시터를 각 온도별로 열처리를 수행한 후, 측정된 C-V 특성곡선을 나타내었다.

C-V 곡선으로부터 평탄전압과 등가 산화막 두께를 NCSU-CV program을 이용하여 얻은 후에 다음 식에 대입하여 일함수를 추출할 수 있었다.

$$V_{FB} = \phi_{MS} \pm Q_{di}/C_{acc} \quad (1)$$

$$\phi_{MS} = \phi_M - \left(\chi + \frac{E_g}{2q} - \psi_B \right) = 0 \quad (2)$$

식 (1)에서 V_{FB} 는 평탄 전압, C_{acc} 는 축적상태에서의 정전 용량, Q_{di} 는 절연막 내의 진하를 나타낸다. 그리고 수식에서 고정 전하가 음전하인 경우, (+) 부호 수식을 만족하고 반대의 경우에는 (-) 부호 수식을 만족한다. 그리고 식 (2)에서 ϕ_{MS} 는 금속과 반도체의 일함수 차이, ϕ_M 은 금속의 일함수, χ 는 반도체의 전자 친화도, E_g 는 반도체의 가전자 대역과 전도대역의 차이를 나타낸다. 그리고 ψ_B 는 E_v 와 E_f 의 에너지 차이를 나타낸다.

제작된 MOS 커패시터에서 열처리를 수행하기 전에 측정된 일함수는 4.95 eV이었으며, 열처리 수행 후의 일함수는 5.10 eV이었다. 일함수의 변화값은 0.15 eV로 나타났다. 열처리를 수행하기 전의 시

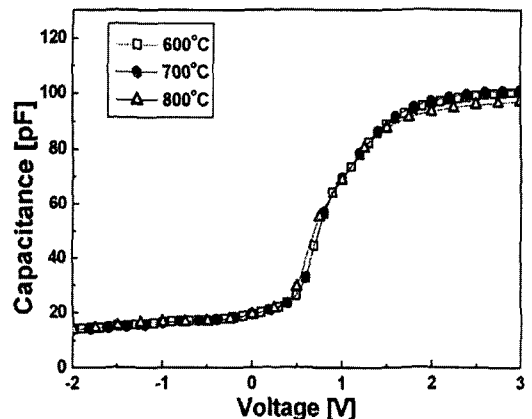


그림 1. 열처리에 따른 Mo 게이트/ ZrO_2 절연막의 C-V 특성곡선.

Fig. 1. C-V curves of Mo gate on ZrO_2 with annealing.

편에는 어느 정도의 스퍼터에 따른 손상이 남아 있기 때문에 정확한 일함수라 볼 수는 없다. 따라서 600 °C 열처리를 통해 sputter damage를 제거한 후, 온도를 올려가면서 일함수 변화와 측정 상태에서의 정전 용량(C_{acc}) 값의 변화를 살펴 보았다. 그림 1에서 볼 수 있듯이 800 °C까지의 열처리에도 평탄전압과 정전 용량 값이 거의 일치하는 것을 볼 수 있다.

그림 2에 열처리 온도에 따른 등가 산화막 두께의 변화와 일함수 변화를 나타내었다. 일함수의 경우, 800 °C까지 약 5.1 eV를 유지하여 PMOS에 적합함을 알 수 있었다. 또한 등가 산화막 두께 역시 큰 변화를 보이지 않아 800 °C까지의 고온 열처리에 안정함을 알 수 있었다.

그림 3은 ZrO_2 박막의 누설전류(leakage current)를 나타낸 그림이다. 그림에서 볼 수 있듯이 게이트 누설전류값은 고온의 열처리에 크게 변하지 않음을 알 수 있었다. 일반적으로 누설전류의 증가는 스퍼터링에 의한 박막의 손상과 열처리에 의한 게이트 절연막의 감소에 의해 가장 많이 영향을 받는다. 따라서 위 실험 결과를 통해 볼때, ZrO_2 절연막은 스퍼터링에 의한 영향을 크게 받지 않았으며 열처리에 의한 절연막의 손실이 일어나지 않았음을 알 수 있었다. 즉, 800 °C까지의 열처리 이후에도 전기적으로 우수한 특성을 유지하였다.

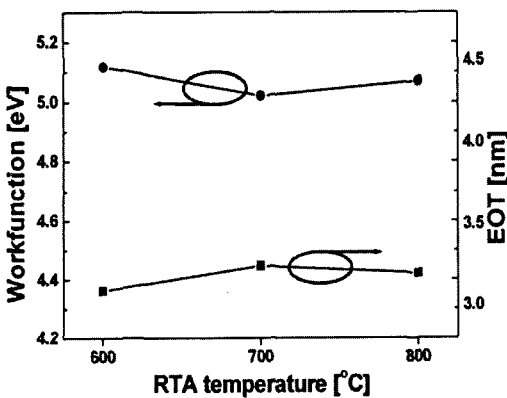


그림 2. 열처리 온도에 따른 일함수와 유효 산화막 두께의 변화.

Fig. 2. Variations of workfunction and effective oxide thickness depending on the annealing temperature.

그림 4는 Mo 게이트 전극을 사용하여 비슷한 등가 산화막 두께의 SiO_2 와 ZrO_2 의 게이트 누설전류를 비교한 그래프이다. 높은 κ 값을 가지는 ZrO_2 절연막이($\kappa=22\sim25$) SiO_2 ($\kappa\approx3.9$)에 비해 동일한 EOT를 가지는 경우, 물리적인 두께가 훨씬 크기 때문에 누설 전류 측면에서 향상된 결과를 보였다.

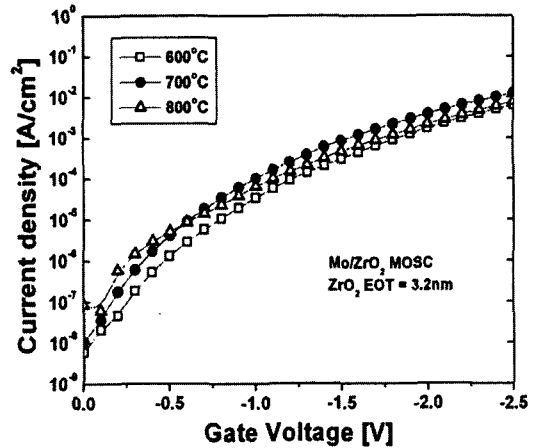


그림 3. Mo 게이트와 ZrO_2 게이트 절연막으로 제작된 MOS 커패시터의 RTA 온도에 따른 게이트 누설전류.

Fig. 3. Gate leakage current of MOS capacitor having Mo gate and ZrO_2 gate insulator with various RTA.

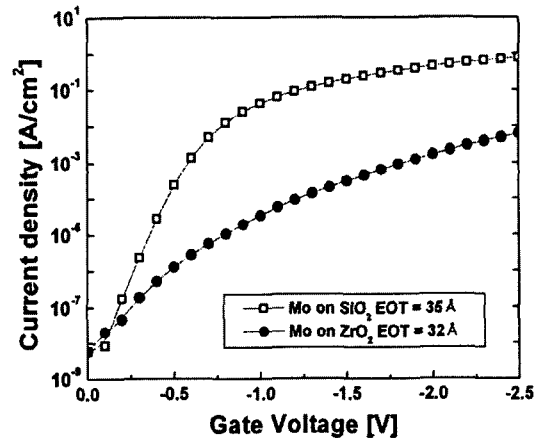


그림 4. Mo/ SiO_2 와 Mo/ ZrO_2 의 누설전류 비교.

Fig. 4. Comparison of leakage current between Mo/ SiO_2 and Mo/ ZrO_2 .

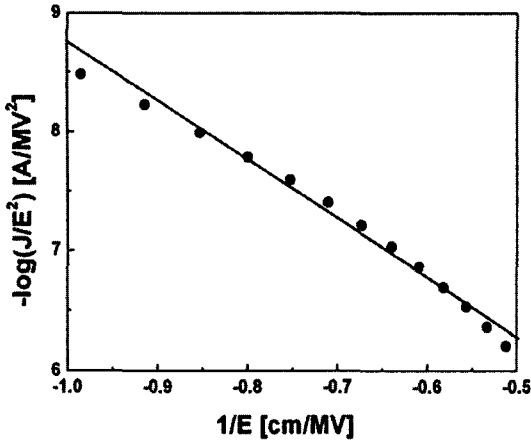


그림 5. Fowler-Nordheim 곡선.
Fig. 5. Fowler-Nordheim curve.

그림 5는 MOS 커패시터의 Fowler-Nordheim (F-N) 곡선을 나타낸 것이다. 게이트 전극과 실리콘 기판 사이의 F-N 터널링은 다음 식 (3)과 같이 나타낼 수 있다.

$$J = \frac{q^3 m}{16\pi^2 \hbar m_{di}^* \phi_B} E_{di}^2 \exp\left(-\frac{4}{3} \frac{\sqrt{2m_{di}^*} q}{\hbar E_{di}} \phi_B^{3/2}\right) \quad (3)$$

여기에서 J 는 전류밀도, E_{di} 는 절연막에 형성된 전계의 세기, m 은 전자의 질량, m_{di}^* 는 절연막 내에서의 전자의 유효질량이며, ϕ_B 는 에너지 장벽의 높이를 나타낸다. 일반적으로 F-N 곡선은 수십 μA 이상의 전류가 흐를 때 얻어진다. 그런데 3.0 nm 이하의 SiO_2 박막은 매우 큰 누설전류로 인해 소자의 항복현상이 발생할 위험이 크므로 F-N곡선을 얻기가 힘들다. 반면 동일한 EOT를 가지면서 물리적인 두께가 훨씬 큰 ZrO_2 의 경우는 높은 전계를 잘 버텨 내었으며, 그림 5와 같은 F-N 특성을 나타낼 수 있었다. F-N 분석을 통해 금속과 절연막 사이의 장벽 높이는 2.48 eV로 측정되었으며, 이를 토대로 그림 6과 같은 에너지 밴드 다이어그램을 완성할 수 있었다. 또한 추출한 에너지 장벽 값은 C-V 측정을 통해 얻은 일함수 값을 뒷받침하였다.

열처리에 따른 Mo 금속 게이트의 비저항(resistivity)을 그림 7에 나타내었다. Mo 게이트의 비저항은 비열처리, 600 °C, 700 °C, 800 °C의 열처리에서 각각 31.8 $\mu\Omega \cdot \text{cm}$, 41.2 $\mu\Omega \cdot \text{cm}$, 32.3 $\mu\Omega \cdot \text{cm}$,

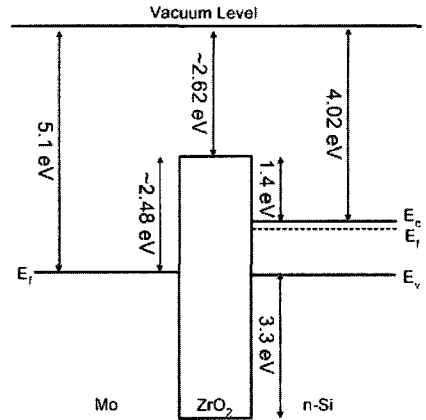


그림 6. Mo/ZrO₂/n-Si의 에너지 밴드 다이어그램.
Fig. 6. Energy band diagram of Mo/ZrO₂/n-Si.

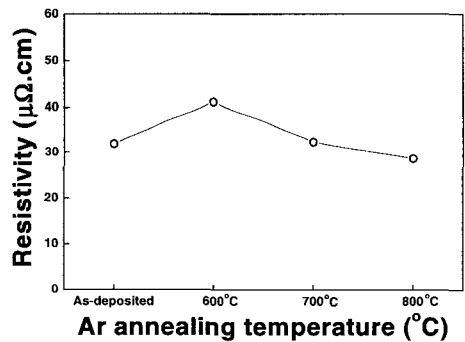


그림 7. 열처리 온도에 따른 비저항값의 변화.
Fig. 7. Changes of resistivity with annealing temperature.

28.7 $\mu\Omega \cdot \text{cm}$ 로 약간의 변화를 보였다. 특히 열처리 전과 비교해서 600 °C 열처리 후에는 비저항 값이 약간 상승한 것을 볼 수 있는데, 이것은 표면 산화에 의한 것이다. 그러나 600 °C 열처리 이후에는 grain size 증가에 의한 비저항값의 감소를 볼 수 있다. 비록 비저항 값이 열처리에 따라 다소 변하였지만, 이 값들은 높게 도핑된(heavily doped) 폴리실리콘에 비해 매우 낮은 값이다[10].

4. 결론

n-type Si 기판위에 게이트 절연막으로 ZrO_2 를 PVD로 증착 하고 Mo 금속 게이트를 증착한 후, MOS 커패시터를 제작하여 전기적인 특성을 측정

하고 분석하였다. 600 °C RTA 이후, 측정된 일함수는 5.1 eV로 PMOS에 적합한 값을 나타내었다. 열적/화학적 안정성을 검증하기 위하여 여러 온도에서 급속 열처리를 수행한 후, 등가 산화막 두께와 일함수의 변화 여부를 살펴보았다. 그 결과 800 °C까지의 비교적 고온에서도 등가 산화막 두께와 일함수는 거의 변화를 보이지 않았다. 또한 800 °C까지의 열처리 이후에도 비교적 낮은 누설 전류값을 유지하여 전기적으로 우수한 물질임을 알 수 있었다. 마지막으로 금속막의 비저항을 살펴본 결과, 28.7 $\mu\Omega \cdot \text{cm}$ 에서 41.2 $\mu\Omega \cdot \text{cm}$ 로 폴리실리콘에 비해 매우 낮은 값을 나타내었다. 결과적으로 Mo을 high- κ 물질인 ZrO_2 와 함께 사용할 경우, 전기적으로 우수한 특성을 나타내어 차세대급 반도체 소자의 성능향상을 기대할 수 있을 것이다.

감사의 글

본 연구는 2004년 과학재단 지역 대학 우수 지원 사업 연구비에 의하여 지원된 연구 결과이며 이에 감사드립니다.

참고 문헌

- [1] The National Technology Roadmap for semiconductors, 2003.
- [2] 최우성, 소병문, 홍진웅, “ Al_2O_3 가 첨가된 ZnO의 전기적 특성”, 전기전자재료학회논문지, 9권, 6호, p. 572, 1996.
- [3] 김종열, 정종석, 박용희, 성만영, “ Al_2O_3 절연막의 형성과 그 활용방안에 대한 연구”, 전기전자재료학회논문지, 7권, 1호, p. 57, 1994.
- [4] C. H. Choi, P. R. Chindambram, and R. Khamankar, “Dopant profile and gate geometric effects on polysilicon gate depletion in scaled MOS”, IEEE Trans. Elec. Dev., Vol. 49, No. 7, p. 1227, 2002.
- [5] C. Hobbs, L. Fonseca, V. Dhandapini, S. Samavedam, B. Tayler, J. Grant, L. Dip, D. Triyoso, and R. Hegde, “Fermi level pinning at the poly/metal oxide interface”, Symp. on VLSI Tech. Dig. of Tech. papers., 2003.
- [6] H. Zhong, S. N. Hong, Y. S. Suh, H. Lazar, G. Heuss, and V. Misra, “Properties of

- Ru-Ta alloys as gate electrodes for NMOS and PMOS silicon devices”, International Elec. Dev. Meeting Tech. Dig., p. 467, 2001.
- [7] 노영진, 이충근, 홍신남, “실리콘 산화막에 대한 Ta-Mo 합금 게이트의 열적 안정성”, 전기전자재료학회논문지, 17권, 4호, p. 361, 2004.
- [8] J. R. Hauser and K. Ahmed, “Characterization of ultrathin oxides using electrical C-V and I-V measurements”, National institute of Standards and Technology, Gaithersburg, MD1998.
- [9] D. A. Buchman, IBM Journal of Research and Development, 43, No. 3, p. 245. 1999.
- [10] J. E. Suarez, B. E. Johnson, and B. El-Karch, “Thermal stability of polysilicon resistors”, Electronic Components and Technology Conference, Proceedings, p. 537, 1991.