

실험 계획법을 이용한 점착방지막용 플라즈마 증착 공정변수의 최적화 연구

차남구 · 박창화 · 조민수 · 박진구[†] · 정준호* · 이응숙*

한양대학교 재료화학공학부 마이크로바이오칩센터

*한국기계연구원 지능형정밀기계연구부

Optimizing the Plasma Deposition Process Parameters of Antistiction Layers Using a DOE (Design of Experiment)

Nam-Goo Cha, Chang-Hwa Park, Min-Soo Cho, Jin-Goo Park[†], Jun-Ho Jeong* and Eung-Sug Lee*

Division of Materials and Chemical Engineering, Micro Biochip Center,

Hanyang University, Ansan, 426-791, Korea

*Precision Machining Group, Korea Institute of Machinery & Materials, Daejeon, 305-343, Korea.

(2005년 7월 19일 받음, 2005년 10월 12일 최종수정본 받음)

Abstract NIL (nanoimprint lithography) technique has demonstrated a high potential for wafer size definition of nanometer as well as micrometer size patterns. During the replication process by NIL, the stiction between the stamp and the polymer is one of major problems. This stiction problem is more important in small sized patterns. An antistiction layer prevents this stiction and insures a clean demolding process. In this paper, we were using a TCP (transfer coupled plasma) equipment and C_4F_8 as a precursor to make a Teflon-like antistiction layer. This antistiction layer was deposited on a 6 inch silicon wafer to have nanometer scale thicknesses. The thickness of deposited antistiction layer was measured by ellipsometry. To optimize the process factor such as table height (TH), substrate temperature (ST), working pressure (WP) and plasma power (PP), we were using a design of experimental (DOE) method. The table of full factorial arrays was set by the 4 factors and 2 levels. Using this table, experiments were organized to achieve 2 responses such as deposition rate and non-uniformity. It was investigated that the main effects and interaction effects between parameters. Deposition rate was in proportion to table height, working pressure and plasma power. Non-uniformity was in proportion to substrate temperature and working pressure. Using a response optimization, we were able to get the optimized deposition condition at desired deposition rate and an experimental deposition rate showed similar results.

Key words nanoimprinting, antistiction layer, DOE (design of experiment).

1. 서 론

나노 임프린팅 리소그래피(NIL; nanoimprinting lithography)는 기존 방식의 리소그래피 한계를 넘어 마이크로 또는 나노 구조를 손쉽게 형성할 수 있는 기술로 평가되고 있다.¹⁻³⁾ 특히 기존 리소그래피를 이용하여 나노급 패턴을 형성하는데 가장 큰 문제인 가격적인 면에서 낮은 가격으로 상대적으로 대면적의 패턴을 형성할 수 있는 장점이 있다. 기본적으로 NIL 기술은 나노 구조물이 각인된 스탬프를 이용하여 기판 위의 열경화성 또는 광경화성 수지를 눌러 나노 구조물을 전사시키는 기술이다. 나노 임프린팅 기술의 핵심은 고분자 재료를 물리적인 접촉을 통해 스탬프와 동일한 형상의 패턴을 유도해내는데 있다.

서로 다른 두 물질이 물리적으로 접촉할 때 두 계면 사이에는 점착력이 발생된다. 이러한 점착력은 성공적인 나노 임프린팅 공정을 위한 중요한 변수로 작용한다.⁴⁾ 특히 패턴의 형상이 조밀해지고 선폭이 줄어들수록 이러한 점착현상은 더욱 중요하게 작용한다.⁵⁾ 점착 현상에 의해 스탬프와 수지 기판을 분리하는 과정에서 스탬프에 수지가 잔류하게 되고, 이는 부정확한 패턴 형성과 스탬프의 수명 단축 및 생산 수율에 영향을 미칠 수 있다. 성공적인 나노 임프린팅 결과와 스탬프를 보호하기 위한 방법은 수지가 스탬프에 붙지 않게 하는 것이다. 수지가 스탬프에 붙지 않게 하기 위한 방법 중 하나는 낮은 표면 에너지를 가지는 점착 방지막을 스탬프 표면에 형성시키는 것이다. 이러한 점착방지막을 형성하는 방법은 크게 spin coating, liquid SAM (self assembled monolayer), vapor SAM 및 plasma polymerization 방법이 있다.⁶⁾

[†]E-Mail : jgpark@hanyang.ac.kr

특히 플라즈마를 이용한 점착방지막 형성 방법은 반도체 진공 기술에 기반을 둔 건식 증착 방법으로 습식 방식에 비해 환경 오염이 적고 대면적에 균질한 코팅 결과를 얻을 수 있다.⁷⁾ 플라즈마를 이용하여 점착방지막을 형성할 때 균질한 코팅 결과를 얻기 위하여 제어해야 할 공정 변수들은 여러 가지로 고려될 수 있다. 이러한 변수가 각각 적절하게 고려되어 조합된 상태에서 최적의 플라즈마 증착 공정 설계가 가능하게 된다. 대량생산과 실용화를 앞두고 대면적에 효과적인 점착방지막을 형성하는 것은 나노임프린트 공정중 발생하는 점착 문제를 해결하고 생산 수율을 증대시키는 효율적 방안이 된다.⁸⁻¹⁰⁾

본 연구에서는 나노급 패턴에 응용할 수 있는 10 nm 급 점착방지막을 6인치 웨이퍼에 형성시키고 플라즈마 공정 변수를 실험계획법(DOE: design of experiment)을 이용하여 결정함으로써 최적의 조건을 알아보았다.

2. 실험 방법

2.1 실험재료

실험에 사용된 기판은 LG Siltron에서 구입한 6인치 Si (100) 웨이퍼를 사용하였다. 박막을 성장시키기 위한 장비는 (쥘소로나의 PECVD (plasma enhanced chemical vapor deposition) 장비를 사용하였다. Fig. 1은 장비의 개략적인 모식도를 나타내고 있다. 플라즈마를 형성하기 위하여 13.56 MHz의 corn-type TCP (transfer coupled plasma) 소스를 사용하였다. 건식 세정과 활성화 공정을 위하여 O₂ 가스와 Ar 가스가 사용되었다. 박막 증착을 위한 가스로는 C₄F₈(octafluorocyclobutane) 가스를 사용하였다. 챔버의 압력은 CDG (capacitance diaphragm gauge)를 이용하여 일정하게 유지되었다. 증착 조건별로 증착된 박막의 두께 측정은 J.A. Woollam사의 VASE 엘립소미터를 이용하였다. 엘립소미터 측정각은 70°와 75°에서 400~800 nm 파장 영역이 걸쳐 측정되었으며 Cauchy

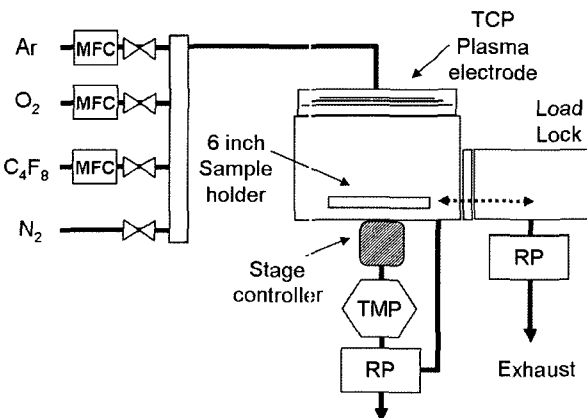


Fig. 1. A schematic diagram of the plasma deposition system for depositing an antistiction layer.

모델을 이용하여 계산되었다.

2.2 실험방법

실리콘 웨이퍼 기판은 O₂ 플라즈마 세정 및 Ar 플라즈마 활성화 공정 후 증착 공정을 수행하였다. O₂ 플라즈마 세정공정과 Ar 플라즈마 활성화 공정은 각각 20 sccm, 100 mTorr, 300 W에서 1분 동안 수행되었다. 기존 실험 결과를 바탕으로 C₄F₈ 플라즈마 증착 공정에 영향을 주는 변수로 4가지 요소를 고려하였다.¹¹⁾ 공정 요소로 테이블 높이(TH: table height), 기판의 온도(ST: substrate temperature), 공정압력(WP: working pressure) 그리고 플라즈마 파워(PP: plasma power)를 선택하였다. 그 후 각 요소의 수준은 장치의 설계 값을 반영하여 정해졌다. 본 논문에서는 실험상 편의를 위하여 전극간격 대신에 테이블 높이를 사용하였다. 테이블 높이는 전극과의 간격을 결정할 수 있는 중요한 요소로 장치에서 변경할 수 있는 0 mm와 80 mm가 선택되었다. 가장 큰 전극과의 간격을 가지는 0 mm의 경우 전극과의 거리는 150 mm였고 80 mm의 경우에는 70 mm를 나타내었다. 기판의 온도는 화면에서 표시되는 설정 온도를 의미하며 설정 온도가 30도와 200도에서 실험이 수행되었다. 실제 웨이퍼 기판의 온도와 설정 온도 사이의 차이는 TC (thermal couple) wafer (Process probe 1530A, Sensarray Co, USA)를 이용하여 측정되었다. 챔버 압력은 C₄F₈을 주입하여 50 mTorr와 150 mTorr를 형성하였다. 플라즈마가 형성되는 파워는 30 W와 150 W가 선택되었다. 플라즈마 증착은 각 실험 조건에서 3분 동안 수행되었다.

박막의 증착 후 증착 두께는 엘립소미터를 이용하여 측정되었다. 측정 위치는 6인치 웨이퍼의 상부(T: top), 중심(C: center), 하부(B: bottom), 왼쪽(L: left) 그리고 오른쪽(R: right)을 측정하였다. 증착율(DR: deposition rate)은 각 측정 부위에서 증착된 두께의 평균을 증착 시간으로 나눈 값을 이용하였다. 비균일도(NU: non-uniformity)는 3분 동안 증착된 값을 이용하여 1시그마 방식으로 표준편차를 평균으로 나눈 값의 백분율을 사용하였다.

최적의 실험 조건을 알아내기 위하여 4요인 2수준의 DOE 방법을 사용하였다. Table 1에는 DOE를 사용하기 위한 공정변수와 수준을 보여주고 있다. 각각의 공정변수를 변화시켜 가면서 공정 실험을 수행한 후 그 실험

Table 1. Definitions and levels of factors in the DOE

Factor	Unit	Level	
		Low	High
Table Height (TH)	mm	0	80
Substrate Temperature (ST)	°C	30	200
Working Pressure (WP)	mTorr	50	150
Plasma Power (PP)	W	30	100

결과를 실험계획법 소프트웨어인 Minitab (Minitab Inc, USA)을 사용하여 분석해 보았다. 실험의 결과값으로는 증착률과 비균일도를 사용하였으며 분산분석을 사용하여 요인들과 수준들이 각 변수나 교호작용에 의해 결과값에 어떠한 영향을 주는지 분석하여 보고 최적화된 실험 결과값을 알아 보았다.

3. 결과 및 고찰

각 실험 요소의 범위는 참고문헌¹²⁻¹⁴⁾과 기존 실험의 실험결과를 바탕으로 결정되었다.¹¹⁾ 기존 실험 결과 선택된 영역에서 증착률은 선형적인 변화를 보이는 것으로 확인되었다. 선형적인 변화량을 가지고 있는 실험요소를 최적화시키기 위하여 잘 알려진 실험계획법 소프트웨어인 Minitab을 사용하였다.^{15,16)}

먼저 정확한 실험을 위하여 heater의 표시 온도와 실제 웨이퍼 온도 사이의 상관관계를 TC wafer를 이용하여 확인해 보았다(Fig. 2(a)). Heater의 온도가 안정화 되는 데는 약 5~7 min이 소요되었고 TC wafer가 안정화 되는 데 소요되는 시간은 약 7~10 min이 소요되었다. 실제 웨이퍼 온도는 히터에서 설정되는 온도보다 낮게 나타났으며 온도가 증대 될수록 두 기관 사이의 편차가 증가되는 경향을 나타내었다(Fig. 2(b)).

Table 2에서는 각 조건에서 실험한 실험 결과를 보여 주고 있다. 이를 DOE 프로그램을 이용하여 분산분석을 실시해 보았다. Fig. 3은 본 연구에서 선택한 4가지 요

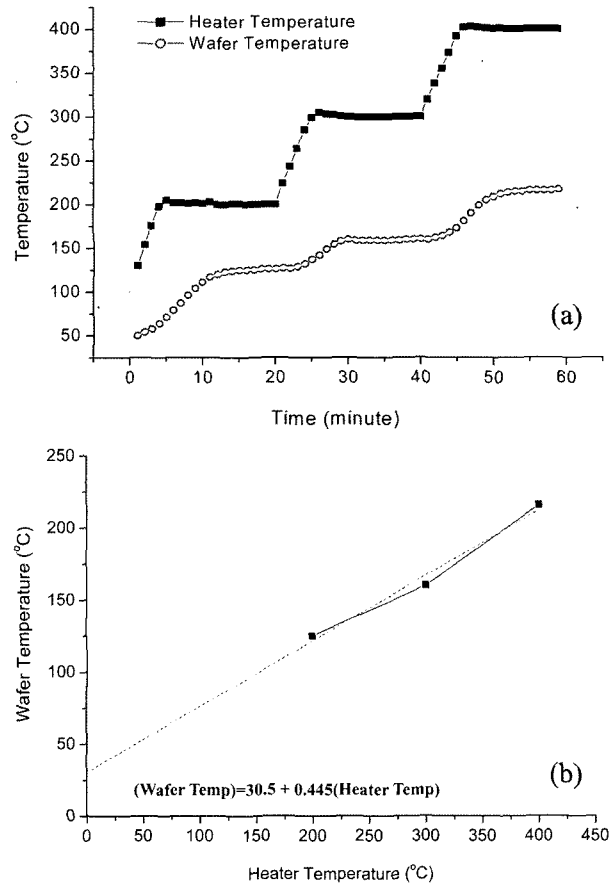


Fig. 2. The change of (a) a temperature as a function of time and (b) temperature difference between heater and TC wafer.

Table 2. Deposition conditions and response results

Experimental Order	Factor				Response	
	TH	ST	WP	PP	DR*	NU**
1	0	30	50	30	1.6	4.7
2	80	30	50	30	17.2	4.3
3	0	200	50	30	1.6	6.7
4	80	200	50	30	4.4	3.3
5	0	30	150	30	1.6	2.7
6	80	30	150	30	1.4	1.4
7	0	200	150	30	2.3	10.1
8	80	200	150	30	3.4	3.1
9	0	30	50	100	13.3	0.2
10	80	30	50	100	4.1	4.5
11	0	200	50	100	4.4	3.3
12	80	200	50	100	5.0	2.7
13	0	30	150	100	2.6	2.4
14	80	30	150	100	45.4	3.5
15	0	200	150	100	15.5	4.9
16	80	200	150	100	5.5	13.1

*DR: deposition rate (nm/min), **NU: non-uniformity (%)

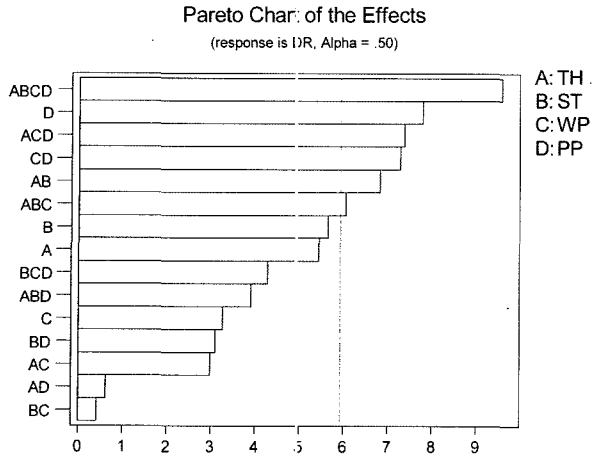


Fig. 3. Pareto chart of the standardized effects.

소에 대하여 유의수준 알파를 0.5로 준 경우의 파레토 차트를 나타내고 있다. 선택된 4가지 요소에 대한 파레토 차트에서 각 요인의 곱이 가장 큰 영향을 미치는 것을 알 수 있었다. 독립변수로는 플라즈마 파워가 가장 큰 영향을 미치는 것을 알 수 있었다.

Fig. 4는 4개의 공정 요인들에 대한 주 효과 그래프를 보여주고 있다. 주 효과 그래프의 기울기가 클수록 효과가 크게 나타나므로 각 요인의 상대적인 기울기를 관찰해 보았다. Fig. 4(a)에서 증착율은 기판온도에 반비례함을 알 수 있었다. 그리고 플라즈마 파워에 가장 큰 기

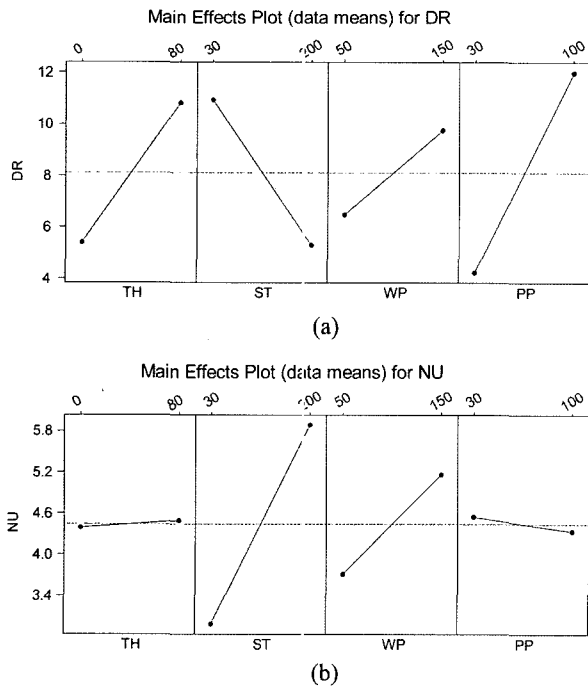


Fig. 4. Main effects plots for (a) deposition rate and (b) non-uniformity.

울기 값을 보였다. 본 실험을 수행한 구간에서 플라즈마 파워가 증가하면 증착속도가 증가했으며 이는 플라즈마 파워의 증가에 따른 플라즈마 내에 형성되는 radical의 농도 증가에 기인하는 것으로 판단된다.¹⁰⁾ Fig. 4(b)에서 비균질도는 기판 온도와 공정압력에 비례하며 증가하는 것을 알 수 있었다.

상호 요인들 간의 상관 관계를 알아보기 위하여 교호작용 그래프를 통해 두 개의 변수에 의한 영향을 알아 보았다. 교호작용 그래프에서 그래프의 교차점이 있으면 두 개 변수의 교호작용 크다는 것이므로 그 교차점이 있는 그래프를 확인해 보았다. Fig. 5(a)에서 증착율은 공정 압력과 플라즈마 파워 사이에 교호작용이 나타나는 것을 확인할 수 있었다. 이는 동일한 플라즈마 파워에서 공정 압력이 높을 경우 오히려 플라즈마 내에 radical이 잘 형성되지 않아 증착률이 떨어지는 것으로 생각된다. Fig. 5(b)에서 비균질도는 테이블 높이와 기판온도, 테이블 높이와 플라즈마 그리고 공정 압력과 플라즈마 파워 상호 간에 교호작용이 일어나는 것을 확인할 수 있었다.

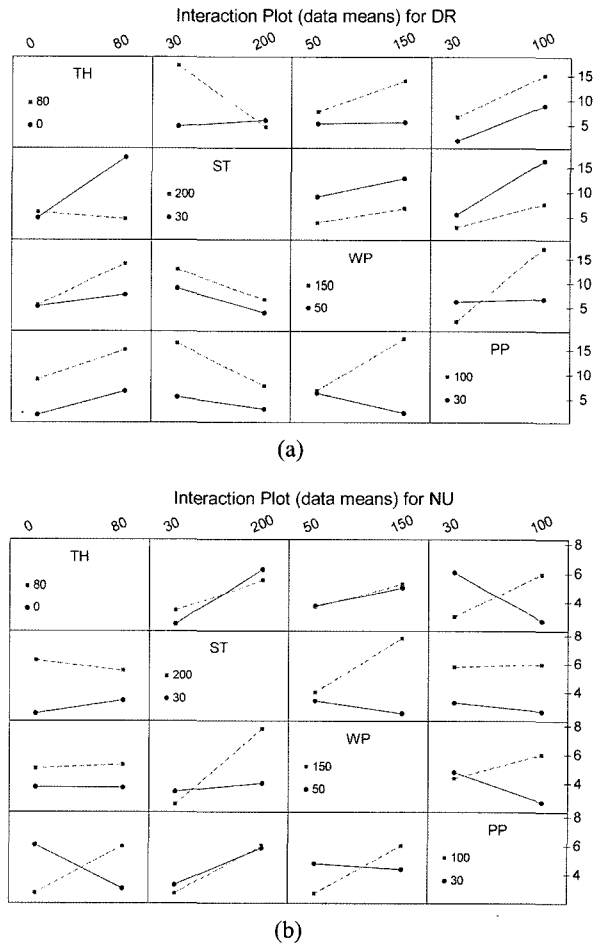


Fig. 5. Interaction effect plot for (a) deposition rate and (b) non-uniformity.

주요인 그래프와 상호작용 그래프를 통하여 증착물에 가장 큰 영향을 주는 요소는 기판의 온도와 플라즈마 파워라는 것을 알아낼 수 있었다. 특히 플라즈마 파워의 경우 비균질도를 증가시키지 않으면서 증착물을 조절할 수 있는 요소임을 확인하였다. Fig. 6에서는 테이블 높이는 0 mm로 두고 공정 압력은 50 mTorr로 고정시켰을 경우 상대적으로 영향을 많이 주는 기판 온도와 플라즈마 파워에 대한 증착률의 변화를 나타내고 있다.

DOE를 통한 실험 결과를 확인하기 위하여 동일한 실험 조건에서 시간에 따른 증착률을 측정해 보았다. 먼저 Minitab 소프트웨어의 response optimizer 도구를 사용하여 플라즈마 공정의 증착률을 계산해 보았다. 테이블 높이는 0 mm, 기판 온도는 150°C, 공정 압력은 50 mTorr, 플라즈마 파워는 70 W인 조건을 입력하였을 때 약 4.7 nm/min의 증착률을 얻을 수 있었다. 동일한 조건에서 실제 증착률은 약간 낮은 3.4 nm/min가 되는 것을 확인할 수 있었다(Fig. 7). 계산된 증착률과 실제증착률과의 차

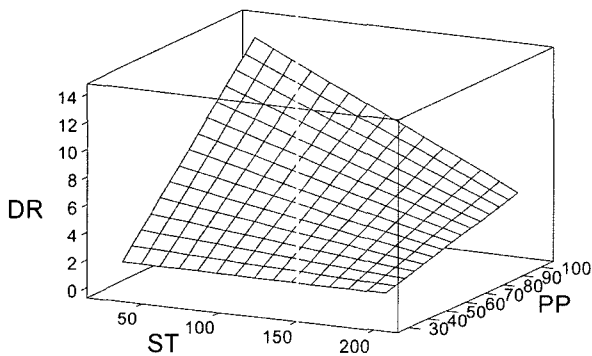


Fig. 6. Surface plot for deposition rate. (Hold values : 0 mm table height, 50mTorr working pressure)

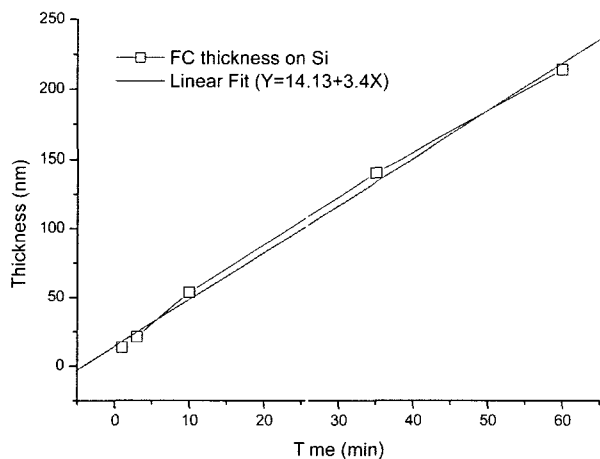


Fig. 7. The change of the deposited thickness and deposition rate as a function of time. The plasma was prepared at 0 mm table height, 150°C substrate temperature, 50mTorr working pressure and 70W plasma power.

이는 DOE 실험은 3분을 기준으로 수행되었으나 증착시간이 증대되면서 표면 온도의 증가, 잔류 가스의 변화 등으로 예상보다 낮은 증착률이 나타난 것으로 생각된다.¹⁷⁾

4. 결 론

본 연구에서는 6인치 실리콘 웨이퍼에 나노미터급 두께의 점착방지막을 형성하고 각 변수의 영향을 알아보기 위하여 실험계획법을 이용한 통계적 방법이 사용되었다. 실험에 사용된 공정요인은 테이블 높이, 기판의 온도, 공정압력 및 플라즈마 파워가 선택되었다. 4요인 2수준을 결정하고 full factorial design 통해 실험이 수행되었다. 실험결과는 증착률과 비균질도가 사용되었으며 주요인 그래프와 교호작용 그래프를 이용하여 각 공정변수의 영향과 상호작용을 확인할 수 있었다. 기판의 온도는 증착률에 반비례했고 플라즈마 파워는 증착률에 비례하는 결과를 보였다. 기판의 온도와 공정압력은 비균질도를 증대시키는 요인으로 확인되었다. 특별히 플라즈마 파워는 비균질도를 증대시키지 않으면서 효과적으로 증착률을 증가시키는 요소임을 알 수 있었다. 계산된 증착률과 실제 공정상의 증착률의 차이를 조사하기 위하여 동일한 공정 조건에서 시간에 따른 증착률을 알아보았다. 동일한 조건에서 실제 증착률은 계산된 증착률과 유사한 값을 나타내었다. 각 공정 변수 상호간의 이해는 새로운 장비의 공정을 확립하는데 효과적이었으며 또한 시행착오 인한 비용과 시간을 절약할 수 있었다.

감사의 글

본 연구는 과학기술부 21세기 프론티어 연구개발사업인 나노메카트로닉스 기술개발사업 (과제번호: 05K1401-00215)의 연구비 지원을 받아 수행되었으며, 이에 관계자 여러분께 감사 드립니다.

참 고 문 헌

1. Alternative Lithography, Edited by Clivia M. Sotomayor Torres, Kluwer Academic Publishers (2003).
2. S. Y. Chou, P. R. Krauss and P. J. Renstrom, Appl. Phys. Lett, **67**, 3114 (1995).
3. H. Becker and U. Heim, Sensors and Actuators, **83**, 130 (2000).
4. R.W. Jaszewski, H. Schiff, B. Schnyder, A. Schneuwly and P. Gröning, Applied Surface Science, **143**, 301 (1999).
5. M. Beck, M. Graczyk, I. Maximov, E. L. Sarwe, T. G. I. Ling, M. Keil and L. Montelius, Microelectronic Engineering, **61**, 441 (2002).
6. K. K. Lee, N. G. Cha, J. S. Kim, J. G. Park and H. J. Shin, Thin Solid Films, **377**, 727 (2000).
7. Y. Matsumoto, K. Yoshida and M. Ishida, Sensors and

- Actuators, **66**, 308 (1998).
8. Y. Matsumoto and M. Ishida, *Sensors and Actuators*, **83**, 179 (2000).
9. J. F. Li, H. L. Liao, C. X. Ding and C. Coddet, *Journal of Materials Processing Technology*, **160**, 34 (2005).
10. K. Takahashi, A. Itoh, T. Nakamura and K. Tachibana, *Thin Solid Films*, **374**, 303 (2000).
11. N. G. Cha, I. K. Kim, C. H. Park, H. W. Lim and J. G. Park, *Korean Journal of materials Research*, **15**, 149 (2005).
12. C. Q. Jiao, A. Garscadden and P. D. Haaland, *Chemical Physics Letters*, **297**, 121 (1998).
13. L. Sandrin, M. S. Silverstein and E. Sacher, *Polymer*, **42**, 3761 (2001).
14. K. P. Ningel, D. Theirich and J. Engemann, *Surface and Coating Technology*, **98**, 1142 (1998).
15. P. R. Charani and J. M. Rovshandeh, *Bioresource Technology*, **96**, 1658 (2005).
16. M. H. Choi, N. H. Kim, S. Y. Kim and E. G. Chang, *Journal of the Korean Institute of Electrical and Electronic Material Engineers*, **18**, 24 (2005).
17. J. H. Kim and K. H. Chung, *Journal of the Korean Physical Society*, **47**, 249 (2005).