

SOI 기술의 이해와 고찰: 소자 특성 및 공정, 웨이퍼 제조

최 광 수[†]

수원대학교 공과대학 전자재료공학과

Basic Issues in SOI Technology: Device Properties and Processes and Wafer Fabrication

Kwang Su Choe[†]

Dept. of Electronic Materials Engineering, College of Engineering, University of Suwon

(2005년 2월 1일 받음, 2005년 8월 31일 최종수정본 받음)

Abstract The ever increasing popularity and acceptance in the market place of portable systems, such as cell phones, PDA, notebook PC, etc., are fueling efforts in further miniaturizing and lowering power consumption in these systems. The dynamic power consumption due to the CPU activities and the static power consumption due to leakage currents are two major sources of power consumption. Smaller devices and a lower dc voltage lead to reducing the power requirement, while better insulation and isolation of devices lead to reducing leakage currents. All these can be harnessed in the SOI (silicon-on-insulator) technology. In this study, the key aspects of the SOI technology, mainly device electrical properties and device processing steps, are briefly reviewed. The interesting materials issues, such as SOI structure formation and SOI wafer fabrication methods, are then surveyed. In particular, the recent technological innovations in two major SOI wafer fabrication methods, namely wafer bonding and SIMOX, are explored and compared in depth. The results of the study are mixed in that, although the quality of the SOI structures has shown great improvements, the processing steps are still found to be too complex. Between the two methods, no clear winner has yet emerged in terms of the product quality and cost considerations.

Key words SOI, FIPOS, wafer bonding, BESOI, SIMOX.

1. 서 론

재료적 관점에서 볼 때 SOI(silicon-on-insulator) 웨이퍼 기술은 매우 어려운 문제를 접하고 있다. 즉, 기판 혹은 웨이퍼 표면의 소자 층 아래에 옥사이드(SiO₂) 형태의 절연 층을 형성하는 것인데, 이와 같이 웨이퍼 표면으로부터 불과 몇 마이크로미터 내의 두께를 갖는 SOI라 불리는 얇은 표면 실리콘 층(surface silicon layer)의 결정질을 훼손하지 않으면서, 그 밑에 BOX (buried oxide)라 불리는 매장된 옥사이드 층을 형성하는 것은 그리 쉽지 않은 일이다. 이러한 어려움에도 불구하고 SOI 웨이퍼 제조기술은 근자에 장족의 발전을 이루어 SOI 웨이퍼가 상용으로 공급되고 있고, 이를 사용한 SOI 소자의 수요도 꾸준히 늘고 있어 소자 선폭이 65 nm에 다다를 것으로 예상되는 2006년에 가서는 거의 모두가 SOI 소자로 대체될 것으로 판단되고 있다.

SOI 소자가 지닌 매력으로 높은 집적도에 따른 빠른 작동속도와 SOI 소자 특유의 낮은 전력소모를 들 수 있

다. 휴대전화기, 노트북 PC와 같은 시스템 내 전력소모의 주요 인자로는 CPU에서의 ac 작동에 기인하는 동전력소모(dynamic power consumption)와 회로 전류누설에 의한 정전력소모(static power consumption)를 들 수 있다. 따라서 총 전력소모(P_{tot})는

$$P_{\text{tot}} = P_{\text{dyn}} + P_{\text{stat}} = \alpha C V_{\text{dd}}^2 f + I_{\text{leak}} V_{\text{dd}} \quad (1)$$

α ≡ the circuit activity

C ≡ the total equivalent capacitance of the circuit

V_{dd} ≡ the power supply voltage

f ≡ the operating frequency

I_{leak} ≡ the static leakage current

와 같은 식으로 나타낼 수 있는데,¹⁾ 일반적으로 동전력소모는 정전력소모에 비해 매우 크다. 오른쪽의 변수들 중 입력전압에 대해 자승에 비례하는 다이내믹한 전력소모를 줄이기 위해서는 입력전압을 낮추는 것이 가장 효과적임을 알 수 있다. 아울러 수면모드(sleep

[†]E-Mail : kschoe@suwon.ac.kr

mode)를 사용하여 가능한 한 회로작동율(α)을 줄이며, 커패시턴스(C)를 감소시키고, 작동주파수(f)를 줄이는 것이 중요함을 알 수 있다. 커패시턴스는 gate oxide capacitance, interconnect capacitance, junction capacitance로 나뉘는데, SOI 소자의 경우 소스 및 드레인과 서브스트레이트 간의 접합(junction)이 없으므로 junction capacitance가 크게 주는 것을 알 수 있고, 아울러 소자의 크기를 축소할 수 있어 추가로 커패시턴스를 낮추고 작동전압도 낮출 수가 있다. 정전력소모의 원인인 전류누설은 pn 접합이 역 바이어스 되었을 때 흐르는 포화전류 때문인데, 시스템이 on 상태에서는 지속적으로 일어나므로 이들의 감소를 위해서는 pn 접합을 가능한 한 줄이고 절연(isolation)하는 것이 매우 중요하며, 이에 또한 SOI 기술이 효과적이다.

이 밖에도 소자의 채널길이(L) 축소에 따른 길이/깊이 비율의 감소로 인해 일어나는 쇼트채널효과(short-channel effect)와 같은 악영향을 제거하기 위해서는 채널길이를 축소할 때 이와 비례하여 소스, 드레인의 접합깊이(junction depth)를 줄여 길이/깊이 비율이 감소하지 않도록 하는 것이 중요한데, 이를 이루는데 SOI 구조는 매우 효과적이다. 그 이유는 SOI 소자의 경우 소스, 채널, 드레인으로 구성되는 소자영역이 BOX 층 위의 SOI 층에 구성되며, 이 SOI 층의 두께를 조절함으로써 길이/깊이의 비율을 적당하게 맞출 수가 있기 때문이다.

소자 제조공정과 관련하여서도 SOI 소자가 기존의 bulk 소자에 비해 단순한 것으로 알려져 있다. 한 예로 소자 절연을 위하여 트렌치(trench) 구조가 필요 없으며, 단순히 FOX(field oxide)를 BOX와 접한 상태가 되도록 형성함으로써 소자의 완전절연이 가능하다.

이와 같은 SOI 소자의 여러 가지 장점 때문에, 소자 구현에 필요한 SOI 재료에 대한 관심이 늘고 있다. 다음 장부터는 SOI 재료 개발에 있어서 분수령이 되었던 FIPOS, 웨이퍼 본딩, SIMOX 기술의 핵심을 분석하고, 이 중 상업화에 성공한 웨이퍼 본딩과 SIMOX 기술을 완성된 SOI 웨이퍼의 구조(structure) 및 질(quality) 관점에서 1대 1로 비교 고찰하여, 향후 차세대 소자가 요구하는 매우 얇은 SOI 층의 두께, 향상된 SOI 층 및 BOX 층의 질, 그리고 우수한 SOI/BOX 계면의 질을 보증하는데 있어서의 우위를 가늠해 보고자 한다.

2. FIPOS(Full Isolation by Porous Oxidized Silicon) 기술

A. Uhlir Jr.²⁾에 의해서 1956년 처음 발견된 포러스(porous) 실리콘은 스펀지 형태의 많은 구멍을 가진 단결정 실리콘이다. 이러한 포러스 실리콘은 전해액에 실리콘과 전극을 넣고 실리콘에 양(+)전압을 전극에 음(-)

전압을 가하여 전류를 흐르게 하는 electrolytic anodization에 의하여 형성될 수 있다.^{2,3)} 여기서 중요한 점은 실리콘에 반드시 홀 전류가 흘러야 하므로 실리콘에 대한 바이어스가 반드시 양극이 되어야 한다는 점이다. 실리콘이 p-type이면 실리콘/전해액 계면은 정류접합(rectifying junction)이 되어 실리콘이 양극인 순방향 바이어스가 되면 전류가 잘 흐르게 되나 그 반대인 역방향 바이어스 경우는 잘 흐르지 않게 된다. 반면 실리콘이 n-type인 경우, 실리콘에 양 전압을 가하면 역방향 바이어스가 형성됨으로 전류의 흐름이 막히게 된다. 이러한 역 바이어스 상태의 n-type 실리콘에 홀 전류가 흐르게 하는 방법으로는 전해액/실리콘 계면에 강한 빛을 쬐어 전자-홀 쌍들이 형성되도록 하거나, 혹은 n-type 실리콘을 매우 높게 도핑하여 degenerate 상태, 즉 금속과 유사하도록 만드는 것이다.

Electrolytic anodization 장치는 일반적으로 전해액을 담은 용기와 용기 양단에 수직 평행하게 장치된 웨이퍼 크기의 백금 망사로 된 양극과 음극 두개의 전극, 그리고 이 두 전극에 연결된 dc 전원으로 구성 된다.^{2,6)} 전해액으로는 HF 용액 혹은 희석된 HF 용액을 사용하며, 희석제로는 표면활성제(surfactant) 역할을 하는 메탄올(methanol)을 주로 사용한다. 포러스 실리콘은 두 전극 사이에 실리콘 웨이퍼를 수직으로 전극들과 평행하게 삽입했을 때, 음전극 쪽의 웨이퍼 표면에 형성된다. 이 때 삽입된 실리콘 웨이퍼는 양극과 음극 쪽의 전해액을 분리, 차단한다.

이렇게 형성되는 포러스 실리콘의 구조 및 형상은 경우에 따라 매우 다르게 나타날 수 있는데, 이는 시편의 종류에 따라 electrolytic anodization 과정에서 시편에 걸리는 전압 및 흐르는 전류의 값이 다르기 때문이다. 즉 p⁺-type 실리콘 시편의 경우 순방향 바이어스 상태에서 저항이 매우 낮으므로 걸리는 전압이 낮아, 매우 고르고 고밀도의 작은 구멍으로 형성된 포러스 실리콘을 얻을 수 있고, 반면 n-type 실리콘의 경우 역방향 바이어스 상태에서 고저항의 시편에 전류가 흐르기 위해서는 breakdown을 일으킬 수 있는 매우 높은 전압이 걸리게 되어, 얻어진 포러스 실리콘은 매우 구멍이 크고, 길이가 긴 파이프 형태를 보이게 되며, 그 외 p-type 실리콘, n⁺-type 실리콘, 그리고 빛을 노광한 경우는 위 두 극단적인 경우 사이에 놓이게 된다.^{4,6)}

잘 제어된 환경에서 p⁺-type 실리콘에 만들어진 porous 실리콘은 매우 미세하고 균일하며, 이러한 많은 구멍들로 인하여 포러스 실리콘의 단위 체적 당 표면적은 매우 높아 보통 수백 m²/cm³에 달하는 것으로 알려져 있다.^{7,8)} 이렇게 넓은 표면적은 화학반응을 촉진시켜 산화반응의 경우 보통 실리콘에 수십 배 정도 빠르게 진행되므로 포러스 실리콘을 선택적으로 산화시킬 수 있다.

일본 NTT 사가 개발한 FIPOS 기술^{9,10)}은 이에 착안한 것이다. 즉 소자영역 주위를 p⁺-type 실리콘으로 감싼 뒤 electrolytic anodization을 실행하여 이 부분만이 포러스 실리콘이 되도록 한 후 산화공정을 실행하여 이 포러스 실리콘이 선택적으로 산화되어 옥사이드가 되도록 하는 것이다. 이 방법의 장점은 별도로 만들어진 SOI 웨이퍼가 필요 없으며, 소자제조공정의 앞부분에 FIPOS 공정을 삽입하면 되어 매우 경제적인데, 실지로 NTT 사의 연구진은 이 방법을 사용하여 정상적으로 작동하는 SOI MOSFET 소자를 제작하는데 성공하였다.¹⁰⁾

FIPOS 방법 및 이와 유사한 방법들¹¹⁻¹⁷⁾의 단점 혹은 문제점을 거론한다면 electrolytic anodization이 p⁺-type 실리콘 전체에 대해 동시에 일어나지 않고, 소자영역 양쪽의 표면에 노출된 p⁺-type 실리콘에서 시작되어 점차 내부로 진행된다는 점이다. 따라서 이 진행방향으로 이동하는 등근 계면이 소자영역의 아래에서 만나게 되며 이때 만나는 지점의 아래 위가 뾰족(cusp)하게 될 수 있다. 아울러 산화작용도 똑같은 방향으로 진행되는데 옥사이드는 실리콘에 비해 부피가 2.27배에 달하므로, 포러스 실리콘 내의 구멍들이 이 부피증가를 감당하지 못할 때, 산화계면 주위에 shear stress가 형성되어 소자영역 내의 실리콘에 strain에 의한 defect 및 dislocation이 형성될 수 있고, 그 정도는 cusp 주위에 특히 심할 수가 있다. 이러한 문제점 및 기타 기술적 이유 때문에 이 방법은 현재 광범위하게 사용되고 있지는 않다.

3. 웨이퍼 본딩(Wafer Bonding) 기술

웨이퍼 본딩 기술의 기본개념은 두개의 웨이퍼를 사용하여 각 앞 표면에 적정 두께의 옥사이드(SiO₂)를 기른 뒤, 이 두 옥사이드 면을 청정한 공간 내에서 접합한 후, 열처리를 통하여 결합시키고, 두 웨이퍼 중 한 웨이퍼를 갈고(grind), 에칭하고(etch), 닦아(polish) 적정 두께의 소자용 SOI 층으로 만드는 것이다. 개념적으로 볼 때, 이 SOI 층에 해당하는 부분은 본딩 및 에칭을 포함하는 전 공정을 통하여, 결정질을 손상당할 큰 이유가 없기 때문에 단결정질의 매우 우수한 SOI 층을 형성하는 것이 가능하다. 하지만 반도체 소자가 진화하면서 점점 얇은 SOI 층을 요구하는 추세이므로, 매우 얇고 균일한 SOI 층을 얻는 매우 어려운 공정상의 문제가 남아있다. 현재 관심을 끄는 공정기술로는 포러스 실리콘을 에치스톱(etch stop)으로 사용하는 방법¹⁸⁻²⁰⁾과 포러스 실리콘 층을 수압을 사용하여 분리시키는 ELTRAN[®](Epitaxial Layer TRANSfer) 기술,²¹⁻²⁵⁾ 그리고 임플란트된 수소(H₂)를 사용한 분리기술인 hydrogen slicing 혹은 Smart Cut[®] 기술²⁶⁾을 들 수 있다.

에치스톱 방법에서는 보통 매우 높게 도핑된 p⁺-type

실리콘을 SOI 구조를 남기고 에칭 될 디바이스 웨이퍼(device wafer)로 사용하는데, 이 웨이퍼의 표면에 적정 두께 및 도핑농도를 가진 에피 층을 MOCVD와 같은 유기화학방법으로 증착한다. 그 이후에는 앞서와 마찬가지로 산화층을 형성하고, SOI 구조를 지지하는 기판으로 사용될 보통 p-type 실리콘 핸들 웨이퍼(handle wafer)와 본딩하고 열처리한 뒤, 디바이스 웨이퍼의 상당부분을 갈고 나서 에칭에 들어가게 된다. 에칭용액에 의한 실리콘의 에칭속도는 일반적으로 에칭용액의 화학적 성분, 온도에 의존하며, 더불어 실리콘 웨이퍼 내의 도핑농도에 대해 민감하게 의존한다. 특히 보론(B)이 $1 \times 10^{19} \text{cm}^{-3}$ 이상으로 높게 도핑된 p⁺-type 실리콘의 경우 에칭속도가 $1 \times 10^{16} \text{cm}^{-3}$ 이하로 도핑된 일반 p-type 실리콘에 비해 매우 높아 에칭용액의 화학적 반응을 관찰하면 쉽게 p⁺-type 실리콘이 다 에칭 되고 p-type 실리콘 에피 층이 들어나는지를 판단할 수 있다. p-type 실리콘 에피 층이 들어나면 에칭속도가 급격히 감소하므로 이때 에칭을 중단할 수 있어, 이를 에치스톱 방법 혹은 BESOI(Bond and Etch-Back SOI) 방법이라고 한다. 이 방법의 문제점으로는 300 mm 달하는 ULSI 용 실리콘 웨이퍼의 경우 면적이 매우 넓으므로 전 면적에 걸쳐 고른 에칭속도를 유지하기 어려운 점이다. 따라서 에칭 후 잔존하는 p-type 실리콘 에피 층의 두께가 고르지 않을 수가 있고, 이러한 문제는 에피 층이 얇아질수록 보다 심각해질 수 있다. 이를 보완하기 위한 것이 앞서 언급한 포러스 실리콘을 에치스톱 층으로 사용하는 기법이다. 이 기법의 특이점은 p⁺-type 실리콘 위에 p-type 실리콘 에피 층을 증착하기에 앞서 전기화학적 방법(electrolytic anodization)으로 아주 세밀한 포러스 실리콘 층을 형성하는 하는 것이다. 포러스 실리콘 층을 형성하고 그 위에 p-type 실리콘 에피 층을 증착한 후의 공정은 앞서 언급한 기존의 에치스톱 방법과 유사하다. 에칭용액 내에서의 포러스 실리콘은 에칭속도가 p⁺-type 실리콘에 비해서도 매우 빠르며, 적정두께를 사용할 경우 p-type 실리콘 에피 층에 거의 손상을 주지 않고 에칭을 마무리할 수 있는 에치스톱의 역할을 훌륭하게 할 수 있다.

ELTRAN[®]은 일본 Canon 사에 의해 특허 등록된 기술로 위의 포러스 실리콘을 에치스톱으로 사용하는 BESOI 방법과 유사하나, 단 포러스 실리콘을 에치스톱으로 이용하지 않고, water jet을 사용하여 절단 내는 층(splitting layer)으로 활용한다는 점이다. 이는 포러스 실리콘이 구조적으로 연약하고, 내부에 이미 스트레스가 형성되어 있어, water jet의 수압이 가하는 shear stress에 쉽게 붕괴된다는 점에 착안한 것이다. 이렇게 에칭방법 대신에 절단방법을 사용하여 디바이스 웨이퍼를 온전히 떼어내면 디바이스 웨이퍼를 재활용할 수 있어 비용절감 또한 기대할 수 있다. 포러스 층이 절단된 후 SOI를 구성

하는 p-type 실리콘 에피 층의 표면은 잔여 포러스 실리콘에 의하여 매우 거칠 수가 있다. 이 거친 표면은 1150°C에서 약 1시간 정도 수소(H₂) 가스 환경에서 어닐링(annealing)을 하면 매끈하게 만들어 질 수 있다.^{27,28)} 이 ELTRAN[®] 방법을 사용하여 일본 Canon 사는 직경 300 mm의 SOI 웨이퍼도 제작하는데 성공하였다.²⁹⁾

Smart Cut[®]은 프랑스 Soitec 사에 의해 특허 등록된 기술로 wafer bonding 이전에 디바이스 웨이퍼에 약 $5 \times 10^{16} \text{ cm}^{-2}$ 정도의 수소(H₂) 이온을 적정 깊이로 임플란트 하는데, 이로 인해 micro bubble이 형성되며, 임플란트 후 약 500°C 온도에서 어닐링을 하면 micro bubble들이 <100> 방향으로 확장하며 연결되어 SOI 층이 디바이스 웨이퍼로부터 분리 된다.²⁰⁾ 이 기술을 사용하여 Soitec 사는 현재 직경 300 mm까지의 SOI 웨이퍼를 다 산하고 있으며, 이 기술의 장래는 매우 밝다고 판단된다.

4. SIMOX(Separation by IMplanted OXYgen) 기술

SIMOX 방법의 기본적인 개념은 고 에너지로 가속된 산소(O) 이온을 실리콘 웨이퍼 표면에 주사하여 표면 밑으로 임플란트 시킨 후 적당한 환경, 온도 및 시간을 사용하여 어닐링 함으로써 웨이퍼 표면 밑에 균일하게 BOX(buried oxide)라 불리는 매장된 옥사이드 층을 형성하는 것이다.³⁰⁻³²⁾ 이 방법은 화학용액을 사용한 에칭 공정을 제거함으로써 드라이한 공정만으로 SOI 웨이퍼를 생산할 수 있다는 큰 장점이 있다. 아울러 임플란트 되는 산소 이온의 에너지를 조절함으로써 임플란트 깊이를 제어할 수 있어, SOI 층의 두께를 미리 정할 수 있고, 표면 손상이 거의 없으므로 추가적인 닦기(polishing) 공정이 없어도 되는 점이 또한 장점이다.

기술적인 면에서 SIMOX 방법을 실행하는데 있어 선행되어야 할 사항은 빠르게 다량의 300 mm와 같은 큰 직경의 웨이퍼를 임플란트 할 수 있는 처리량(throughput)을 가진 고 에너지 임플란트 시스템을 개발하는 것과, 임플란트 에너지 및 양(dose), 그리고 어닐링 환경, 온도 및 시간과 연관된 균일하고 밀도 있는 BOX 층 및 양질의 SOI 층을 형성하는 방법을 개발하는 재료실험이다. 과거 임플란트 시스템은 주로 소스, 드레인, 채널 등 웨이퍼 표면에 위치한 소자의 특정 부위를 선택적으로 임플란트 하는데 사용되어 상대적으로 낮은 에너지 및 처리속도를 가진 시스템이 개발되어 사용되었으나, SIMOX 공정에 사용되는 임플란트 시스템은 웨이퍼 표면에서 깊숙이 웨이퍼 전체에 대하여 임플란트 해야 함으로 그 에너지와 처리속도가 매우 높아야 한다고 볼 수 있다. 현재 이에 대한 개발이 성과를 거두어 대용량 임플란트 시스템이 속속 상용화되고 있다.

재료적 관점에서 볼 때 이온 임플란트와 어닐링을 통하여 BOX를 형성하는 것은 매우 흥미롭다. 이 과정을 살펴보면, 우선 임플란트 된 산소이온이 주변의 실리콘 원자와 결합하여 옥사이드(SiO₂)를 형성하는 화학적 반응이 일어나야 되며, 옥사이드 분자들이 단단히 결합하여 밀도가 높고 두께가 균일한 양질이 옥사이드 층이 형성되어야 한다. 특히 옥사이드는 실리콘에 비해 부피가 2.27배이어서 옥사이드 형성 시 부피 팽창에 의하여 주변 실리콘 단결정으로 가해지는 shear stress를 최소화하기 위해서는 옥사이드가 매우 균일한 두께로 형성되는 것이 매우 중요하다. 산소 임플란트 후 어닐링 공정에서 만약 임플란트 된 산소이온의 농도가 낮으면 옥사이드가 지속적으로 연결된 층을 이루지 못하고, 구슬(bead)과 같이 동그랗게 뭉치거나 끊어진 형태의 옥사이드로 이루어진 BOX 층을 이루어 올바른 절연효과를 볼 수 없으며, 아울러 이러한 불균일한 옥사이드 들은 주변 실리콘에 stacking fault 및 threading dislocation 형성의 원인이 되기도 한다. 반대로 임플란트된 산소이온의 농도가 너무 높아도 BOX 층의 과도한 부피팽창을 초래하여 주변 실리콘에 stacking fault와 threading dislocation을 형성할 수 있다. 따라서 반도체 소자용 SOI 구조를 형성하는데 임플란트 될 수 있는 산소이온의 조사량(dose)은 균일한 BOX 층을 형성할 수 있는 범위 내에서 최소한으로 제한되며, 실험에 의해 확인된 최적의 조사량은 $0.35 \times 10^{18} - 0.4 \times 10^{18} \text{ cm}^{-2}$ 정도로 알려져 있으며,³⁰⁾ 이를 LD(low-dose) 임플란트라고 한다. 산소이온의 조사량과 BOX 층 두께간의 관계식은 아래와 같다.

$$d_{\text{BOX}}(\text{nm}) = \frac{x(\text{atoms}/\text{cm}^2)}{4.4 \times 10^{22} \text{ atoms}/\text{cm}^3} \times 10^7 \quad (2)$$

식 (2)에서 오른쪽 항의 분모의 $4.4 \times 10^{22} \text{ atoms}/\text{cm}^3$ 는 SiO₂ 형성에 필요한 산소 요구량을 나타내고, 분자의 x는 산소 임플란트 조사량을 나타낸다. 따라서 위의 LD 임플란트로 얻을 수 있는 BOX 층의 두께는 80 nm-90 nm 정도로 제한된다. 단 1350°C와 같은 고온에서 산소(O₂) 가스를 주입하며 어닐링하면 확산에 의해 산소분자를 추가로 BOX 층에 공급할 수 있어 이 층의 두께를 추가로 증가시킬 수 있다. ITOX(internal thermal oxidation)라 부르는 이 방법은 SOI 층의 위, 아래 계면 모두를 산화시키는 것으로 이로 인해 BOX 층의 두께가 추가로 43 nm 증가하는 것이 보고된 바 있다.³¹⁾ 단 산화에 의한 SOI 층의 소모가 위, 아래에서 동시에 이루어지므로 이 방법을 사용하여 얻을 수 있는 BOX 층 두께의 증가는 제한적일 수밖에 없다.

위 방법에 의해 얻어진 LD-SIMOX 웨이퍼는 SOI 층

내의 defect 밀도가 낮다는 장점이 있으나 BOX 층의 두께가 대체로 얇아 소자제조공정 중에 이 BOX 층이 손상될 염려가 있다. 따라서 보다 두꺼운 BOX 층이 요구될 경우 산소이온의 조사량을 높여 BOX 층의 두께를 증가시키는 HD(high-dose) 임플란트가 사용되어야 한다.

SIMOX 공정 중에 매우 중요한 부분을 차지하는 어닐링은 온도, 시간 및 환경이 모두 매우 중요한데 이러한 파라미터는 실험을 통하여 적정치를 파악하는 것이 요구된다. 하지만 온도의 경우 대체적으로 1350°C 이상이 필요한 것으로 보고되고 있다.^{30,31)}

위에 언급된 여러 기술적 어려움에도 불구하고, SIMOX 기술은 그간 획기적인 개선을 통하여 매우 양질의 SOI 웨이퍼를 다량 생산하고 있어 웨이퍼 본딩 기술과 함께 큰 호응을 얻고 있다. 더욱이 임플란트 기술 자체가 매우 신축성이 있어 임플란트 물질, 농도, 에너지를 자유로이 조절함으로써 BOX 층의 두께를 조절하는 것뿐만 아니라 필요에 따라 의도적으로 불연속인 BOX 층을 형성할 수도 있다. 또한 임플란트 에너지가 다른 반복 연속 임플란트를 통해 두 개 이상의 BOX 층도 형성할 수 있다.³³⁾ 최신 SIMOX 기술³⁴⁾의 한 예로 Fig. 1은 SEM으로 관측된 SIMOX 구조를 보여주고 있는데, 140 nm 두께의 SOI 층과 36 nm 두께의 매우 얇은 BOX 층이 균일하게 형성되어 있음을 볼 수 있다.

5. 웨이퍼 본딩 대 SIMOX 기술의 비교 평가

현재까지 알려진 주요 SOI 웨이퍼의 제작방법으로는 웨이퍼 본딩 및 SIMOX 방법 이외에 zone-melting recrystallization (ZMR) 방법이 있다. 이 방법은 실리콘 웨이퍼 위에 옥사이드를 기르고, 그 위에 폴리실리콘 에피층을 증착한 후, 레이저, 램프 등의 열원을 사용하여 재결

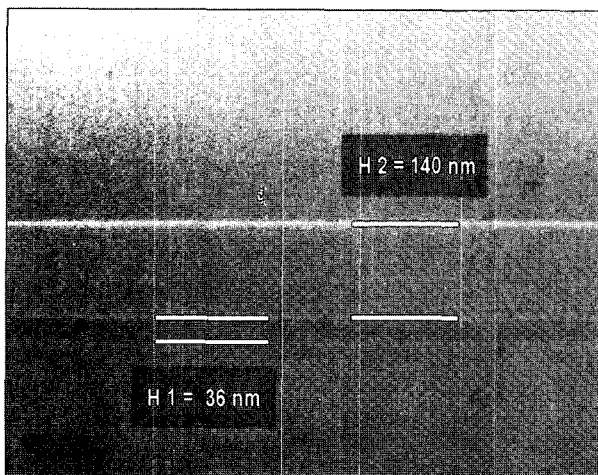


Fig. 1. An SEM photo of a state-of-the-art SIMOX SOI structure: $d_{SOI}/d_{BOX}=140\text{ nm}/36\text{ nm}$.

정(recrystallize) 시켜 SOI 층을 형성하는 것이다. 이 방법은 여러 기술적 어려움으로 인해 재결정된 실리콘 에피 층의 질이 대체로 불량하여 아직은 광범위한 호응을 얻고 있지 못하므로, 본 장에서는 현재 가장 진보된 단계에 와있는 웨이퍼 본딩 및 SIMOX 방법만을 비교 평가하고자 한다. 현재 이 두 가지 방법은 모두 광범위하게 상용화되고 있어, 어느 한 방법에 우위를 점하는 것을 매우 어려운 일이라 하겠다. 하지만 SEMI 2001³⁵⁾ 표준에 지정된 웨이퍼 명세를 비교하면 Table 1에서와 같이 요약할 수 있다. 표면 실리콘(SOI) 층의 두께는 둘 다 $\leq 0.2\mu\text{m} \pm 5\text{nm}$ 로 제한되고 있으며, 두께 편차는 SIMOX 웨이퍼가 $\leq \pm 3\text{nm}$, bonded wafer가 $\leq \pm 7.5\text{nm}$ 로 앞서 언급한대로 SIMOX 웨이퍼가 더 우수함을 알 수 있다. 반면 SOI etch pit은 각각 $<1 \times 10^6/\text{cm}^2$, $<1 \times 10^4/\text{cm}^2$ 으로 bonded wafer가 더 적으며, threading dislocation은 SIMOX 웨이퍼에만 $<5 \times 10^4/\text{cm}^2$ (LD), $<5 \times 10^5/\text{cm}^2$ (HD)만큼 존재하고, 웨이퍼 표면의 거칠기(roughness)은 각각 $<0.4\text{ nm rms}$, $<0.2\text{ nm rms}$ 로 닦기(polishing) 공정을 거치는 bonded wafer가 덜 거친 것으로 나타나 있다. BOX 층의 두께는 두 방법 모두에 대해 $\leq 0.4\mu\text{m} \pm 5\text{nm}$ 로 지정되어 있고, pinhole 밀도는 각각 $<0.5/\text{cm}^2$ (LD)/ $<0.1/\text{cm}^2$ (HD), $<0.1/\text{cm}^2$ 로 LD-SIMOX 웨이퍼에 비해 bonded wafer가 우수하며, dielectric breakdown의 경우에도 각각 $>5\text{MV/cm}$, $>6\text{MV/cm}$ 로 bonded wafer가 약간 우세하다. 이러한 비교결과를 종합해 볼 때, SOI 층의 두께 제어에 있어서는 SIMOX 방법이 우수하지만 SOI 층과 BOX 층의 질에 있어서는 웨이퍼 본딩 방법이 보편적으로 우세한 것으로 판단된다.

SOI 웨이퍼 제조기술의 전망은 SOI 소자기술의 향후 진보 방향을 참고로 논할 수 있다. 몇 가지 예측이 가능한 것을 나열하면, 우선 소비전력의 감소 및 단위소자당 제작비용의 감소 등 복합적인 이유로 SOI 소자의 크기는 앞으로도 계속 축소 될 것이며, 따라서 SOI 층의 두께 또한 얇아질 것으로 예상된다. 이에 따라 SOI 층과 BOX 층의 질 및 두께에 대한 보다 정밀한 제어가 요구되며, SOI 층과 BOX 층 계면의 질이 향상되어야 할 것이라고 예측할 수 있다. 이 중 SOI 층의 두께를 조절하는데 있어서는, 산소 이온 임플란트 후 어닐링 과정에서 웨이퍼 표면을 적정 두께만을 남기고 산화시켜 제거할 수 있는 SIMOX 방법이 유리하다고 볼 수 있고, 반면 SOI 층 및 BOX 층 질의 제어라든가 계면의 질 향상에 관하여서는 웨이퍼 본딩 방법이 더 유리하리라고 판단된다. 이렇게 둘 모두 장단점이 있으므로 두 방법 중의 하나가 향후 우위를 점하리라고 예측되기 보다는 개별 소자의 설계 및 공정에 적합한 구조 및 질을 제공할 수 있는 방법이 소자별로 선별되리라 판단된다.

Table 1. Detailed specification of SOI wafer for CMOS LSI application³⁵⁾

Item (units)	Specification		Standard Reference	Test Method
	SIMOX	Bonded		
SOI Layer Characteristics				
Growth Method	CZ	See NOTE 1.		
Surface Silicon Thickness (μm)	≤ 0.2	≤ 0.2		Spectroscopic ellipsometry, Spectroscopic reflectometry
Surface Silicon Thickness Mean Value Variation (nm)	$\leq \pm 5$	$\leq \pm 5$ See NOTE 2.		Spectroscopic ellipsometry, Spectroscopic reflectometry
Surface Silicon Thickness Variation in Wafer (nm)	$\leq \pm 3$	$\leq \pm 7.5$ See NOTE 2.		
Crystal Orientation	(100) $\pm 1^\circ$	(100) $\pm 1^\circ$	ASTM F 26	X-ray diffraction
Rotation Misalignment (deg)	NA	$\leq \pm 1$		Visual
Edge Exclusion (nm)	5	5		
Non-SOI Edge Area (mm)	NA	3		Visual
Conductivity Type Dopant	P-type Boron	P-type Boron	ASTM F 42	Secondary ion mass spectroscopy
Dopant Concentration (atoms/cm ³)	See NOTE 1.	See NOTE 1.		Secondary ion mass spectroscopy
SOI Etch Pit (/cm ²)	$< 1 \times 10^6$	$< 1 \times 10^4$		Secco's etching
Threading Dislocation (/cm ²)	$< 5 \times 10^4$ (LD) $< 5 \times 10^5$ (HD)	NA		Secco's etching
HF Defect (/cm ²)	< 0.5	< 0.5 (150 mm ϕ) < 0.3 (200 mm ϕ)		HF etching
Void (/wafer)	NA	See NOTE 1.		Visual, Automated particle counter
Roughness (Si surface) rms (nm) @ $2 \times 2 \mu\text{m}$	< 0.4	< 0.2		Atomic force microscope
Surface Metal Contamination (Fe, Cr, Ni, Cu) (/cm ²)	$< 5 \times 10^{10}$ for each atom	$< 5 \times 10^{10}$ for each atom	ASTM F 1526	TXRF AAS, ICP-MS
BOX Characteristics				
BOX Thickness (μm)	≤ 0.4	≤ 0.4		Spectroscopic ellipsometry, Spectroscopic reflectometry
BOX Thickness Variation (%)	$\leq \pm 5$	$\leq \pm 5$		Spectroscopic ellipsometry, Spectroscopic reflectometry
Bonded Interface Location	NA	See NOTE 1.		
BOX Pinholes (/cm ²)	< 0.5 (LD) < 0.1 (HD)	< 0.1		Cu plating, BOX capacitor
Dielectric Breakdown (MV/cm)	> 5	> 6		BOX capacitor
Mechanical Characteristics				
Warp (μm)	< 40 (LD) < 50 (HD)	< 40	ASTM F 1390	Automatic noncontact scanning
Flatness-site (μm)	See NOTE 1. (Refer to SEMI M18.)	See NOTE 1. (Refer to SEMI M18.)		
Front Surface Visual Inspection				
Scratch	None	None	ASTM F 523	Visual inspection
Haze	None	None	ASTM F 523	Visual inspection
LLS (/cm ²) @ particle size	≤ 0.3 @ $> 0.25 \mu\text{m}$	≤ 0.3 @ $> 0.2 \mu\text{m}$		Automated particle counter
Slip	See NOTE 1.	See NOTE 1.	ASTM F 523	Visual inspection
Edge Chip	SEMI M1	SEMI M1	ASTM F 523	Visual inspection
Edge Crack	SEMI M1	SEMI M1	ASTM F 523	Visual inspection
Foreign Matter	See NOTE 1.	See NOTE 1.	ASTM F 523	Visual inspection
Back Surface Characteristics				
Backside Metal Contamination (Fe, Cr, Ni, Cu) (/cm ²)	$< 1 \times 10^{11}$ for each atom	$< 1 \times 10^{11}$ for each atom	ASTM F 1526	TXRF AAS, ICP-MS

NOTE 1: to be specified or discussed between users and suppliers.

NOTE 2: typically 0.1 μm and thicker SOIs are specified.LD: Low dose SIMOX with BOX thickness ≤ 200 nmHD: High dose SIMOX with BOX thickness > 200 nm

6. 결 론

본 논문에서는 최근 관심이 증대되고 있는 SOI 소자의 특성과 소자 제작에 필요한 SOI 웨이퍼의 주요 제조방법을 논하였다. 휴대전화기, 노트북 PC 등 이동성이 뛰어난 정보전자제품의 수요가 증가되고 있으며, 이들 제품의 소비전력의 감소가 매우 중요해 진 요즈음 보다 향상된 절연으로 누설전류를 감소시킬 수 있고, 소자의 축소 가능하며, 소자제조공정을 단순화 시킬 수 있는 SOI 기술은 매우 매력적임을 알 수 있다. 이러한 이유로 증가하는 SOI 소자의 수요와 맞물려 SOI 웨이퍼의 수요 또한 증가하고 있는데, 현재 광범위하게 호응을 얻고 있는 웨이퍼 본딩 및 SIMOX 방법을 심도 있게 고찰하고 비교분석하였다. 기존의 SOI 소자 디자인 및 공정의 요구사항을 만족시키고 있는 이 두 가지 방법의 미래는 차세대 소자가 요구하는 매우 얇은 SOI 층의 두께, 향상된 SOI 층 및 BOX 층의 질, 그리고 우수한 SOI/BOX 계면의 질에 달려있으며, 이 두 방법 중 어느 하나가 모든 점에 대해 우위를 점할 수 없을 것으로 보임에 따라 개개의 소자별로 선택적으로 사용될 것으로 판단된다.

참 고 문 헌

1. J. -L. Pelloie, *Microelectronic Engineering*, **39**, 155 (1997).
2. A. Uhler, Jr., *Bell Syst. Tech. J.*, **35**, 333 (1956).
3. D. R. Turner, *J. Electrochem. Soc.*, **105**, 402 (1958).
4. M. I. J. Beale, N. G. Chew, M. J. Uren, A. G. Cullis, and J. D. Benjamin, *Appl. Phys. Lett.*, **46**, 86 (1985).
5. M. I. J. Beale, J. D. Benjamin, M. J. Uren, N. G. Chew, and A. G. Cullis, *J. Crystal Growth*, **73**, 622 (1985).
6. R. L. Smith and S. D. Collins, *J. Appl. Phys.*, **71**, R1 (1992).
7. Y. Watanabe, Y. Arita, T. Yokoyama, and Y. Igarashi, *J. Electrochem. Soc.*, **122**, 1351 (1975).
8. T. Unagami, *Jpn. J. Appl. Phys.*, **19**, 231 (1980).
9. K. Imai, *Solid-State Electron.*, **24**, 159 (1981).
10. K. Imai and H. Unno, *IEEE Trans. Electron Devices*, **31**, 297 (1984).
11. L. A. Nesbit, *IEDM* **84**, 800 (1984).
12. K. Barla, J. J. Yon, R. Herino, and G. Bomchil, *Insulating Films on Semiconductors*, ed. J. J. Simonne and J. Buxo, p.53, Elsevier Science Publishers B.V. (North-Holland) (1986).
13. J. D. Benjamin, J. M. Keen, A. G. Cullis, B. Innes, and N. G. Chew, *Appl. Phys. Lett.*, **49**, 716 (1986).
14. T. L. Lin and K. L. Wang, *Appl. Phys. Lett.*, **49**, 1104 (1986).
15. K. Barla, G. Bomchil, R. Herino, A. Monroy, and Y. Gris, *Electron. Lett.*, **22**, 1291 (1986).
16. S. S. Tsao, *IEEE Circuits and Devices Magazine*, November 1987, p.3.
17. K. Barla, G. Bomchil, R. Herino, and A. Monroy, *IEEE Circuits and Devices Magazine*, November 1987, p.11.
18. K. Sakaguchi, N. Sato, K. Yamagata, Y. Fujiyama, and T. Yonehara, *Jpn. J. Appl. Phys.*, **34**, 842 (1995).
19. N. Sato, K. Sakaguchi, K. Yamagata, Y. Fujiyama, T. Yonehara, *J. Electrochem. Soc.*, **142**, 3116 (1995).
20. T. Yonehara, K. Sakaguchi, and N. Sato, *Electrochem. Soc. Proc.*, 95-7, p.47, The Electrochemical Society, Pennington (1995).
21. N. Sato, K. Sakaguchi, K. Yamagata, Y. Fujiyama, *Jpn. J. Appl. Phys.*, **35**, 973 (1996).
22. K. Sakaguchi, K. Yanagita, H. Kurisu, H. Suzuki, K. Ohmi, and T. Yonehara, *PV99-3, Silicon-on-Insulator Technology and Devices*, ed. P. L. Hemment, p.117, The Electrochemical Society, Pennington (1999).
23. K. Sakaguchi, K. Yanagita, H. Kurisu, H. Suzuki, K. Ohmi, and T. Yonehara, *SSDM 2000 Extended Abstracts*, p.484, The Japan Society of Applied Physics, Yokohama (2000).
24. N. Sato, S. Ishii, T. Yonehara, *PV2000-13, CVD*, ed. M. D. Allendorf and M. L. Hitchman, p.435, The Electrochemical Society, Pennington (2000).
25. K. Sakaguchi and T. Yonehara, *Solid State Technology*, June 2000, p.88.
26. J. -P. Colinge, *Silicon-on-Insulator Technology: Materials to VLSI*, 2nd ed., p.50, Kluwer Academic Publishers, Boston (1997).
27. N. Sato and T. Yonehara, *Appl. Phys. Lett.*, **65**, 1924 (1994).
28. N. Sato, M. Ito, J. Nakayama, and T. Yonehara, *SSDM 98 Extended Abstracts*, p.298, The Japan Society of Applied Physics, Yokohama (1998).
29. M. Ito, K. Yamagata, H. Miyabayashi, and T. Yonehara, *Proceedings of 2000 IEEE International SOI Conference*, p.10 (2000).
30. S. Nakashima and K. Izumi, *J. Mater. Res.*, **8**, 523 (1993).
31. S. Nakashima, T. Katayama, Y. Miyamura, A. Matsuzaki, M. Kataoka, D. Ebi, M. Imai, K. Izumi, and N. Ohwada, *J. Electrochem. Soc.*, **143**, 244 (1996).
32. J. Liu, S. S. K. Lyer, C. Hu, N. W. Cheung, R. Gronsky, J. Min, and P. Chu, *Appl. Phys. Lett.*, **67**, 2361 (1995).
33. N. Hatzopoulos, W. Skorupa, and D. I. Siapkas, *J. Electrochem. Soc.*, **147**, 354 (2000).
34. R. E. Bendernagel, K. S. Choe, B. Davari, K. E. Fogel, D. K. Sadana, G. G. Shahidi, S. Tiwari, *United States Patent*, No.: US 6,800,518 B2, October 5, 2004.
35. SEMI M47-1101, *Specification for Silicon-on-Insulator (SOI) Wafers for CMOS LSI Applications*, Semiconductor Equipment and Materials International (2001).