

과거의 판매자료 패턴에 근거한 반도체 생산 계획의 수립

박동식*, 한영신**, 이철기*

Making Semiconductor Production Plan
using the past marketing pattern reference

Dong Sik Park, Young Shin Han, Chil Gee Lee

Abstract

Designing a production and equipment investment plan for semiconductors, many variables must be taken into account. However, depending on these variables could bring many changes to the plans, and the end result is hard to predict. Because it's hard to predict the end result, it's never easy to make a standard production plan. So, the goal of this project is to design a production plan based on past marketing patterns to satisfy all the variables and come up with a reasonable thesis on a standardized process.

Key Words: simiconductor, production plan, pattern, line, past marketing

* 성균관대학교 컴퓨터 공학과

** 이화여자대학교 컴퓨터그래픽스/가상현실연구센터

1. 서론

반도체 산업은 21세기 정보화 사회를 선도하는 핵심부품 산업으로 국가의 첨단 산업 발전을 촉진하는 주력산업이다. 반도체 산업은 첨단 핵심 부품산업으로써, Timing산업, 고부가가치, 고성장, 고위험, 기술 집약적 특징을 갖는다. 따라서 시장상황을 정확히 예측하고 그 상황에 적절히 대응할 수 있는 생산 계획을 세우는 일은 매우 중요하다. 그러나 생산 계획을 세우는데 충족되어야 하는 제약조건이 매우 다양하고 변동성이 크기 때문에, 표준화된 시스템을 따르기가 매우 어렵고 관련 연구도 이론적인 면으로만 치우치고 있는 형편이다[1, 2, 3]. 따라서 현재 업계에서는 단순 수식계산 프로그램과 담당자의 경험과 주관적인 판단을 이용하여 생산 계획을 세우고 있다. 하지만 이 경우, 사람의 주관적인 판단으로 하다보니, 시간이 많이 소요될 뿐만 아니라, 도출된 생산 계획에 대한 객관적인 평가를 할 수도 없다. 하나의 계획을 세우는데 보통 80시간 내외의 시간이 걸리게 되고, 자그마한 변동이라도 생기면, 10시간 정도의 추가시간을 소요하게 됨으로서, 1분 1초를 다투는 반도체 업계에서는 커다란 손실이다. 또한 담당자의 경험과 능력에 따라 생산 계획이 많이 변동한다는 것은 불확실성을 증대시키는 요인이다.

이에 본 논문에서는 이러한 문제점을 해결하기 위해 일정 수준의 융통성이 보장된 표준화된 시스템을 제시하였다. 범용제품에 대해서는 과거의 패턴자료를 이용하여 빠른 시간내에 결과를 도출하도록 하고, 전략적인 판단이 개입되어야 하는 특수제품에는 담당자의 판단이 들어갈 수 있는 시스템을 구성함으로써, 계획을 빠른 시간내에 수립하면서, 계획에 대한 객관적인 검증이 가능하도록 하였다.

실험결과의 유효성은 실제 완성된 생산 계획을 이 모델에 적용한 결과값과 비교함으로써 입증하였다. 패턴을 얼마나 정교하게 수립하느냐에 따라 틀려지긴 하지만, 대체적으로

96% 이상의 유사성을 보임을 확인하였다.

본 논문 구성은 다음과 같다.

2장에서는 반도체 라인 생산계획을 수립하는데 필수적인 요소들 및 라인 생산계획을 세우기 전에 수행한 중간과정에 대해 설명하고, 3장에서는 패턴의 정의 및 패턴을 적용하여 라인 생산계획을 세우는 방법에 대해서 설명하였다. 마지막 4장에서는 실험 결과 및 추후 연구 방향을 제시하였다.

2. 반도체 생산 계획

라인 생산 계획을 수립하기 전 필요 요소 및 실행 과정은 다음과 같다[4, 5, 6, 7, 8, 9].

2.1 판매계획 수립

해당 시기에 어느 제품을 얼마만큼 판매할 것인지 계획을 수립하는 것을 말한다. 판매계획은 특정제품의 수요전망과, 당사 매출 및 시장점유율 전망, 제품별 판매 단가를 참고로 하여 수립하게 된다.

2.2 Design Rule(이하 DR)

반도체의 설계과정에서 공정능력과 설정된 제조방법의 한계성을 고려하여 반드시 지켜져야만 하는 설계규칙으로서 각 기능부위 및 기능부위 간의 물리적 거리가 그 내용으로 포함한다. <표 1>과 같이, 같은 제품이라도 여러 가지 DR을 사용해서 제조할 수 있고 제품에

<표 1> DR별 칩 산출량

제품	DR	칩 산출량
A	DR1	100
	DR2	120
	DR3	150
B	DR2	200
	DR3	220

따라 적용할 수 있는 DR이 각각 다르다. 또한 DR에 따라서 웨이퍼당 산출되는 칩의 갯수가 틀리다.

2.3 제품별 DR별 출시시기

제품별로 DR이 틀리듯이, 그러한 DR을 라인에 적용시킬 수 있는 시기도 틀리게 된다. 따라서 <표 2>와 같은 제품별 DR별 출시시기에 대한 정보를 제공받아 계획을 수립하게 된다.

<표 2> 출시시기

제품	DR	출시시기
A	DR1	2003년 3월
	DR2	2003년 6월
	DR3	2003년 8월
B	DR2	2003년 7월
	DR3	2003년 10월

2.4 라인별 생산가능용량(Capacity) 산정

각 라인은 생산가능용량을 가지고 있다. 하지만, 보유하고 있는 설비에 따라 생산에 사용할 수 있는 DR이 정해져 있다. 따라서 생산가능용량을 산정하기 위해서는 라인별 DR별 생산가능용량으로 산정해야 한다.

예를 들어 생산라인 두개가 있고 사용가능한 DR이 3개가 있을때, 1라인에서는 DR1, DR2를 사용할 수 있고 2라인에서는 DR2, DR3를 사용할 수 있다면, <표 3>과 같이 각 라인별 DR별 용량을 산정할 수 있다.

<표 3> 라인별 DR별 Capacity

라인	DR	Capacity
1라인	DR1	20000
	DR2	25000
2라인	DR2	15000
	DR3	30000

2.5 생산비중 산출

생산비중이란 제품별 DR의 비율을 말한다. 생산비중 산출이란 위의 4가지 데이터를 참조로 하여, 특정 제품, 특정 DR의 생산비중을 산출하는 것이다.

예를 들어, DR1과 DR2, DR3를 적용시켜 생산할 수 있는 A 제품이 있다고 하자. 그렇다면 <표 4>와 같이 제품별 DR의 생산비중을 산출할 수 있고, 그 합은 100%가 되어야 한다.

<표 4> 생산비중

제품	DR	생산비중(%)
A	DR1	30
	DR2	20
	DR3	50
	합	100

생산비중 산출은 최종 결과를 생산하기 전 도출해 내는 중간 결과라고 볼 수 있다. 생산비중에서 대체적으로 올바른 결과값을 얻어내야만, 라인 분배에서 옳은 결과값을 얻어내는 데 도움을 줄 수 있다.

생산비중을 산출하는데 있어서도 여러 알고리즘이 쓰일 수 있는데, 본 논문에서는 패턴 기반의 알고리즘으로 계산된 생산비중을 근거로 하여 라인 분배를 실시하였다.

2.6 라인 분배계획 수립

위의 여러 요소들을 산출하여 라인의 DR별 생산가능용량에 따라 적절하게 분배를 해주어야 한다. 이때 생산가능용량이 여유가 있다고 무조건적으로 분배를 하게 되면, 여러 문제들이 발생을 하게 된다.

다음과 같은 간단한 예를 보자. 2005년 1분기에 다음과 같은 양의 제품을 생산하여야 한다고 하자.

<표 5> 제품별 DR별 Wafer 필요량

제품	DR	필요량
A	DR1	20000
	DR2	10000
	DR3	10000
B	DR2	15000
	DR3	20000

라인별 DR별 생산가능용량은 다음과 같다고 하자.

<표 6> 라인별 DR별 Capacity

라인	DR	Capacity
1라인	DR1	20000
	DR2	25000
2라인	DR2	15000
	DR3	30000

그렇다면 다음과 같이 배분을 하면 웨이퍼 생산량 필요량을 라인별 생산가능용량내에서 생산할 수 있다.

<표 7> 라인별 제품별 DR별 Capacity

라인	제품	DR	Capacity
1라인	A	DR1	20000
	A	DR2	5000
	B	DR2	5000
2라인	A	DR2	5000
	B	DR2	10000
	A	DR3	10000
	B	DR3	20000

위와 같은 작업을 각 분기별로 수행하여 생산라인 운영계획을 세우게 된다. 하지만 위의 작업에는 여러가지 어려움이 따르게 된다. 첫 번째로는 라인, 제품 및 DR의 종류가 수십 내지 수백가지 정도가 된다. 이러한 변수들이 서로 연관되어 영향을 주고 받아서 한가지 변수가 변동되면, 다른 많은 변수들도 변동이 되어야 한다는 점이다.

두 번째로는 각 라인별로 생산해야 하는 제품별 DR별 생산량이 각 분기별로 연속성을 가지고 있어야 한다는 점이다. 각 제품은 그냥 생산만 하면 되는 것이 아니라, 라인의 설비 상황을 감안해야 한다. 반도체 라인에서, 어느 제품의 생산량을 증가시키거나 감소시키려면 설비의 업그레이드나 재배치가 필요한데, 그러한 것을 감안하지 않고 무리한 생산량의 증가나 감소를 시킬 경우 문제가 발생하게 된다. 예를 들어, 이번 분기에 제품 500개를 생산하는 계획을 세웠다면, 다음분기에는 +800에서 -200 범위내에서 생산 계획을 세워야 무리가 없을 것이다.

이외에도, 위의 예에서는 각 제품의 필요량은 라인의 생산가능용량내에서 생산할 수 있었지만 현실적으로는 그렇지 않을 수도 있다. 예를 들면, 라인을 통틀어서 DR1의 생산가능용량이 20000인데 생산해야 할 양은 10000밖에 안 되고, DR2의 생산가능용량이 35000인데, 생산해야 할 양이 50000일 경우, 문제가 발생하게 된다. 이러한 경우에는 제품을 변동시킬 수 있도록 하거나, 여의치 않을 경우 라인을 신증설해야 할 것이다.

위와 같은 여러가지 요인들 때문에 계획을 세우는데 있어서 전문가도 상당한 시일이 걸리는 어려운 작업이다. 이에 본 과제에서는 라인 분배 과정을 과거의 패턴을 이용하여 최적의 방법을 찾도록 하였다.

3. 패턴에 의한 라인 분배

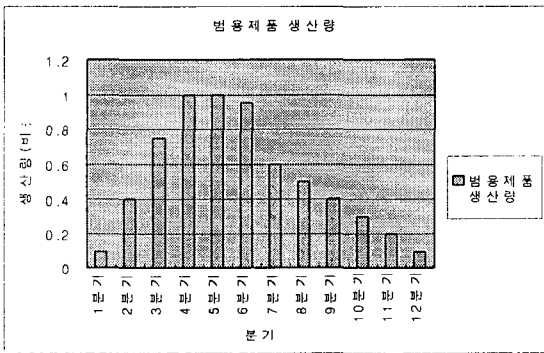
3.1 패턴의 정의

과거의 생산 자료를 바탕으로 DR별 제품별 생산량에 대한 패턴을 알 수 있다[10]. 일반적으로 범용 제품과 특수 제품과는 패턴이 완전히 틀림을 알 수 있었다. 왜냐하면 범용 제품은 일반적인 시장 사이클을 따르지만, 특수 제품의 경우엔, 기업의 전략적인 결정에 의해서

생산 및 판매되기 때문이다.

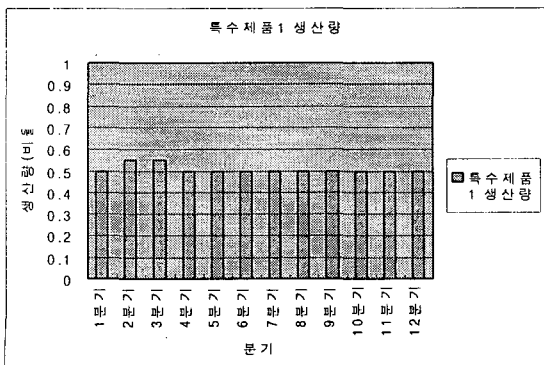
실제 생산자료의 패턴은 기업 자체의 보안 사항 이므로 이해에 도움을 주기 위해 임의로 <그림 1 ~ 5, 7>과 같은 패턴을 만들었다.

범용 제품의 경우 <그림 1>과 같은 패턴을 갖고 있다고 가정하였다. 처음에는 급격하게 생산량이 늘어났다가, 최대치에 이르러 일정 비율을 유지하고, 서서히 하강하는 모습임을 알 수 있다.

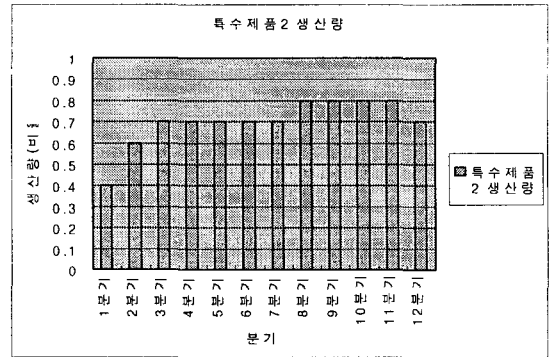


<그림 1> 범용제품의 생산자료 패턴

특수제품의 경우에는 범용제품과는 판이하게 다르다. 전략적인 판단이 들어가기 때문에 <그림 2>와 같이 매분기별 증감이 거의 없이 생산이 될 경우도 있고, <그림 3>과 같이 증가만이 이루어지다가 갑작스레 생산이 중단 될 수도 있다.

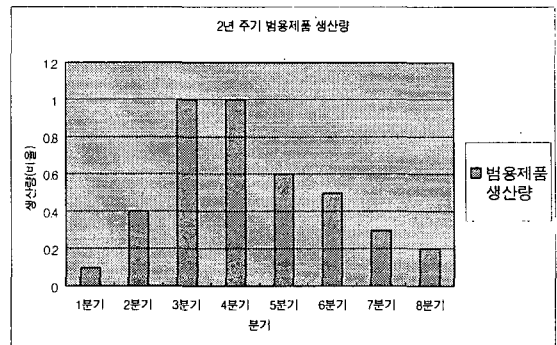


<그림 2> 특수제품1의 생산자료 패턴

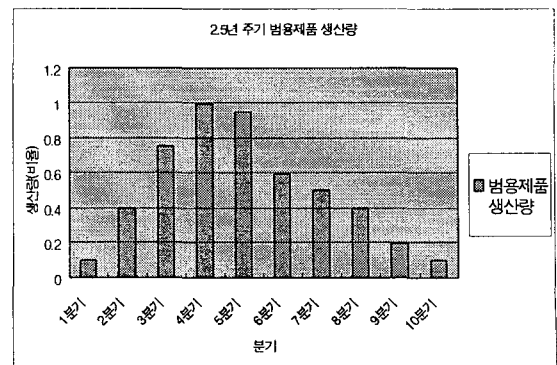


<그림 3> 특수제품2의 생산자료 패턴

표준적인 범용제품은 보통 3년을 주기로 생산되었다가 단종된다. 하지만 제품의 종류에 따라서 주기가 단축되곤 한다. 따라서 본 과제에서는 범용제품에 따라서 2년 주기와 2.5년 주기의 생산자료 패턴을 추가 적용하였다.



<그림 4> 2년 주기 범용제품 생산자료 패턴



<그림 5> 2.5년 주기 범용제품 생산자료 패턴

3.2 출시시기 및 직전분기 생산량

패턴은 절대적인 생산량을 나타낸 것이 아니라, 상대적인 생산량을 나타낸 것이다.

따라서 직전 분기의 생산량과 제품의 출시시기, 패턴을 참조하여 특정 분기의 생산량을 산출할 수 있다.

3.3 라인 분배

위에서 구한 여러 요소를 조합하여 라인에 분배를 하게 된다.

예를 들면 다음과 같다.

2004년 1분기에 생산된 라인별 제품별 DR별 산출량이 다음 표와 같다고 하자.

<표 8> 라인별 제품별 DR별 산출량

라인	제품	DR	2004년 1분기
1라인	A	DR1	1000
	A	DR2	500
	B	DR2	1000

출시 시기는 다음 표와 같다고 하자.

<표 9> 출시 시기

라인	제품	DR	출시 시기
1라인	A	DR1	2003년 2분기
	A	DR2	2003년 4분기
	B	DR2	2003년 3분기

위의 각 제품이 범용제품이라고 하면, 다음과 같은 범용제품 생산자료 패턴을 적용하여야 한다.

<표 10> 범용제품 생산자료 패턴

1Q	2Q	3Q	4Q	5Q	6Q	7Q	8Q	9Q	10Q	11Q	12Q
0.1	0.4	0.75	1.0	1.0	0.95	0.6	0.5	0.4	0.3	0.2	0.1

위의 세가지 표를 조합하여 2004년 2분기의 생산량을 도출해 내는 것은 다음과 같다.

1라인의 A제품 DR1의 1분기 생산량은 1000이고, 출시시기는 2003년 2분기이다. 패턴과 적용시키면, 4Q 1.0과 대응되게 된다. 다음분기인 5Q의 값을 보니, 4Q와 같은 1.0 이므로, 1라인 A제품 DR1의 2분기 생산량은 1000이 된다.

다음, 1라인의 A제품 DR2의 1분기 생산량은 500이고, 출시시기는 2003년 4분기이다. 패턴과 적용시키면 2Q의 0.4와 대응되게 된다. 다음 분기인 3Q의 값을 보니, 0.75이다. 따라서, 2분기 생산량 = $500 * 0.75 / 0.4$ 가 되어, 937만큼 생산하면 된다.

나머지 B제품도 마찬가지로 방식으로 계산을 하고나면, 다음과 같은 생산량을 얻을 수 있다.

<표 11> 라인 분배 후 분기별 생산량

라인	제품	DR	1분기	2분기
1라인	A	DR1	1000	1000
	A	DR2	500	937
	B	DR2	1000	1333

3.4 1차 재분배

위의 라인 분배 과정을 보면, 라인의 Capacity 부분에 대해서는 고려를 하지 않았다. 패턴과 직전분기 생산량을 적용해서 라인에 분배를 하였는데, 그럴 경우 라인에서 생산할 Wafer가 초과 되거나, 혹은 미달이 될 수 있다.

하지만, 라인에서의 Wafer 생산은 100% Capacity를 활용해서 생산하는 것이 효율적이므로, 재분배를 통해서, 이러한 불일치점을 해소해 주어야 한다.

라인 분배 때 들었던 예를 다시 보도록 하자.

<표 12> 분기별 생산량

라인	제품	DR	1분기	2분기
1라인	A	DR1	1000	1000
	A	DR2	500	937
	B	DR2	1000	1333

<표 13> 분기별 Capacity

라인	DR	1분기 Capacity	2분기 Capacity
1라인	DR1	1000	1000
	DR2	1500	1600

위의 두 표를 보면 1분기에는 라인의 DR별 Capacity에 맞게 생산을 할 수 있었다. 하지만 1분기 생산량과 패턴을 적용하여 2분기 생산량을 산출하고 보니, DR1의 Capacity에는 부합되었지만, DR2의 Capacity에는 670장을 초과 생산을 하여야만 하였다. 이러한 경우에는 라인별 DR의 Capacity에 맞추어 생산할 수 있도록 재분배를 실시해 주어야만 한다.

재분배 알고리즘은 다음과 같다.

라인 Capacity가 초과된 DR별 제품별 수량을 산출하여, 그에 해당하는 DR별 제품이 과소하게 분배된 라인으로 Wafer 장수를 분배

다른 라인까지 고려한 다음 예를 보자.

<표 14> 재분배 전 Capacity 대비 생산량 결과

라인	DR	2분기 Capacity	2분기 생산량	생산 대비 과부족량
1라인	DR2	1600	2270	+670
2라인	DR2	1200	1000	-200
3라인	DR2	1670	1200	-470

위의 예를 보면 1라인 DR2의 Capacity는 1600인데 생산은 2270을 해야 하므로, 670 만

큼을 생산 못하는 일이 생긴다. 그런데, 2라인에서는 DR2의 Capacity가 1200인데 바해서 생산은 1000만큼만 생산하도록 라인 분배를 받았으므로 200의 여유가 생기고 마찬가지로 3라인은 470의 여유가 생긴다. 따라서 이럴 경우에는, 1라인에서 초과 생산해야 하는 양을 2라인으로 200, 3라인으로 470을 옮겨서 생산하도록 해야 한다.

<표 15> 1차 재분배 후 Capacity 대비 생산량 결과

라인	DR	2분기 Capacity	생산량	과부족량
1라인	DR2	1600	1600	0
2라인	DR2	1200	1200	0
3라인	DR2	1670	1670	0

3.5 2차 재분배

1차 재분배 알고리즘을 이용하여 Capacity와 생산량의 불일치를 해소해 주었지만, 그 알고리즘 만으로 완전히 해소하지 못하는 경우도 생길 수 있다. 이 경우에는 다음과 같은 알고리즘을 이용하여 재분배를 실행하게 된다.

비록 다른 DR을 사용하는 라인이라도, 같은 제품을 생산하고 있으면, 그 라인으로 Wafer 장수를 분배를 해 줌. 단, DR이 다르면 NetDie가 틀려지게 됨으로 그 점을 감안

다음의 예를 보도록 하자.

<표 16> 1차 재분배 후 Capacity 대비 생산량 결과

라인	DR	Capacity	생산량	생산 대비 과부족량
1라인	DR1	1000	1200	+200
	DR2	1000	800	-200

위의 표는 1차 재분배를 하고 난 다음의 상황을 나타낸 것이다. 1차 재분배를 통해서 1라인 DR1의 초과생산해야 할 양을 2라인 DR1으로 옮겨서 생산하기로 결정하였음에도 불구하고 아직 1라인 DR1의 생산량은 Capacity를 초과하였다. 2라인 DR1의 Capacity는 적정량을 채웠고, DR2는 아직 Capacity가 남았기 때문에, 더 상세적으로 살펴본다.

<표 17> 여유 라인의 Capacity 생산량

라인	제품	DR	생산량
1라인	A	DR1	500
	B	DR1	700
2라인	B	DR2	400
	C	DR2	400

1라인 DR1과 2라인 DR2에서 제품 B가 생산되고 있다는 것을 확인하였다. 따라서 칩 산출량을 고려하여 변환 생산해 준다.

<표 18> 제품별 DR별 NetDie

제품	DR	칩 산출량
B	DR1	100
B	DR2	80

$$200 : x = 100 : 80$$

$$x = 160$$

따라서 1라인 B제품 DR1 200의 양은, 2라인 B제품 DR2 160으로 옮겨 생산하게 된다.

<표 19> 2차 재분배 후 라인별 생산량

라인	제품	DR	생산량
1라인	A	DR1	500
	B	DR1	500
2라인	B	DR2	560
	C	DR2	400

전체 Capacity 관점에서 보면, <표 20>과 같이 되므로, Capacity 내에서 안정적으로 생산할 수 있게 된다.

<표 20> 2차 재분배 후 Capacity 과부족량

라인	DR	Capacity	생산량	생산 대비 과부족량
1라인	DR1	1000	1000	0
2라인	DR1	1000	1000	0
	DR2	1000	960	-40

3.6 분배 Ratio

위에서 1차 및 2차 재분배에 대해서 살펴보았다. 재분배라는 것이 패턴을 무시하고, 라인의 가동능력을 최대치로 끌어올리기 위해 적용하는 것이기 때문에, 라인별 제품별 DR별 제품 생산에 대한 흐름이 비연속성을 가지게 된다. 어느 정도의 비연속성은 적용할 수 있지만, 비연속성이 과다하게 된다면, 현장에서 거부될 것이다. 따라서 어느 정도의 흐름은 일정하게 유지시켜 주기 위해 분배 Ratio 를 적용하게 되었다.

*분배 Ratio

특정 라인에서 특정 DR별 제품의 생산량이 급격하게 증가하거나 감소하는 것을 방지하기 위하여 옮길 수 있는 수량의 한계

<표 21>을 보도록 하자.

<표 21> 라인 분배 후 Capacity 과부족량

라인	제품	DR	생산량	생산 대비 Capacity 과부족량
1라인	A	DR1	1200	+700
2라인	A	DR1	800	-500
3라인	A	DR1	500	-500

1라인은 Capacity에 비해 생산이 700 초과 생산해야 했고, 2라인은 500의 Capacity 가 남았고, 3라인 또한 500의 Capacity가 여유가 있다.

따라서 재분배 알고리즘을 쓰면 <표 22>와 같이 되어야 한다.

<표 22> 1차 재분배 후 Capacity 과부족량

라인	제품	DR	생산량	생산 대비 Capacity 과부족량
1라인	A	DR1	500	0
2라인	A	DR1	1300	0
3라인	A	DR1	700	-300

이제 전분기를 고려한 <표 23>을 살펴보자.

<표 23> 이전분기 생산량과 현재 분기 생산량 비교

라인	제품	DR	1분기 생산량	2분기 생산량
1라인	A	DR1	1500	500
2라인	A	DR1	600	1300
3라인	A	DR1	500	700

1라인의 A제품 DR1 의 경우 1분기 생산량이 1500에서 2분기 생산 500으로 급격히 줄었고, 2라인은 600에서 1300으로 급격히 늘었다. 따라서, 이러한 비연속성을 없애주기 위해 다음과 같은 분배 Ratio를 적용시켰다.

분배 Ratio	0.5
----------	-----

(1라인 A제품 DR1 2분기 패턴 생산량 * 분배Ratio) = (1200 * 0.5) = 600
따라서 최대한 600장의 Wafer만 다른 라인으로 옮기거나 받을 수 있다.

(2라인 A제품 DR1 2분기 패턴 생산량 * 분배Ratio) = (800 * 0.5) = 400

따라서 최대한 400장의 Wafer만 다른 라인으로 옮기거나 받을 수 있다.

(3라인 A제품 DR1 2분기 패턴 생산량 * 분배Ratio) = (500 * 0.5) = 250

따라서 최대한 250장의 Wafer만 다른 라인으로 옮기거나 받을 수 있다.

분배 Ratio를 적용하여 재분배를 다시 계산한 표는 다음과 같다.

<표 24> 분배 Ratio를 적용한 Capacity 과부족량

라인	제품	DR	생산량	생산 대비 Capacity 과부족량
1라인	A	DR1	600	100
2라인	A	DR1	1200	-100
3라인	A	DR1	700	-300

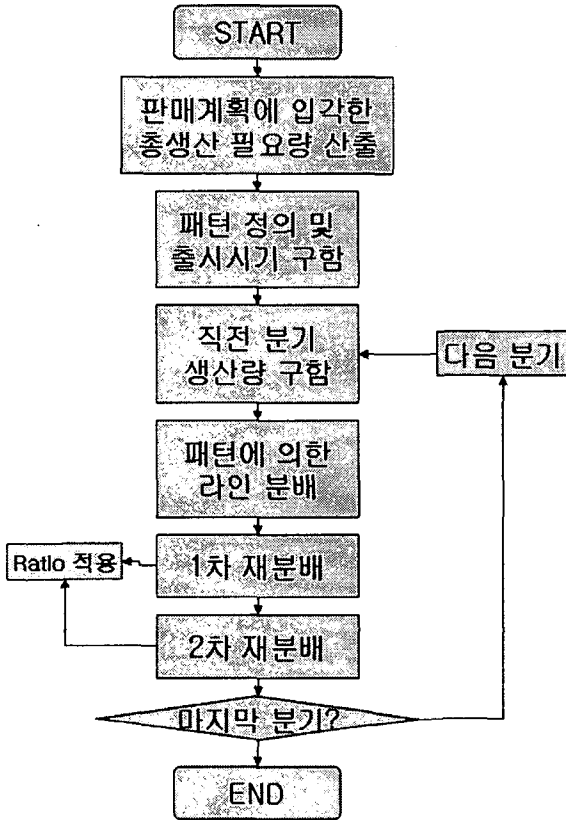
<표 25> 분배 Ratio를 적용한 이전분기 생산량과 현재 분기 생산량 비교 결과

라인	제품	DR	1분기 생산량	2분기 생산량
1라인	A	DR1	1500	600
2라인	A	DR1	600	1200
3라인	A	DR1	500	700

분배 Ratio를 적용하기 전보다 연속성이 더욱 증가한 것을 볼 수 있다. 여기서는 분배 Ratio를 0.5로 하였지만, 연속성을 더 증가시키기 위해서 감소시키거나, 혹은 연속성의 회생을 할 수 있다면 더욱 증가시킬 수 있다.

분배 Ratio를 적용을 하게 되면, 연속성은 증가하지만, 라인 Capacity의 활용도는 떨어질 수 있다. 하지만, 실험 결과, 각 제품의 생산에 있어서 어느 정도의 활용성이 반영이 되어 있기 때문에, 분배 Ratio를 적용함으로써, 더욱 실용적인 분배 계획을 세울 수 있게 되었다.

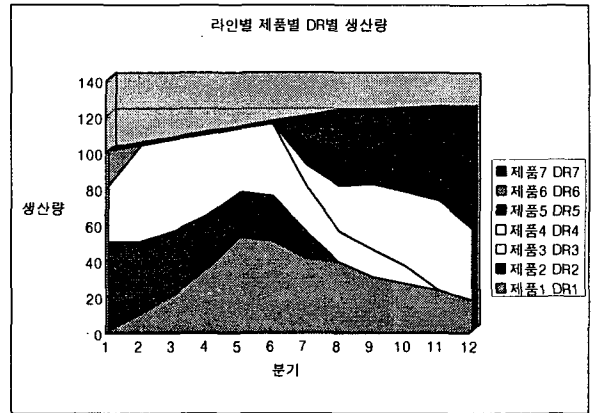
<그림 6>은 전체적인 표준 프로세스 flow chart 이다.



<그림 6> 표준 프로세스 flow chart

<표 26> 라인 Capacity 활용률(%)

1Q	2Q	3Q	4Q	5Q	6Q	7Q	8Q	9Q	10Q	11Q	12Q
100	100	99	100	99	99	100	100	100	99	100	100



<그림 7> 라인별 제품별 DR별 생산량

실제 생산 계획을 이 모델을 이용한 결과값과 비교해 보았다. 패턴을 얼마나 정교하게 수립하느냐에 따라 틀려지긴 하지만, 대체적으로 96% 이상의 유사성을 보임을 확인하였다.

<표 27> 패턴 모델과 실제 작업간의 유사성(%)

1Q	2Q	3Q	4Q	5Q	6Q	7Q	8Q	9Q	10Q	11Q	12Q
98	97	99	96	96	99	94	97	98	96	96	97

3.7 실험 결과

기업 보안상의 이유로 구체적인 수치를 결과값으로 도출해 낼 순 없지만, 대략적이고 추상적인 근사치를 <표 26, 27, 28>을 통해 임의로 도출해 보았다.

<표 26>을 보면 라인의 Capacity를 최대한 활용을 하는 것을 알 수 있다. 또한 <그림 7>을 보면 제품별 DR별 생산량이 <그림 1>의 패턴과 유사한 생산 주기를 보이고 있다는 것을 알 수 있다.

<표 26>과 <그림 7>을 종합하여 보면, 제품 생산 패턴을 유지하면서 라인의 Capacity를 최대한 활용한다는 것을 알 수 있다.

이전의 실제 생산 계획 작업에 걸린 시간과, 본 논문에 쓰인 패턴 모델을 이용해 계획을 수립했을 때 걸린 시간을 비교하면 <표 28>과 같다. 실제 생산 계획은 계획수립자의 엑셀을 이용한 수작업을 했을 때 걸린 시간이고, 패턴 모델은 Pentium IV 2.4GHz 프로세서에 512MB 메모리를 장착한 컴퓨터에서 실행되었으며, 운영체제는 Window 2000을 이용하였다.

처음 계획을 수립할 경우에는 패턴 모델이 13.3배 효율이 좋고, 계획수정시에는 40배의 뛰어난 효율을 보임을 알 수 있다.

<표 28> 계획 수립/수정에 걸린 시간 비교

	실제 생산 계획	패턴 모델
계획수립	80 시간	6 시간
계획수정	40 시간	1 시간

4. 결론

본 논문에서는 과거의 판매 자료를 바탕으로 마련된 패턴을 이용하여 라인의 생산계획 및 설비투자 계획을 수립하였다. 제안된 모델은 라인의 Capacity를 최대한 활용하면서도, 의도하고자 했던 패턴의 모습을 보여주었다. 실제 작업과 흡사한 결과를 도출해 내면서도 시간은 92.5% 이상 절감을 하였다.

본 연구를 수행함에 있어서 문제점도 발생하였다. 과거의 실적을 바탕으로 패턴을 생성하기 때문에 향후 개발될 제품에 대해서는 패턴을 적용하기가 쉽지 않았다. 그러한 제품에 대한 패턴은 담당자의 주관적인 판단에 따라 패턴을 정할 수 밖에 없다.

생산계획을 세우는데는 많은 시행착오를 겪어야 한다. 본 논문에 쓰인 모델을 이용하면 시간을 절약할 수 있다. 줄어든 시간을 이용해 다양한 방안을 테스트해 봄으로써 더욱 효율적인 라인 운영 계획을 도출해낼 수 있을 것으로 기대된다.

참고문헌

[1] B.K. CHOI and B.H. KIM, "MES (manufacturing execution system) architecture for FMS compatible to ERP (enterprise planning system)", INT. J. Computer Integrated Manufacturing, 2002, VOL. 15, NO. 3. 274-284

[2] SEMI E53-1296 Event Reporting, SEMI Standard 0200

[3] Wein, L.M., "On the relationship Between Yield and Cycle time Semiconductor Wafer Fabrication, "IEEE transactions on semiconductor Manufacturing, VOL.5, 1992

[4] Izak D., John W. F and Schruben, L. W., "Planning and Scheduling in Japanese Semiconductor Manufacturing, Journal of Manufacturing Systems", Vol.13, No.5, pp.323-332,1993

[5] Linda F. Atherton, Robert W. Atherton, "Wafer Fabrication: Factory Performance and Analysis", 1995

[6] Miller, D.J. "Simulation of Semiconductor Manufacturing line", Communication of the ACM, Vol.33, No.10, pp.99-108, 1990

[7] Stanley Middleman, K.Hochberg, "Process Engineering Analysis in Semiconductor Device Fabrication", Mc Graw-Hill, Inc.

[8] Wein, L.M., "Scheduling Semiconductor Wafer Fabrication." IEEE Transactions on Semiconductor Manufacturing, Vol. 1. No.3, pp.115-129, 1998

[9] 한국반도체 산업협회 통계자료

[10] Richard O. Duda, Peter E. Hart, David G.Stork, "Pattern Classification", Wiley-Interscience.

주 작 성 자 : 박 동 식

논문투고일 : 2005. 01. 12

논문심사일 : 2005. 04. 26(1차), 2005. 06. 10(2차),
2005. 06. 27(3차)

심사판정일 : 2005. 06. 27

● 저자소개 ●



박동식

2003년 성균관대학교 정보통신공학부 졸업
2003년 ~ 현재 성균관대학교 컴퓨터공학과 석사 재학
관심분야: 컴퓨터 시뮬레이션, 공장자동화, 이미지 프로세싱



한영신

1997년 이화여자대학교 대학원 전산정보 공학석사
2004년 성균관대학교 전기전자및 컴퓨터공학 공학박사
1994년 ~ 1996 (주) Simtech 연구원
2001년 ~ 2003 인천시립대학교 컴퓨터공학과 강사
2004년9월 ~ 현재 이화여자대학교 컴퓨터그래픽스/가상현실연구소
Post-Doc
관심분야: 컴퓨터 시뮬레이션, 공장 자동화, 패턴인식



이철기

1980년 성균관대학교 전자공학과 졸업
1985년 Arizona state University 전기 및 컴퓨터 공학석사
1990년 University of Arizona 전기 및 컴퓨터 공학박사
1979년 ~ 1983년 한국 방송공사(KBS) 기술요원
1990년 ~ 1995년 삼성 정보통신 본부 컴퓨터 응용 개발실 수석 연구원
1995년 ~ 현재 성균관 대학교 정보통신공학부 교수
관심분야: 컴퓨터 시뮬레이션, 객체지향 모델링, 공장자동화, 전문가 시스템