

강유전체게이트 전계효과 트랜지스터의 정보저장특성 향상을 위한 $\text{SrBi}_2\text{Nb}_2\text{O}_9$ 박막의 급속 결정성장방법

이 창우

국민대학교 나노전자물리학과

Rapid Grain Growth of $\text{SrBi}_2\text{Nb}_2\text{O}_9$ Thin Films for Improving Programming Characteristics of Ferroelectric Gate Field Effect Transistor

Chang Woo Lee

Nano & Electronic Physics, Kookmin University

초 록: Pt-SrBi₂Nb₂O₉(SBN)-Pt-Y₂O₃-Si 게이트 전계효과 트랜지스터 (MFMISFETs)의 정보저장 특성향상을 위하여 SBN 박막을 산소 플라즈마 내에서 급속열처리 하였다. 그 결과 SBN 박막의 결정크기는 700°C의 동일한 열처리조건에서 급속열처리한 SBN 결정립의 크기가 전기로열처리에 의한 SBN 결정립보다 4배이상 성장하였다. 또한 분극 특성을 비교한 결과 잔류분극은 2배이상 급속열처리방법으로 제조된 SBN 박막을 이용한 MFMISFET의 메모리윈도우 (memory window)와 on/off 상태의 정보저장특성 (programming characteristics)은 월등히 향상되었다.

Abstract : Pt-SrBi₂Nb₂O₉ (SBN)-Pt-Y₂O₃-Si gate field effect transistors (MFMISFETs) have been fabricated and the SBN thin films are rapid thermal annealed in oxygen plasma. The grain size of the SBN becomes 4 times much larger than that of furnace annealed SBN films even at the same annealing temperature of 700°C, remnant polarization value of Pt-SBN-Pt is improved by 2 times. Using the rapid grain growth of SBN for the MFM-ISFET, memory window and programming characteristics of on/off states are fairly well improved.

Keywords: MFMISFET, Programming characteristics, Oxygen plasma, SBN ($\text{SrBi}_2\text{Nb}_2\text{O}_9$), Polarization characteristics

서 론

강유전체 비휘발성 메모리소자 (FeRAM)를 만드는 과정에서의 CMOS 공정의 일체화와 소자 특성의 열적 부담을 줄이기 위하여 강유전체박막을 저온에서 큰 결정 성장이 일어나도록 하는 연구가 많이 진행되어 왔다^[1-4]). FeRAM에서 한 개의 강유전체 게이트 트랜지스터를 메모리셀로 이용하는 비파괴판독형 (Nondestructive readout) FeRAM의

경우 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ (SBT)와 $\text{SrBi}_2\text{Nb}_2\text{O}_9$ (SBN)처럼 Bi-layered 강유전체 박막들을 강유전체 게이트로 사용하여 왔다^[5-7]). 그런데 이러한 SBT와 SBN 물질들은 $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ (PZT)에 비하여 결정화 온도가 상대적으로 높아서 고집적회로 소자제조공정에 적합치 않았다. 반면에 상대적으로 낮은 온도에도 결정화가 가능한 PZT는 높은 유전상수를 가짐으로 높은 분극소거 전압이 필요하며 높은 게이트 누설전류 때문에 강유전체 게이트 물질로서 부적합

*Corresponding author
E-mail: cwlee@kookmin.ac.kr

하다^{8,9)}. 본 논문에서는 SBN을 강유전체 게이트로 사용하는데 가장 큰 결점들이 되고 있는 열적 부담을 줄일 수 있는 방법으로써 산소 플라즈마에서 금속열처리하는 방법을 제안하였다. 그 결과 종래의 열처리방법보다 상대적으로 낮은 온도에서 훨씬 짧은 시간 내에 큰 결정성장을 이룰 수 있었다.

2. 실험 방법

SBN 박막의 결정성장특성이 미치는 영향을 독립적으로 고찰하기 위해 SBN 박막을 Pt 전극 위에 올려서 SBN/Pt/Y₂O₃/Si 구조를 만들었다. SBN sol-gel 용액을 이용하여 90초 동안 3000 rpm으로 스펀 코팅한 후, 250°C에서 30초동안 가열하여 전조시켰다. 전조된 SBN 박막은 산소 플라즈마에 노출시킨 상태에서 RTA (rapid thermal annealing) 장치로 700°C 30초 동안 금속열처리를 실시하였다. 이러한 과정을 3번 반복하여 두께가 210 nm인 SBN 박막을 Pt/Y₂O₃/Si 구조 위에 형성하였다. 이후 SBN 박막을 산소 플라즈마에 노출한 상태에서 RTA 장치에서 700°C에서 10분간 다시 열처리하였다. 특성 비교를 위하여 동일한 두께의 SBN 박막을 Pt/Y₂O₃/Si 구조 위에 형성한 후, 전기로열처리 방법에 의하여 700 및 800°C에서 한 시간동안 열처리를 하였다. 두 가지 방법으로 열처리된 SBN 박막은 HR-TEM (high resolution transmission electron microscopy) 및 AES (Auger electron spectroscopy) 분광분석기를 통하여 결정성과 조성변화를 관찰하였다. 또한 일부 시편은 Pt 상부전극을 증착하고 Capacitor 구조를 만들어서 분극특성 및 C-V 특성을 조사하였다.

n-채널 MFMISFET (metal-ferroelectric-metal-insulator-silicon FET)를 만들기 위하여 p-type (100) Si 웨이퍼를 준비하였다. Field 산화막은 local oxidation (LOCOS) 공정에 의하여 제작하였으며, 고농도로 도핑된 n⁺ 와 p⁺ 영역은 소스와 드레인 영역으로 별크 접촉 (bulk contact) 영역을 위해 각각 제작되었다. 게이트의 작동을 위한 보호층으로써 200 nm의 SiO₂ 막을 형성한 다음, 게이트 영역은 MFMIS 게이트 구조를 형성하기 위하여 게이트 길이와 게이트 넓이가 각각 10, 40 μm인 게이트 영역을 만들었다. 하부 커패시터 (Capacitor)위에 Y₂O₃ 절연체를 증착한 후 Pt 하부전극을 증착하고,

하부 커패시터 면적 (S_D)을 를 형성시켰다. 앞에서 언급한 산소 플라즈마 내에서 700°C에서 금속열처리한 SBN 박막 및 종래의 전기로열처리 방법으로 700 내지 800°C에서 열처리한 SBN 박막을 증착하였고 Pt 상부전극을 증착하였다. 자기정렬된 MFMIS 게이트 제조공정은 ICP RIE (inductively coupled plasma reactive ion etching) 장치를 이용하였다. 50%의 Cl₂농도로, 900 W의 ICP 파워 및 100 W의 RF 바이어스 파워로 SBN의 에칭조건으로하여 식각하였다[10].

3. 결과 및 논의

산소 플라즈마 내에서 700°C에서 10분간 금속열처리 한 SBN과 종래의 전기로에서 산소 분위기에서 700 및 800°C에서 각각 한시간씩 열처리된 SBN 박막의 강유전 특성을 조사하였다. Fig. 1은 Pt-SBN-Pt 구조에 인가한 전기장에 의한 분극 특성 (P-E 이력 특성)이다. 산소 플라즈마 내에서 700°C에서 금속 열처리한 SBN의 P-E 이력 특성에서 2Pr (double remanent polarization)은 22.6 μC/cm²이며 이 같은 온도에서 산소분위기에서 1시간동안 전기로열처리한 SBN에 비해 2배 정도 증가한 값이다. 특히 800°C에서 1시간 전기로열처리한 SBN의 2Pr 값이 16.31 μC/cm²인데, 산소 플라즈마 내에서의 금속열처리를 통하여 열적 부담이 적은 상태에서 보다 큰 잔류 분극을 얻을 수 있음을 말해준다. 이 결과로부터 산소 플라즈마 내에

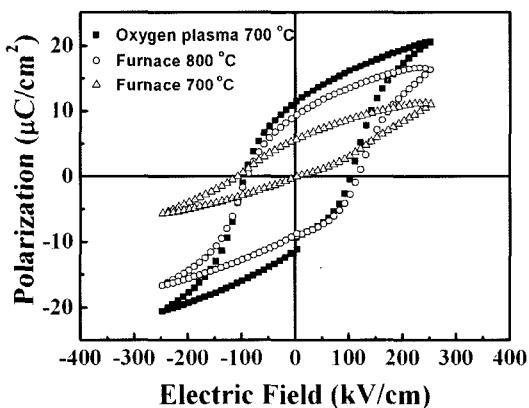


Fig. 1. Polarization vs electric field curves for Pt-SBN-Pt structures.

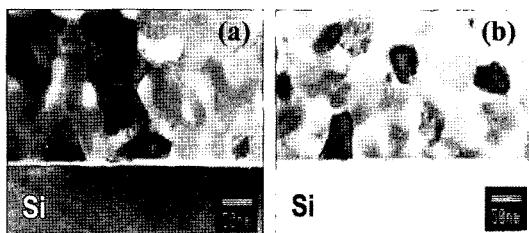


Fig. 2. Cross sectional TEM bright-field micrographs of the SBN films annealed at 700°C with (a) the RTA in oxygen plasma and (b) the furnace.

서의 금속열처리는 강유전 특성의 현저한 향상을 가져오며, CMOS 공정으로 소자를 만드는 동안에 발생하는 열적 부담을 큰폭으로 줄일 수 있게 되었다. 그러면 왜 이렇게 산소 플라즈마내에서 금속열처리 하는동안 강유전 특성이 향상되는가를 살피기 위해 각기 다른 방법으로 열처리된 SBN 박막에 대해 HR-TEM 및 AES 분석을 실시하였다. Fig. 2(a)는 산소 플라즈마 내에서 700°C에서 30분 간 금속열처리된 SBN의 단면 HR-TEM의 bright-field images이다. (a)의 경우와 같은 온도인 700°C에서 1시간동안 전기로열처리된 SBN 박막의 결정크기를 보여주는 (b)의 경우와 비교하면, 산소 플라즈마 내에서 금속열처리한 SBN 박막의 결정 크기는 176 nm로써 전기로열처리된 SBN 결정보다 3배 정도 크다. SBN 박막의 원소에 대한 농도도를 AES로 분석해보면 산소 플라즈마를 사용함으로써 44에서 48 at.%로 증가한 것을 알 수 있다. 이는 산소 플라즈마에 의해 보다 효과적으로 SBN 결정립계 사이를 반응성이 높은 산소원자의 확산이 빨리 진행됨으로써 SBN 박막내에 산소농도가 고르게 증가하는 것으로 보인다. 따라서 산소농도의 증가와 결정립 크기의 현저한 증가가 잔류분극값을 현저히 증가시킨다는 것을 알 수 있다. 그 이유는 작은 결정립은 매우 안정한 single-domain-predominated 강유전체 박막인데, 이는 작고 안정된 domains들이 반전되기가 어렵기 때문이다. 반면, 결정립이 큰 경우는 multi-domain-predominated domain 구조를 가지며 같은 조건에서 쉽게 스위칭된다¹²⁾. 이 실험에서는 강유전체 박막의 특성 변화를 더 민감하게 측정하기 위하여 Pt-SBN-Pt 커패시터(C_{SF})와 Pt-Y₂O₃-Si 커패시터 (C_{SI})를 이용으로 구성하여 Pt-SBN-Y₂O₃-Si 커패시터 구조

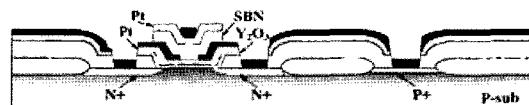


Fig. 3. Schematic diagram of MFMISFET.

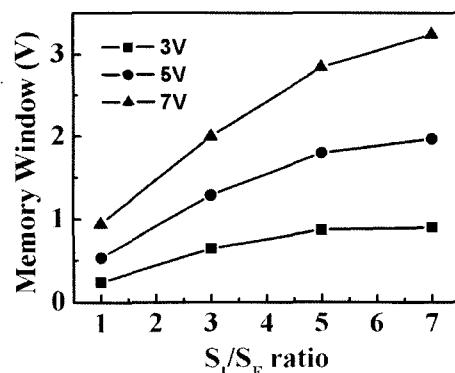


Fig. 4. Memory window as a function of area ratio with various applied voltage.

에서 Y_2O_3 에 더 큰 전압이 걸리는 것을 방지하고자 하였다. 그 이유는 MFM 커패시터에 전기장이 걸릴 때 $C_{SI}+C_{SF}$ 직렬연결에서 Pt-Y₂O₃-Si (MIS)의 C_{SI} 가 최대값을 갖기 때문에, 전압분배효과에 따라 Pt-SBN-Pt (MFM) 커패시터에 걸리는 전압은 더 크게 할 수 있다. 따라서 Pt-SBN-Pt-Y₂O₃-Si (MFMIS) 게이트 구조의 트랜지스터를 제조하였다.

Fig. 3은 이렇게 만들어진 게이트 구조의 트랜지스터의 개량도를 나타내고 있다. Field 산화막위에 n+, p+ implantation을 한 다음 게이트를 열고, 그 위에 소스와 드레인을 만든 다음 강유전체를 증착한 뒤 상부전극을 증착하여 MFMISFET 구조를 만들었다.

Fig. 4는 산소 플라즈마 내에서 금속열처리된 SBN 박막을 이용하여 제작한 MFMIS 구조를 사용하여 3-7 V의 전압하에서 MIS 커패시터의 면적 S_I 와 MFM 커패시터의 면적 (S_F)의 비 S_I/S_F 에 따라 메모리윈도우 (memory window) 값을 측정한 결과이다. MFMIS 게이트 구조에서의 S_I/S_F 비가 증가하면 메모리윈도우는 더 커지는데, 이는 C_{SI} 값이 커질수록 SBN 강유전체에 걸리는 전압이 더 증가하기 때문에 강유전체 박막의 분극 특성이 증가하기 때문이다. Fig. 3에서 7 V의 게이트 전압에서 S_I/S_F 비를 7배로 하면 메모리윈도우는 3배이상 증

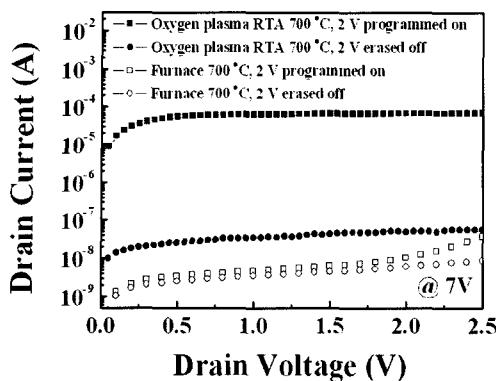


Fig. 5. Drain current vs drain voltage (I_D - V_D) characteristics of the MFMISFETs (area ratio $S_F : S_I = 1:3$) prepared by conventional furnace annealing at 700°C for 1 hr and oxygen plasma RTA at 700°C for 10 min at the write voltage of 7 V.

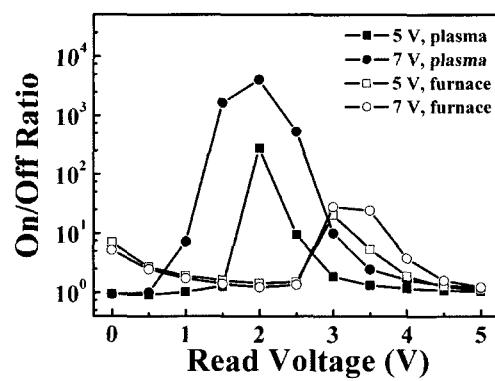


Fig. 6. On/off ratios between the programmed on state and the erased off state as a function of read voltage with various write voltages.

가함을 알 수 있다. 따라서 SBN 결정립 성장에 따른 강유전체 특성향상을 보다 분명히 알 수 있다. 따라서 본 실험의 목적인 NDRO (non-destructive readout) FeRAM의 단일메모리셀인 MFMISFET의 정보저장 특성향상을 고찰하기 위하여 산소 분위기에서 700°C로 1시간 전기로열처리한 SBN과 산소 플라즈마 내에서의 700°C에서 10분간 급속열처리한 SBN을 각각 이용하여 MFMISFETs를 제조하였다. Fig. 5는 이 두가지 경우에 대한 MFMISFETs의 드레인 전류-전압 특성을 나타내었다. 산소 플라즈마 내에서 급속열처리한 SBN 박막을 이용하여 만든 MFMISFET에 대하여 programmed on 상태와 erased off 상태 사이의 비가 3승 이상 차이가 있지만, 실제 메모리 소자의 on/off 비교시 2승 이상이면 충분히 감지할 수 있으므로 매우 좋은 특성을 얻을 수 있음을 말해준다. 반면에 on/off 비가 나빠지고 동시에 강유전체의 분극 특성이 나빠져서 정보저장이 불가능해진다. 이러한 전류-전압 특성을 비교하기 위하여 여러가지 쓰기전압에 대한 읽기전압의 함수로서 programmed on 상태와 erased off 상태에 대하여 on/off 비를 조사하여 Fig. 6에 나타내었다. 산소 플라즈마 내에서 급속 열처리한 SBN 박막을 이용한 MFMISFETs는 읽기전압이 2 V에서 on/off 비의 최대값을 보여준다. 7 V가 걸렸을 때 on/off 비는 4배가 넘는다. 한편 일반적인 고온열처리에서는 3 V에서 극대값을

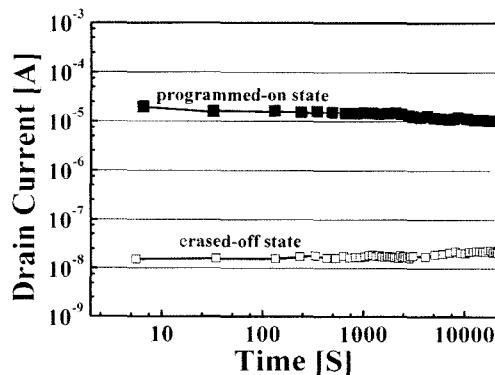


Fig. 7. Retention characteristics of MFISFET with the operating voltage of 5 V.

갖지만 그 on/off 비는 1배가 약간 넘을 정도밖에 되지 않음을 알 수 있다.

Fig. 7은 면적비가 $S_I/S_F = 3$ 인 MFMISFET에서의 retention 특성을 나타내었다. 쓰기전압은 7 V이고 읽기 게이트전압은 2 V이다. 초기에 programmed on 상태와 erased off 상태 사이의 on/off 비는 3배 이상 되는 것을 알 수 있으며, 시간이 지남에 따라 10⁴ 초 이후에도 2배 이상 유지되는 것을 알 수 있다.

4. 결론

산소 플라즈마 내에서 700°C에서 10분간 급속열처리한 SBN 박막을 이용하여 Pt/SBN/Pt/Y₂O₃/Si 게이트 구조를 갖는 단일트랜지스터 형태의

FeRAM을 제작하였다. 산소 플라즈마 내에서 금속열처리 방법은 종래의 산소분위기에서 전기로 열처리하는 방법에 비하여 열적 부담을 온도는 100°C, 시간은 1/6로 줄이면서 결정립 크기는 3배 이상 증가시킬 수 있었다. 따라서 이는 CMOS 공정을 통한 초고집적회로소자 제조시 소스, 드레인 접합을 하는 동안 shallow junction파괴를 막을 수 있고, 기생산화막 발생을 방지할 수 있으며, 강유전특성을 향상시킬 수 있음으로 분극특성 및 누설전류 밀도 특성을 향상시킬 수 있다. 따라서 MFMISFET의 메모리 특성이 현저히 향상될 수 있다.

감사의 글

본 논문은 국민대학교의 재정적인 도움을 받았음을 밝힙니다.

참고문헌

1. S.H. Oh, K.H. Noh, S.S. Lee, J. of the Electrochemical Society, 151(5), F113-F117 (2004).
2. N. Inoue, T. Nakura, Y. Hayashi, IEEE Trans. On Electron Devices, 50(10), 2081-2087 (2003).
3. J. Karasawa, Y. Hamada, K. Ohashi et al. Integrated Ferroelectrics, 48, 193-202 (2002).
4. J. Celinska, V. Joshi, S. Narayan et al. Integrated Ferroelectrics, 30(1-4), 1-8 (2000).
5. G.G. Aguilar, M.E.V. Costa, I.M.M. Salvado, J. of the European Ceramic Society, 25(12), 2331 (2005).
6. D.A. Neumayer, P.R. Duncombe, R.B. Laibowitz et al., I Integrated Ferroelectrics, 25(1-4), 615-626 (1999).
7. S. K. Lee, Y. T. Kim, S-I. Kim and C. E. Lee, J. Appl. Phys. 91, 9303 (2002).
8. V. Ramesh, Y.N. Mohapatra, D.C. Agrawal, Ferroelectrics, 306, 71-77 (2004).
9. J. Lappalainen, S.A. Ivanov, V. Lantto, J. of Applied Physics, 92(10), 6153-6159 (2002).
10. M. L. Calzada, A. Gonzalez, R. Jimenez, C. Alemany, and J. Mendiola, J. European. Ceram. Soc., 21, 1517 (2001).
11. A-D. Li, D. Wu, H-Q. Ling, M. Wang, Z. Liu, N. Ming, J. Cryst. Growth, 235, 394 (2002).
12. S. B. Ren, C. J. Lu, J. S. Liu, H. M. Shen and Y. N. Wang, Phys. Rev. B54, R14337 (1997).