

Multi-Level을 사용한 PDP 구동회로에서 Timing 변화에 따른 특성 변화에 관한 연구

金重秀[†], 盧政煜^{*}, 洪成洙^{**}, 司空石鎭^{***}

A Study on Performance Characteristics of Multi-level PDP Driver Circuit in Accordance of Signal Timing Variation

Jung-Soo Kim, Chung-Wook Roh, Sung-Soo Hong, and Sug-Chin Sakong

요 약

제안된 Multi-level PDP sustain Driver는 기존 L. Webber에 의해 제안된 방식에 비해 낮은 전압 rating을 갖는 소자를 사용하며 sustain 전압파형의 rising/falling 구간이 각각 2번의 공진에 의해 이루어진다. 본 논문에서는 rising time을 구성하는 3단계(T_{r1} , T_{i1} , T_{r2})의 변화에 따라 PDP의 방전 특성에 미치는 영향을 비교하고, 기존 LG전자의 상용화 제품인 42V6와 특성을 비교한다. 실험결과는 3단계의 rising time 중에 T_{i1} 의 변화에 따른 특성 변화가 가장 크며, T_{r2} 의 변화에 의한 영향도 있으며, T_{r1} 의 변화에 따른 특성 변화는 거의 없다. 제안된 PDP driver는 T_{r1} 이 60ns, T_{i1} 이 120ns, T_{r2} 가 350ns 인 경우, Full white display pattern에서 기존제품에 비해 휘도 14.6%증가, 소비 전력 5.9%감소, panel 효율 24.2% 증가, module 효율 21.2%증가 등 특성을 얻을 수 있었다. 실제 PDP module 응용에 적합할 것으로 기대된다.

ABSTRACT

The proposed Multi-level PDP sustain Driver is composed of the semiconductor devices with low voltage rating compared to those used in the prior circuit proposed by L. Webber, and it has two resonant periods during the charging (rising period) and discharging (falling period) the PDP in the sustaining voltage waveforms. In accordance with the change of timing phase(T_{r1} , T_{i1} , T_{r2}), the performance characteristics of a commercial PDP module has been carried out and compared the characteristic with the 42V6, made of LG Electronics co., Experimental results show that the performance characteristics of PDP module are greatly influenced by the variation of T_{i1} and T_{r2} . The variation of T_{r1} do not influence much on the performances of PDP. With the conditions that $T_{r1}=60ns$, $T_{i1}=120ns$, and $T_{r2}=350ns$, we could get the performances listed as the luminance is increased 14.6%, the power consumptions is decreased 5.9%, the panel efficiency is increased 24.2%, module efficiency is increased 21.2%, compared to those shown in the commercial PDP module (42V6). Therefore, the proposed multi-level PDP sustain driver expected to be suitable to actual PDP module application.

Key Words : Plasma Display Panel (PDP), Energy recovery sustain circuit

[†]교신저자 : 국민대 전자공학과 석사과정

E-mail : kjs977@hotmail.com

^{*}정회원, 국민대 전자정보통신공학부 조교수

^{**}정회원, 국민대 전자정보통신공학부 부교수

^{***}정회원, 국민대 전자정보통신공학부 교수

접수일자 : 2005. 9. 14 1차 심사 : 2005. 10. 4

심사완료 : 2005. 10. 10

1. 서 론

플라즈마 디스플레이(PDP)는 고화질, 대화면 디스플레이로서 각광을 받고 있는데 주요한 장점으로서는 대형 디스플레이 중 프로젝션 시스템이나 음극관 시스템에 비해 부피가 작고 해상도가 뛰어나며 액정 디스플레이

시스템(LCD), 전계방출 소자(FED), 유기 EL 디스플레이 등 보다 대화면 구현이 용이한 점을 꼽을 수 있다. 최근에 액정 디스플레이를 이용한 40인치 디스플레이가 소개되어 액정을 이용한 대화면 벽걸이 TV의 가능성이 타진되고 있지만 PDP의 상대적으로 간단한 구조가 60인치 이상의 디스플레이 시스템 구현을 용이하게 하는 반면 LCD의 구조와 복잡한 제조공정은 40인치 디스플레이 제작에서 가격 경쟁력을 확보하는데 장애가 될 것으로 예상되고 있다.

다음 그림 1과 2는 기존에 L. Webber가 제안한 sustain 구동회로의 개념도와 동작파형을 나타낸다^[3]. 장점으로는 무효 전력을 회수하기 위해 직렬 공진회로가 포함되어 있고, 비교적 간단한 회로구조를 가지고 안정적인 회로 동작을 하며 복잡한 구동파형에 부응하여 쉽게 설계에 적용할 수 있다. 그러나 sustain 스위치 소자의 전압 Stress가 V_s , energy recovery 스위치 소자의 전압 stress는 $V_s/2$ 로서 고압의 내압을 갖는 소자를 사용하므로 고가이며 기생성분이 큰 소자를 사용해야 한다. 이로 인해 전류 path 상의 기생저항 값이 커져서 무효 전력 회수율이 충분치 않고, 환류 전류가 심각한 수준으로 발생하는 단점을 지닌다.

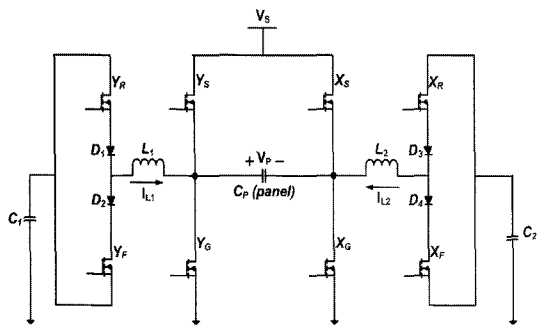


그림 1 L. Webber가 제안한 PDP sustain 회로
Fig. 1 PDP sustain circuit is proposed by L. Webber

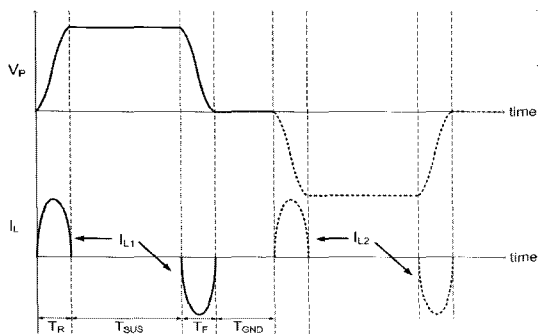


그림 2 L. Webber에 의한 sustain 구동 파형
Fig. 2 sustain waveform by webber circuit

본 논문에서는 L. Webber가 제안한 sustain 회로의 단점을 보완하기 위한 PDP 구동응용을 위한 새로운 Sustain 회로를 제안한다. 제안된 Sustain 회로를 사용하면, Sustain 스위치와 Energy Recovery 스위치의 전압 내압이 기존 회로에 비해 절반으로 감소하고 이로 인한 스위치 소자의 기생성분들이 감소하게 되어 소비 전력 감소를 기대할 수 있다. 또한 Energy Recovery 경로의 전류 peak는 동일하나 r.m.s.가 감소되어 소자의 발열이 줄어드는 장점을 가진다.

제안된 Sustain 회로를 적용한 PDP 구동회로를 실제 PDP panel에 적용하여 Sustain 동작 시 3구간의 rising 시간 변화에 따른 PDP의 특성(휘도, 소비전력, panel 효율, module 효율, contrast등)을 비교한다. 실험 결과를 토대로 하여 기존에 LG전자(주)에서 Webber회로를 사용한 상용화 제품(42V6)과 실험 결과를 비교한다.

2. Multi-level을 사용한 PDP 구동 회로

그림 3과 그림 4는 multi-level을 사용한 PDP

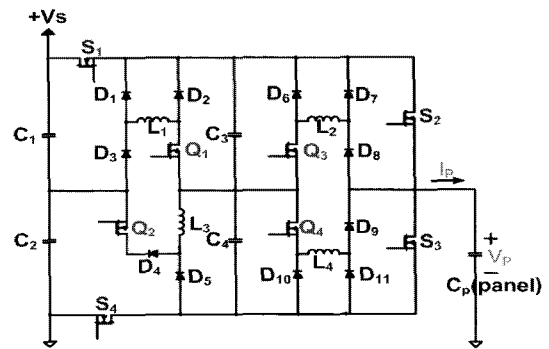


그림 3 제안된 PDP Sustain 구동회로
Fig. 3 Proposed PDP sustain driver circuit

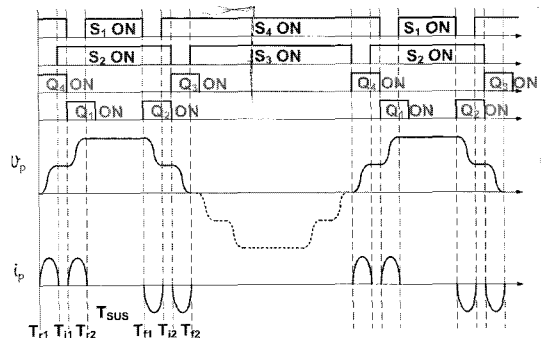


그림 4 제안된 PDP Sustain 구동 파형
Fig. 4 Proposed PDP sustain driver waveform

Sustain 구동회로 및 동작 전압/전류 파형을 나타낸다^[1,2]. 무효 전력을 회수하기 위한 직렬공진회로가 2개의 path로 이루어져 있기 때문에 Webber 회로에 비하여 저 전압 및 기생용량이 작은 반도체소자의 채용이 가능하고, 저 전압 소자사용으로 인한 기생저항이 적으며, 무효 전력 회로의 경로에 인가되는 전류의 *r.m.s.*가 기존 회로 방식에 비해 절반이 되는 장점이 있다.

제안된 회로의 반주기 기본동작은 다음과 같다. 회로 동작을 해석하기 위해 몇 가지 가정을 하겠다.

첫째, capacitor의 값은 모두 동일하다.

$$(C_1=C_2=C_3=C_4)$$

둘째, capacitor의 값은 panel의 등가 capacitor 보다 매우 크다.

셋째, C_1 과 C_2 의 초기전압은 $V_S/2$ 이다

넷째, C_3 와 C_4 의 초기전압은 $V_S/4$ 이다.

Mode 1 (T_{r1}) : 스위치 S_3 가 차단되고 Q_4 가 도통하여 $S_4 - C_4 - Q_4 - L_4 - D_8 - C_p$ (panel)의 전류 path가 형성되고 인덕터 L_4 와 패널간의 직렬 공진 현상이 발생한다. 패널 전압은 0에서 $V_S/2$ 까지 상승한다. panel 전압 및 인덕터 전류의 주요수식은 식 (1), (2)로 나타난다.

$$v_p = -\frac{V_S}{4} \left(1 - \cos \frac{1}{\sqrt{L_4 C_p}} t \right) \quad (1)$$

$$i_{L_4} = \frac{V_S}{4} \sqrt{\frac{L_4}{C_p}} \left(\sin \frac{1}{\sqrt{L_4 C_p}} t \right) \quad (2)$$

Mode 2 (T_{i1}) : 스위치 S_2 이 도통하여, $S_4 - C_4 - C_3 - S_2 - C_p$ (panel)의 전류 path가 형성된다. 패널 전압은 $V_S/2$ 로 유지된다.

Mode 3 (T_{r2}) : 스위치 S_4 는 차단되고 스위치 Q_1 이 도통하여 $C_2 - D_3 - L_1 - Q_1 - C_3 - S_2 - C_p$ (panel)의 전류 path가 형성되고 인덕터 L_1 과 panel간의 직렬공진 현상이 발생한다. 패널 전압은 $V_S/2$ 에서 V_S 까지 상승한다.

$$v_p = \frac{V_S}{4} \left(3 - \cos \frac{1}{\sqrt{L_1 C_p}} t \right) \quad (3)$$

$$i_{L_1} = \frac{V_S}{4} \sqrt{\frac{L_1}{C_p}} \left(\sin \frac{1}{\sqrt{L_1 C_p}} t \right) \quad (4)$$

Mode 4 (T_{sus}) : S_1 이 도통하여, 패널 전압은 V_S

전압으로 유지하고, panel 내부에는 방전 전류가 흐르게 된다.

Mode 5 (T_{f1}) : 스위치 S_1 이 차단되고 Q_2 이 도통하여, C_p (panel) - $S_2 - C_3 - L_3 - D_4 - Q_2 - C_2$ 의 전류 path가 형성된다. 패널 전압은 V_S 에서 $V_S/2$ 까지 하강한다.

$$v_p = \frac{V_S}{4} \left(3 + \cos \frac{1}{\sqrt{L_3 C_p}} t \right) \quad (5)$$

$$i_{L_3} = -\frac{V_S}{4} \sqrt{\frac{L_3}{C_p}} \left(\sin \frac{1}{\sqrt{L_3 C_p}} t \right) \quad (6)$$

Mode 6 (T_{f2}) : S_4 가 도통하여, C_p (panel) - $S_2 - C_3 - C_4 - S_4$ 의 전류 path가 형성된다.

Mode 7 (T_{f2}) : 스위치 S_2 가 차단되고 Q_3 이 도통하여, C_p (panel) - $D_7 - L_2 - Q_3 - C_4 - S_4$ 의 전류 path가 형성된다. 패널 전압은 $V_S/2$ 에서 0으로 하강한다.

$$v_p = \frac{V_S}{4} \left(1 + \cos \frac{1}{\sqrt{L_2 C_p}} t \right) \quad (7)$$

$$i_{L_2} = -\frac{V_S}{4} \sqrt{\frac{L_2}{C_p}} \left(\sin \frac{1}{\sqrt{L_2 C_p}} t \right) \quad (8)$$

Mode 8 (GND) : S_4 이 도통하여 패널 전압은 0을 유지한다.

3. 실험 조건

3.1 실험 회로 구현

전 구간 동작을 시키기 위해 그림 5와 같이 회로를 구성하였다. 그림 6은 전 구간을 동작시키기 위해 PDP panel에 인가되는 전극 전압파형 V_Y 와 V_Z 를 나타낸다. 42인치 WVGA급 PDP 동작을 위한 주요 specification은 표 1과 같다.

표 1 주요 전압 specification
Table 1 Main input voltage specification

PDP Panel	LG 전자 42인치 WVGA급 (42V6)
V_S	190V
V_{SET_UP}	200V
V_{SC}	120V
V_Y	-75V

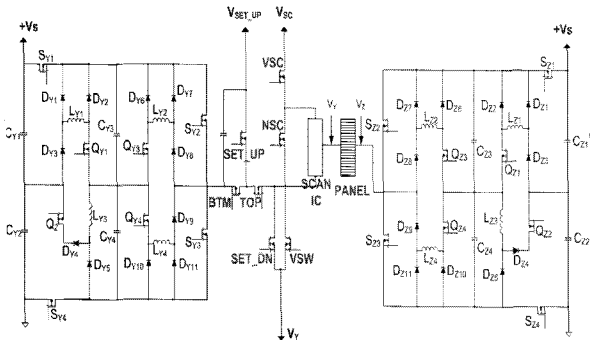


그림 5 42인치 WGA급 PDP 구동회로 블록도
Fig. 5 Circuit diagram of 42inch WGA PDP driver

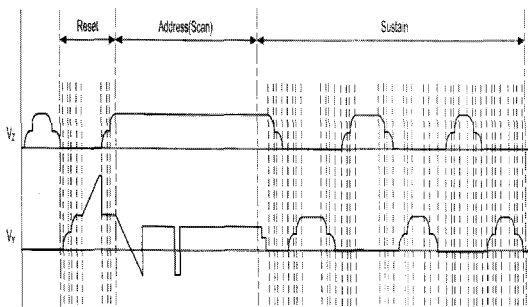


그림 6 PDP 전극의 구동전압 파형
Fig. 6 Driving voltage waveforms of the PDP electrodes

Sustain 동작 시 전극 전압 파형에서 rising 동작의 경우에는 첫 번째 공진에 의한 rising time을 T_{r1} , 두 번째 공진에 의한 rising time을 T_{r2} , rising time 가운데 잠시 유지하는 구간을 T_{il} , sustain 전압을 유지하는 구간을 T_{sus} , falling 동작의 경우에는 첫 번째 falling 구간을 T_{f1} , 두 번째 falling 구간을 T_{f2} , 중간시간을 T_{i2} 라 정의한다(그림 4).

Timing 선정은 sustain 회로의 capacitor (C_1, C_2, C_3, C_4) 전압을 원하는 값을 유지하도록 하는 시간으로 선정하였다. 기본 rising time과 falling time은 다음 표와 같이 구현하였다.

표 2 기본 파형 시간(ns)
Table 2 Basic waveform time(ns)

	T_{r1}	T_{il}	T_{r2}	T_{sus}	T_{f1}	T_{i2}	T_{f2}
Y	100	60	150	1220	270	90	310
Z	100	60	150	1190	240	110	350

3.2 실험 방법

Rising time의 변화에 대한 특성을 측정하기 위하여

Falling time은 고정시킨 상태에서 3구간의 rising 시간 중 2구간은 고정된 상태에서 1구간의 시간만을 변화시켜 다음과 같은 data를 측정한다.

- 휘도 [cd/m^2]

그림 7은 Full white display 조건에서 휘도측정 부분을 나타낸다. 그림에서 보듯 Panel의 총 9부분을 측정하여 휘도의 평균을 낸다.

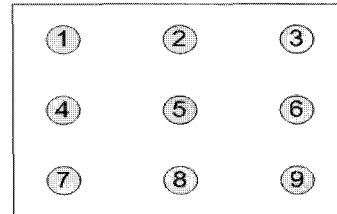


그림 7 Full white display 조건에서 휘도측정 부분
Fig. 7 Luminance measurement part with full white display condition

- 소비전력 [W]

그림 5에서 V_s 전원이 인가되는 부위의 전압과 공급되는 전류의 곱으로 계산한다.

$$P = V_s \times I_{V_s} \tag{9}$$

- Contrast

그림 8과 같은 10% window display 조건에서 5번의 white 휘도를 측정하고, 나머지 black 휘도를 측정하여 비율을 계산한다. 계산식은 다음 식 (10)과 같다.

$$contrast = \frac{5\text{번 휘도}}{5\text{번제외한평균휘도}} \tag{10}$$

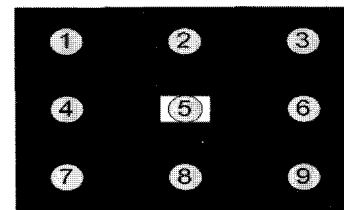


그림 8 10% window display 조건에서 휘도 측정 부분
Fig. 8 Luminance measurement part with 10% window display condition

- panel 효율 [lm/W]

panel 효율은 다음 식 (11)과 같이 계산한다.

$$panel\text{효율} = \frac{3.14 \times Full\ white\ 휘도 \times 0.48}{(I_{V_s, V_{A, on}} - I_{V_s, V_{A, off}}) \times V_s} \tag{11}$$

여기서 $I_{V_s, V_{A, on}}$ 은 Address 전압이 인가되었을 경우의 sustain 전류를 나타내고, $I_{V_s, V_{A, off}}$ 는 Address 전압이 인가되지 않은 상태의 sustain 전류를 나타낸다.

- module 효율 [lm/W]
module 효율은 다음 식 (12)와 같이 계산한다.

$$\text{module 효율} = \frac{3.14 \times \text{Fullwhite 휘도} \times 0.48}{I_{V_s, V_{A, on}} \times V_s} \quad (12)$$

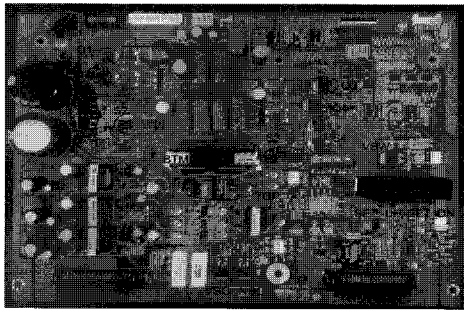


그림 9 실제 제작 Y Board
Fig. 9 Implemented Y-side PDP driver board

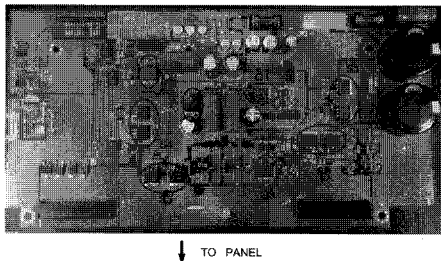


그림 10 실제 제작 Z Board
Fig. 10 Implemented Z-side PDP driver board

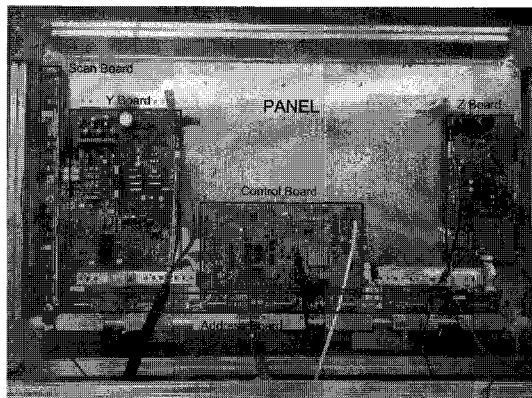


그림 11 Panel 부착모습
Fig. 11 Implemented 42inch PDP driver and control board

3.3 실제 제작 board

그림 9~11은 제안된 회로를 실제 제작한 PCB와 실제 42인치 PDP panel에 연결된 모습을 나타낸다. Y_board와 Z_board를 보면 heat-sink를 사용하지 않음으로써 board의 크기와 무게를 줄일 수 있다. PCB에서는 그림 5에 나타난 주요 스위치 소자들의 위치를 표시한다.

4. 결과 및 토의

제안된 PDP 구동회로를 사용한 경우에 Energy Recovery 동작 시 2단계를 걸쳐 올라감으로써 rising times(T_{r1} , T_{r2})과 idle time(T_{ii})이 변함에 따라 PDP module의 특성(휘도, 소비전력, contrast, panel 효율, module 효율)에 미치는 영향을 기존 PDP 구동회로를 사용했을 경우와 비교한다.

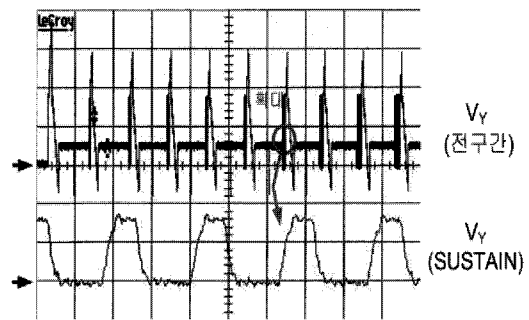


그림 12 전 구간 Y board 실험 전압 파형과 sustain 구간의 실험 전압 파형
Fig. 12 Experimental voltage waveforms for the common electrode(Y), and their zoomed waveforms during the sustain period (Top trace: 100V/div, 1ms/div, Bottom Trace: 100V/div, 2us/div)

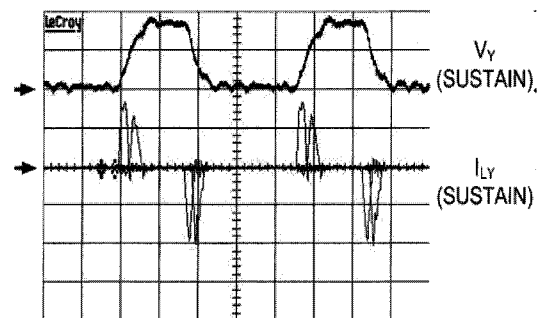


그림 13 sustain 동작 시 전압/전류 파형
Fig. 13 Experimental voltage/current waveforms during the sustain period(Y) (Top trace : 100V/div, 1us/div, Bottom trace : 15A/div, 1us/div)

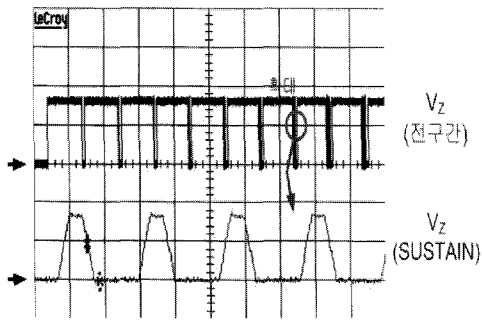


그림 14 전 구간 Z board 전압파형
 Fig. 14 Experimental voltage waveforms for the common electrode(Z), and their zoomed waveforms during the sustain period (Top trace : 100V/div, 1ms/div, Bottom Trace : 100V/div, 2us/div)

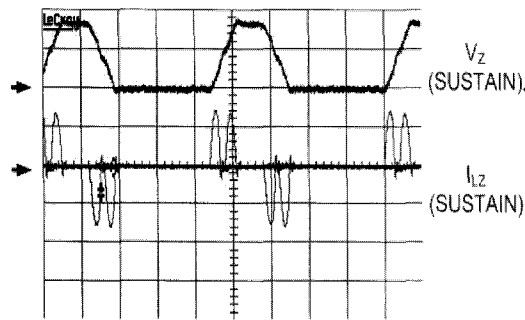


그림 15 sustain 동작 시 전압/전류 파형
 Fig. 15 Experimental voltage/current waveforms during the sustain period(Z) (Top trace : 100V/div, 1us/div, Bottom trace : 15A/div, 1us/div)

그림 12~15는 제작된 board의 Panel 전압/전류 파형을 나타낸다. 그림 12(上)은 Full white display 동작 시에 Y 전극의 전 구간 전압파형을 나타낸 것이며, (下)는 전 구간 중에 sustain 동작 시의 전압을 확대한 파형을 나타낸다. 그림 13(上)은 sustain 동작의 전압 파형을 나타내며, (下)는 sustain 동작의 각각의 인덕터(L_{Y1} , L_{Y2} , L_{Y3} , L_{Y4})의 전류를 나타낸다.

그림 14(上)은 Full white display 동작 시에 Z 전극의 전 구간 전압파형을 나타낸 것이며, (下)는 전 구간 중에 sustain 동작 시의 전압을 확대한 파형을 나타낸다. 그림 15(上)은 sustain 동작의 전압파형을 나타내며, (下)는 sustain 동작의 각각의 인덕터(L_{Z1} , L_{Z2} , L_{Z3} , L_{Z4})의 전류를 나타낸다.

다음 표 3과 그림 16은 T_{r1} 이 변화함에 따라서 PDP에 미치는 영향을 나타낸 결과이다.

표 3 1st Rising Time(T_{r1}) 변화에 따른 결과
 Table 3 The result according to the 1st Rising Time(T_{r1})

T_{r1} [ns]	휘도 [cd/m ²]	소비전력 [W]	contrast	panel 효율	module 효율
100ns	203.00	245.10	1894.74	1.43	1.25
140ns	202.22	243.20	1895.95	1.42	1.25
180ns	202.00	241.30	1860.47	1.43	1.26
220ns	201.22	237.50	1907.82	1.44	1.28

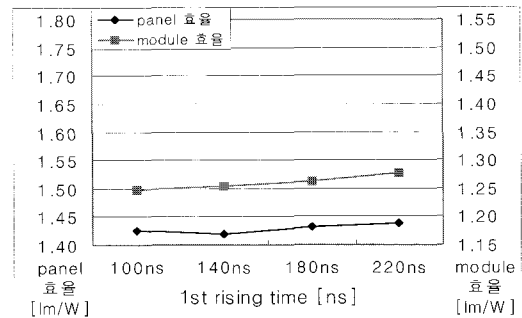
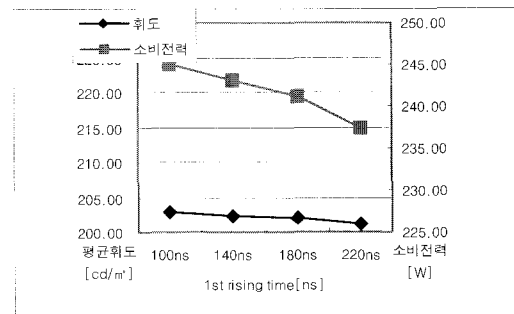


그림 16 1st Rising Time(T_{r1}) 변화에 따른 결과 그래프
 Fig. 16 The result graph according to the 1st Rising Time(T_{r1})

시간이 100ns에서 220ns까지 늘어나면 휘도는 203[cd/m²]에서 201.22[cd/m²]으로 0.9% 감소, 소비전력은 245.1[W]에서 237.5[W]로 3.1% 감소한다. 효율 면에서는 panel효율은 1.43[lm/W]에서 1.44[lm/W]로 0.7% 증가, module효율은 1.25 [lm/W]에서 1.28[lm/W]으로 2.4% 증가를 볼 수 있다.

시간이 증가할수록 여러 parameter들이 변화를 하지만 측정 오차 범위내의 변화로 볼 수 있다. 따라서 T_{r1} 의 변화는 PDP 특성에 영향을 주지 못한다고 할 수 있다.

표 4와 그림 17은 idle time이 변화함에 따라 미치는 영향을 나타낸 결과이다.

표 4 1st Idle time(T_{i1}) 변화에 따른 결과

Table 4 The result according to the 1st Idle Time(T_{i1})

T_{i1} [ns]	휘도 [cd/m ²]	소비전력 [W]	contrast	panel 효율	module 효율
60ns	203.00	245.10	1894.74	1.43	1.25
100ns	207.89	241.30	1764.26	1.49	1.30
140ns	219.78	235.60	1669.83	1.60	1.41
180ns	226.78	226.10	1618.50	1.75	1.51

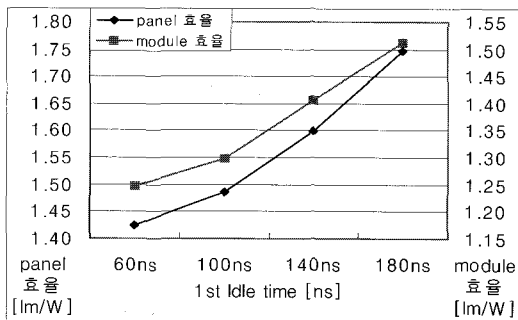
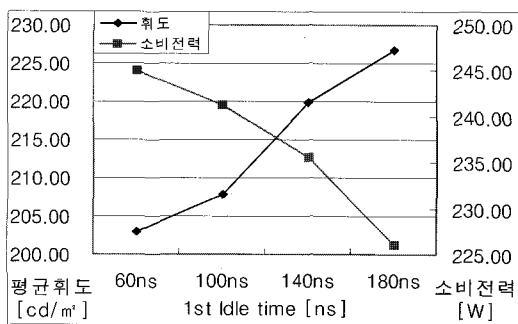


그림 17 1st Idle time(T_{i1}) 변화에 따른 결과 그래프
Fig. 17 The result graph according to the 1st Idle Time(T_{i1})

시간이 60ns에서부터 180ns까지 증가하면 휘도는 203[cd/m²]에서 226.78[cd/m²]으로 11.7% 증가, 소비전력은 245.1[W]에서 226.1[W]로 7.8% 감소한다. 효율 면에서는 panel은 1.43[lm/W]에서 1.75[lm/W]로 22.4% 증가, module은 1.25[lm/W]에서 1.51[lm/W]로 20.8% 증가하는 것을 볼 수 있다.

앞에서 본 T_{i1} 이나 다음에 살펴볼 T_{r2} 의 변화에 비해 T_{i1} 의 변화에 의한 영향이 큰 것을 표와 그림을 통해 알 수 있다. 시간이 늘어날수록 휘도는 증가, 소비전력은 감소, 효율은 증가하는 장점이 있다.

표 5와 그림 18은 두 번째 rising time이 변화함에 따라 미치는 영향을 나타낸 결과이다.

표 5 2nd Rising Time(T_{r2}) 변화에 따른 결과

Table 5 The result according to the 2nd Rising Time(T_{r2})

T_{r2} [ns]	휘도 [cd/m ²]	소비전력 [W]	contrast	panel 효율	module 효율
150ns	203.00	245.10	1894.74	1.43	1.25
190ns	202.89	241.30	1888.89	1.44	1.27
230ns	208.89	235.60	1762.18	1.52	1.34
270ns	216.33	228.00	1740.52	1.63	1.43

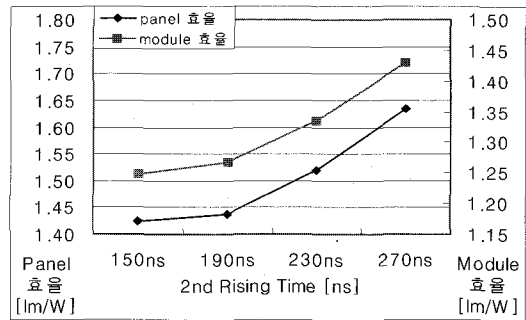
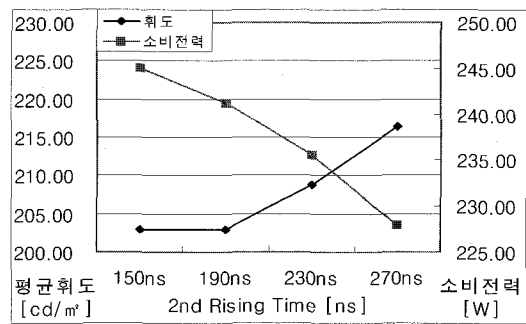


그림 18 2nd Rising Time(T_{r2}) 변화에 따른 결과 그래프
Fig. 18 The result graph according to the 2nd Rising Time(T_{r2})

시간이 150ns에서 270ns까지 증가할 경우 휘도는 203[cd/m²]에서 216.33[cd/m²]으로 6.6% 증가, 소비전력은 245.1[W]에서 228[W]로 7.0% 감소한다. 효율 면에서는 panel은 1.43[lm/W]에서 1.63[lm/W]로 14.0% 증가, module은 1.25[lm/W]에서 1.43[lm/W]으로 14.4% 증가한다.

T_{r2} 의 변화에 의한 특성에 영향을 많이 미치지만 T_{i1} 의 변화에 비해서는 작게 미치는 것을 볼 수 있다. T_{i1} 변화와 마찬가지로 시간이 길어질수록 휘도와 소비전력, 효율 면에서 모두 좋아진 것을 알 수 있다.

이를 바탕으로 하여 추가적인 실험을 통해 다음 표 7과 그림 19와 같은 결과 data를 얻었다. 각 구간의

시간을 변화시켜 측정한 결과를 LG전자의 상용화 제품과 비교하여 특성을 알아본다. LG전자의 제품의 동작시간은 $T_{YR} = 340ns$, $T_{YSUS} = 1100ns$, $T_{YF} = 420ns$, $T_{ZR} = 340ns$, $T_{ZSUS} = 1300ns$, $T_{ZF} = 700ns$ 로 구성되어 있다.(그림 2 참조)

표 6 data 별 rising 시간
Table 6 The rising time of the data

	Y T_{r1}	Y T_{i1}	Y T_{r2}	Z T_{r1}	Z T_{i1}	Z T_{r2}
1	80ns	80ns	250ns	80ns	80ns	250ns
2	100ns	40ns	310ns	100ns	40ns	310ns
3	60ns	120ns	230ns	60ns	120ns	230ns
4	80ns	80ns	310ns	80ns	80ns	310ns
5	100ns	40ns	370ns	100ns	40ns	370ns
6	60ns	120ns	290ns	60ns	120ns	290ns
7	80ns	80ns	370ns	80ns	80ns	370ns
8	60ns	120ns	350ns	60ns	120ns	350ns

표 7 rising 시간에 따른 특성
(LG전자 파형은 상용화 되어있는 제품으로 측정)
Table 7 Performance of the rising time

	휘도 [cd/m ²]	소비전력 [W]	Contrast	panel 효율	module 효율
1	222.56	231.80	1565.53	1.65	1.45
2	221.89	226.10	1597.04	1.69	1.48
3	226.22	229.90	1518.99	1.69	1.48
4	223.67	222.30	1515.48	1.74	1.52
5	221.67	218.50	1566.85	1.76	1.53
6	226.44	220.40	1421.26	1.78	1.55
7	224.33	216.60	1460.48	1.80	1.56
8	226.44	212.80	1397.39	1.85	1.60
LG	197.56	226.10	1370.47	1.49	1.32

표 7과 그림 19를 살펴보면 제안 회로를 사용하여 측정한 결과가 기존의 LG전자의 제품에 비해 성능이 좋은 것으로 나타난다. 앞에서 살펴본 것과 마찬가지로 전체적인 rising 시간이 길수록 성능은 좋아지는 것을 볼 수 있으며, 특히 T_{i1} 이나 T_{r2} 가 늘어남에 따라 그 성능은 더 좋아진다. 평균 휘도 면에서는 T_{r1} 이 60ns, T_{i1} 이 120ns일 때 T_{r2} 의 변화에도 약 226[cd/m²]으로 최고치를 나타낸다. 소비전력에서는 T_{i1} 과 T_{r2} 가 늘어날수록 220[W]미만으로 감소되는 것을 측정했다. panel 효율과 module 효율은 휘도와 소비전력에 관계가 있으므로 2가지가 좋아지는 방향으로 효율 역시 좋아진다. 최고 휘도 14.6%, 소비전력 5.9%, panel 효율 24.2%, module 효율 21.2%의 성능 향상을 보였다.

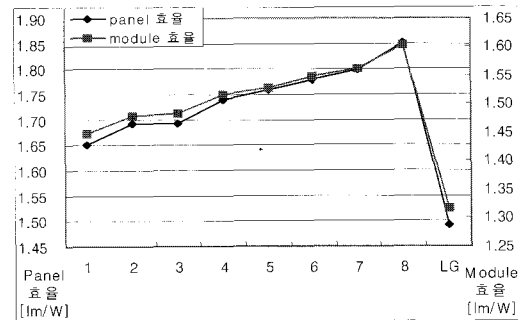
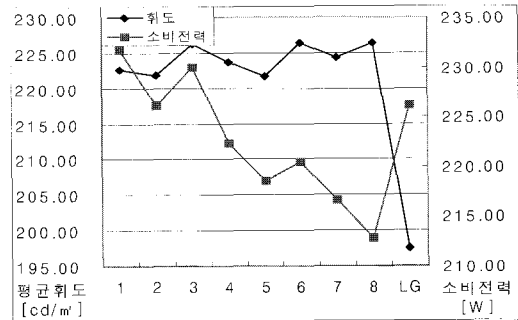


그림 19 제안 회로와 LG전자 비교 그래프
Fig. 19 LG Electronics comparison graph with the proposed circuit

5. 결 론

본 논문에서는 새롭게 제안된 PDP Sustain 구동방식을 연구대상으로 하여 실제 PDP panel에 연결하여 rising time의 변화에 따른 특성 변화를 실험을 통해 어떻게 나타나는지 data를 추출, 비교하였다.

실험 결과 3단계의 rising 구간에서 T_{i1} 에 의한 특성 영향이 가장 큰 것으로 나타났으며, T_{r1} 에 의한 특성 영향은 거의 없는 것으로 나타났다. 특히, T_{r1} 이 60ns, T_{i1} 이 120ns, T_{r2} 가 350ns 인 경우, Full white display pattern에서 기존제품에 비해 휘도 14.6%증가, 소비전력 5.9%감소, panel 효율 24.2% 증가, module 효율 21.2%증가 등 특성을 얻을 수 있었다.

실험을 통해 추출된 Data는 이후 실제 Multi-level을 이용한 PDP Sustain 구동방식을 적용할 경우에 최적의 구동 상태를 만들기 위해 사용될 것으로 생각된다.

본 논문은 LG전자 중앙연구소 Digital Display 연구소 PDP 그룹의 산학협력연구비 지원에 의하여 연구된 논문임

참 고 문 헌

- [1] Chung-Wook Roh, Hye-Jeong Kim, Sang-Hoon Lee, and Myung-Joong Youn, "Multi-Level voltage wave-shaping display driver for AC plasma display panel application", IEEE Journal of Solid State Circuits, Vol.38, No.6, June 2003.
- [2] Chung-Wook Roh, "Novel Plasma Display Driver with Low Voltage/Current Stresses", IEEE Transactions on Consumer Electronics, Vol. 49, No. 4, pp.1360-1366, November 2003.
- [3] L.F. Webber, "Plasma Display Device Challenges," Asia Display '98 Digest, pp.15-271.
- [4] J. Castellano, "Market Trends for Display in Consumer Television", 2000 SID Symposium, pp. 407-409
- [5] T. Shinoda, et.al. "Development of Technologies for Large-Area Color ac Plasma Displays," 1993 SID Int. Symposium, Seattle, pp.160-161
- [6] M. Ishii, et al, "Reduction of Data Pulse Voltage to 20V by Using Address-While-Display Scheme for ACPDPs," 1999 SID Int. Symposium, pp.162-165



사공석진(司空石鎭)

1951년 3월 23일생. 1976년 고려대 전자공학과 졸업. 1981년 동 대학원 전자공학과 졸업(석사). 1985년 동 대학원 전자공학과 졸업(공학). 1977년~1981년 모토로라코리아 응용전자연구실 선임연구원. 1982년~현재 국민대 전자정보통신공학부 교수.

저 자 소 개



김중수(金重秀)

1977년 3월 10일생. 2004년 국민대 전자정보통신공학부 졸업. 2004년~현재 동 대학원 전자공학과 석사과정.



노정욱(盧政煜)

1971년 9월 10일생. 1993년 한국과학기술원 전기 및 전자공학과 졸업. 1995년 동 대학원 전기 및 전자공학과 졸업(석사). 2000년 동 대학원 전기 및 전자공학과 졸업(공학). 2000년~2004년 삼성전자(주) 영상디스플레이사업부 책임연구원. 2004년~현재 국민대 전자정보통신공학부 조교수.



홍성수(洪成洙)

1961년 1월 25일생. 1984년 서울대 전기공학과 졸업. 1986년 한국과학기술원 전기 및 전자공학과 졸업(석사). 1992년 동 대학원 전기 및 전자공학과 졸업(공학). 1984년~1999년 현대전자(주) 정보통신연구소 책임연구원. 1999년~현재 국민대 전자정보통신공학부 교수.