

논문 2005-42SD-11-6

결합 커패시턴스의 영향을 고려한 CMOS 셀 구동 모델

(A CMOS Cell Driver Model to Capture the Effects of Coupling Capacitances)

조 경 순*

(Kyeongsoon Cho)

요 약

미세 선 폭을 갖는 반도체 칩에서 관찰할 수 있는 crosstalk 효과는 배선 회로 사이에 존재하는 결합 커패시턴스에 의한 현상이다. 칩 전체에 대한 타이밍 분석의 정확도는 칩을 구성하는 셀과 배선에 대한 지연시간 예측 자료의 정확도에 의해서 결정된다. 본 논문에서는 결합 커패시턴스에 의한 crosstalk 효과를 반영하여 지연시간을 정확하고 효율적으로 계산할 수 있는 CMOS 셀 구동 모델과 관련 알고리즘을 제안하고 있다. 제안한 모델과 알고리즘을 지연시간 계산 프로그램에 구현하고, 칩 레이아웃에서 추출한 벤치마크회로에 대한 지연시간 예측에 적용하였다. Victim에 영향을 주는 Aggressor를 0~10개까지 연결하여 각각의 경우에 대한 셀 및 배선의 지연시간을 HSPICE와 비교한 결과 1% 내외의 오차를 보이는 우수한 정확도를 확인하였다.

Abstract

The crosstalk effects that can be observed in the very deep submicron semiconductor chips are due to the coupling capacitances between interconnect lines. The accuracy of the full-chip timing analysis is determined by the accuracy of the estimated propagation delays of cells and interconnects within the chip. This paper presents a CMOS cell driver model and delay calculation algorithm capturing the crosstalk effects due to the coupling capacitances. The proposed model and algorithm were implemented in a delay calculation program and used to estimate the propagation delays of the benchmark circuits extracted from a chip layout. We observed that the average discrepancy from HSPICE simulation results is within 1% for the circuits with a victim affected by 0~10 aggressors.

Keywords: 셀 구동모델, 결합 커패시턴스, Crosstalk, 지연시간 계산

I. 서 론

논리 시뮬레이터, 타이밍 분석기, 전력 분석기 등은 회로를 구성하는 각각의 셀 및 이 셀들을 연결하는 배선에 대한 지연시간을 계산하는 Delay Calculator를 필요로 한다. 셀 지연시간과 배선 지연시간의 정의는 그림 1에 제시되어 있다. 셀 지연시간에 영향을 주는 요인 중 가장 중요한 것은 셀 출력이 구동하는 부하 커패

시턴스 C와 입력에 인가되는 파형의 기울기 S이다. 이들이 셀 지연시간에 주는 영향은 각각 비선형적이므로, 셀 지연시간을 C와 S에 대한 이차원 테이블로 모델링하는 방법^[1]이 널리 사용되고 있다. 셀 지연시간에 영향을 주는 요인은 부하 커패시턴스와 입력 파형의 기울기 외에도 배선에 분포되어 있는 저항 성분이 있다. 이와 같은 배선 저항은 구동하는 셀에 대하여 저항 차폐 효과를 유발시키므로 셀 지연시간이 감소하게 된다. 이차원 테이블 모델을 그대로 유지하면서 저항 차폐 효과를 근사적으로 반영하는 방안으로 유효 커패시턴스^[2]를 사용하는 것이 합리적인 방법이다. 저항 차폐 효과만큼 감소된 부하 커패시턴스 값을 유효 커패시턴스로 정의하며, 이를 이차원 테이블에 적용하여 셀 지연시간을

* 정회원, 한국외국어대학교 전자정보공학부
(Department of Electronics and Information Engineering, Hankuk University of Foreign Studies)
* 이 연구는 2005학년도 한국외국어대학교 교내 학술연구비의 지원에 의하여 이루어진 것임.
접수일자: 2005년5월9일, 수정완료일: 2005년11월7일

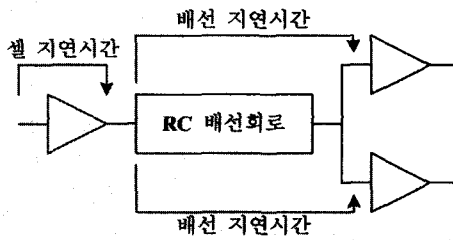


그림 1. 셀 지연시간과 배선 지연시간의 정의

Fig. 1. Definition of cell delay and interconnect delay.

구한다.

배선은 저항과 커패시터로 구성된 RC 회로로 모델링하는 것이 보편적이다. 이와 같은 RC 배선회로를 정확하게 분석하여 지연시간을 구하려면 SPICE를 사용해야 하지만, 모든 배선회로를 SPICE로 분석하는 것은 계산 시간을 고려해 볼 때 불가능하다. 현실적인 수단으로 Elmore 지연시간 모델^[3]을 사용할 수 있다. RC 회로에 대한 회로방정식을 수립하지 않고 RC 회로 구조 분석만으로 지연시간을 구해낼 수 있는 효율적인 방법이지만, RC 회로에 존재하는 극점을 한 개만 구해서 지연시간을 근사화시키는 수준의 정확성만을 제공하므로 한계가 있다. 이를 보완하는 기법으로 L. T. Pillage와 R. A. Rohrer가 제안한 AWE (Asymptotic Waveform Evaluation)^[4]가 많이 사용된다. AWE는 요구되는 계산 정확도에 따라 필요한 만큼의 극점들을 계산함으로써 회로 분석의 정확성을 추구한다. 배선 지연시간을 구하려면 RC 배선회로만을 분석하면 되는 것이 아니라 이를 구동하는 셀의 특성도 함께 고려하여야 한다. 셀의

구동 특성은 비선형적이므로 선형 회로 해석 기법인 AWE를 직접 적용할 수가 없다. 이를 해결하기 위하여 셀 구동 특성을 Thevenin 등가회로 형태의 셀 구동 모델^[5]로 근사화시켜서 정확성과 효율성을 절충하는 방법이 합리적이다.

이상에서 언급한 방법들, 즉 이차원 테이블 모델, 유효 커패시턴스, AWE, Thevenin 등가회로 형태의 셀 구동 모델을 종합하면 정확성과 효율성 측면에서 합리적인 수준의 Delay Calculator를 구현할 수 있다. 그러나 반도체 제조 공정의 미세화가 계속 진행됨에 따라, 배선과 배선 사이의 결합 커패시턴스가 전체 커패시턴스의 상당 부분을 차지하게 되었고, 셀과 배선 지연시간에 큰 영향을 주게 되었다. 따라서 결합 커패시턴스에 의한 crosstalk를 아예 고려하지 않거나 결합 커패시턴스를 한 쪽 단자가 접지된 커패시턴스로 근사화시킨 상태에서 계산한 셀과 배선의 지연시간은 초 미세 선 폭 회로의 경우 정확성에 의문이 제기되고 있다^[6]. 그림 2는 커패시턴스를 통해서 서로 결합되어 있는 배선회로를 나타내고 있다.

Delay Calculator는 여러 가지 응용 툴의 기본 타이밍 자료인 셀과 배선의 지연시간을 생성해주어야 하므로 정확성이 요구된다. 미세 선 폭 회로에서 두드러지게 나타나고 있는 결합 커패시턴스에 의한 crosstalk를 고려하지 않으면 원하는 수준의 정확성을 보장할 수 없다. 반면 Delay Calculator는 수십만 내지 수백만 게이트로 구성되는 칩 전체에 대한 지연시간 계산을 해야 하므로 효율성도 요구된다. 본 논문에서는 이러한 두 가지 요구 사항을 모두 만족시킬 수 있는 지연시간 계산 알고리즘을 제시하고자 한다.

II. 결합 커패시턴스를 고려하지 않은 셀 구동 모델

셀과 배선은 서로의 동작에 영향을 주므로 상호 작용을 고려하여 지연시간을 계산하여야 한다. 셀의 지연시간이 배선에 의하여 받는 영향은 유효 커패시턴스 개념으로 모델링할 수 있으며, 배선의 지연시간은 셀의 구동 특성에 의해서 영향을 받는다. 배선회로를 구동하는 셀의 특성은 셀과 배선회로가 연결되는 지점인 구동점의 전압 파형을 살펴 보면 알 수 있다. CMOS 회로의 경우, 구동 셀의 출력단을 구성하는 트랜지스터가 선형 영역에서 동작하는 동안 구동점의 전압 파형은 시간에 대한 지수함수로서 디지털 파형으로 볼 수 없다. 특히

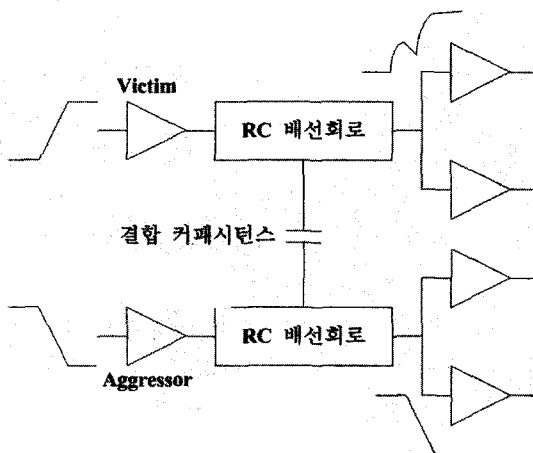


그림 2. 결합 커패시턴스에 의한 crosstalk:

Aggressor → Victim

Fig. 2. Crosstalk due to coupling capacitance:

Aggressor → Victim.

배선 저항이 출력단 트랜지스터의 ON 저항과 비교하여 상대적으로 클수록 디지털 파형과의 편차는 더욱 커진다. 따라서 구동점의 전압 파형을 단순한 경사함수 등으로 표현하고, 이 파형이 배선회로를 구동한다는 가정은 적합하지 않다. 결국 구동 셀과 배선회로를 합하여 전체 회로를 동시에 해석하는 방식을 선택하여야 한다. 본 논문에서는 이와 같이 셀의 지연시간과 배선의 지연시간을 동시에 구하는 방법을 채택하였으며, 이를 바탕으로 구동점의 전압 파형, 즉 셀의 구동 특성을 모델링하였다.

AWE는 임의의 선형 RC 회로에 대하여 정확한 응답을 구하는 대신, 일부의 극점과 레지듀를 계산하여 이들로부터 근사적인 응답을 유도해내는 선형회로 해석 기법이다. 이때 계산되는 극점과 레지듀의 개수를 근사화 차수라고 하는데, 차수가 1인 경우는 Elmore 지연시간에 근거한 해석 방법과 일치하게 된다. 차수를 증가시키면 근사 응답이 정확한 응답에 수렴하게 되지만, 계산상의 효율성을 위하여 차수를 제한한다. 배선의 지연시간을 AWE 기법을 적용하여 구하려면, 배선을 구동하는 셀의 비선형적 구동 특성을 정확하게 반영할 수 있는 동시에 선형소자만으로 구성된 셀 구동 모델을 유도하는 것이 필요하다. 그림 3에 나타나 있는 이 모델은 셀의 출력단 트랜지스터의 특성을 종합한 것으로서, 선형저항 R_{dr} 과 경사함수 형태의 독립 전압원 V_{dr} 로 구성된 선형회로이므로 AWE 기법의 적용이 가능하다.

셀 구동 모델의 구성 요소인 R_{dr} 과 V_{dr} 을 유도하는 방법은 셀 및 구동 모델의 출력에 유효 커패시턴스 C_{eff} 를 연결하고, 셀의 입력에 경사함수 형태의 전압 V_{in} 을 인가한 다음, 모델 출력 전압 V_{app} 의 파형이 셀 출력 전압 V_{out} 의 파형과 일치하도록 하는 것이다. 근사화된 모델의 출력 파형이 원래의 파형과 완전히 일치할 수는 없으므로, 중요한 몇 개의 지점에서만 일치하도록 하였다. 이 때 V_{app} 파형은 해석적인 식으로 표현하고, V_{out} 파형에 관한 자료는 V_{in} 의 기울기와 C_{eff} 값을 바탕으로

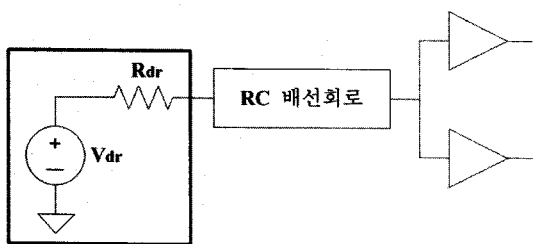


그림 3. 셀 구동 모델
Fig. 3. Cell driver model.

이차원 테이블 형태의 타이밍 데이터 베이스에서 찾아낸다.

구동 저항 R_{dr} 은 V_{out} 의 후반부 파형에 관한 타이밍 자료인 T_{50} 과 T_{90} 으로부터 결정된다. 여기서 T_{50} 과 T_{90} 은 V_{in} 이 전원 전압 V_{DD} 의 50%가 되는 시간을 기준으로 하여, V_{out} 이 V_{DD} 의 50%와 90%에 도달하는데 소요되는 시간을 의미한다. 셀의 출력단 트랜지스터가 선형 영역에서 동작하는 동안, 이에 대응되는 V_{app} 파형은 시정수가 $R_{dr} * C_{eff}$ 인 지수함수이다. 이 구간이 시작되는 정확한 시점은 셀의 내부 구조 및 주변 환경에 의해서 결정되지만, V_{out} 이 V_{DD} 의 50%를 넘어서면 선형 영역에서 동작하고 있는 것으로 가정할 수 있으며, 이 경우 $V_{out}(T_{50}) = V_{app}(T_{50})$ 과 $V_{out}(T_{90}) = V_{app}(T_{90})$ 의 두 관계식으로부터 다음과 같이 R_{dr} 을 유도할 수 있다.

$$R_{dr} = (T_{90} - T_{50}) / (C_{eff} * \ln 5) \quad (1)$$

같은 방법으로 셀 출력이 하강할 때의 R_{dr} 을 유도하면 다음과 같다.

$$R_{dr} = (T_{10} - T_{50}) / (C_{eff} * \ln 5) \quad (2)$$

여기서 T_{10} 은 V_{in} 이 V_{DD} 의 50%가 되는 순간부터 V_{out} 이 V_{DD} 의 10% 지점에 도달하는데 소요되는 시간이다. 이와 같이 셀의 입력 전압 파형의 기울기와 유효 커패시턴스를 기본 자료로 하여 이차원 테이블 형태의 타이밍 데이터 베이스로부터 T_{90} 과 T_{50} (혹은 T_{10} 과 T_{50})을 찾아낸 다음, 위의 식들을 이용하여 구동 저항 R_{dr} 을 결정한다.

구동 저항 R_{dr} 이 V_{out} 의 후반부 파형 자료로부터 결정되는 반면, 구동 전압원 V_{dr} 은 전반부 파형 자료에 근거하여 구한다. V_{dr} 은 V_{in} 이 V_{DD} 의 50%가 되는 지점을 기준 시간으로 하여 T_0 만큼 지연된 기울기가 T_{100} 인 경사함수이다. V_{out} 이 V_{DD} 의 20%가 되는 지점은 셀 출력단 트랜지스터가 포화 영역에 접어들기 시작하는 순간을 나타내며, 50%가 되는 지점은 선형 영역에서 동작하고 있는 상태를 의미한다. 구동 모델에 C_{eff} 가 연결된 회로에 V_{dr} 을 인가한 상태에서 V_{app} 를 식으로 유도한 다음, T_{20} 과 T_{50} 의 두 지점에서의 값들을 원래 셀의 출력 전압 값인 $0.2V_{DD}$, $0.5V_{DD}$ 와 일치시킴으로써 다음과 같은 두 개의 비선형 연립 방정식을 수립한다.^[7]

$$0.5V_{DD} = \left[(T_{50} - T_0) - R_{dr}C_{eff} \left\{ 1 - \exp\left(-\frac{T_{50} - T_0}{R_{dr}C_{eff}}\right) \right\} \right] * \frac{V_{DD}}{T_{100}} \quad (3)$$

$$0.2V_{DD} = \left[(T_{20} - T_0) - R_{dr} C_{eff} \left\{ 1 - \exp\left(-\frac{T_{20} - T_0}{R_{dr} C_{eff}}\right) \right\} \right] * \frac{V_{DD}}{T_{100}} \quad (4)$$

여기서 T_{20} 과 T_{50} 은 각각 V_{out} 이 V_{DD} 의 20%와 50%가 되는 지점이다. 이 방정식들의 해인 T_0 와 T_{100} 은 Newton-Raphson iteration 방법으로 구할 수 있으며, 이것이 바로 V_{dr} 의 정의가 된다. 반대로 셀의 출력 전압이 하강하는 경우의 식들은 다음과 같다.

$$0.5V_{DD} = \left[(T_{50} - T_0) - R_{dr} C_{eff} \left\{ 1 - \exp\left(-\frac{T_{50} - T_0}{R_{dr} C_{eff}}\right) \right\} \right] * \left(-\frac{V_{DD}}{T_{100}} \right) + V_{DD} \quad (5)$$

$$0.8V_{DD} = \left[(T_{80} - T_0) - R_{dr} C_{eff} \left\{ 1 - \exp\left(-\frac{T_{80} - T_0}{R_{dr} C_{eff}}\right) \right\} \right] * \left(-\frac{V_{DD}}{T_{100}} \right) + V_{DD} \quad (6)$$

이와 같이 V_{dr} 도 셀의 입력 전압 파형의 기울기와 유효 커패시턴스를 기본 자료로 하여 이차원 테이블 형태의 타이밍 데이터 베이스로부터 T_{20} 과 T_{50} (셀의 출력이 하강하는 경우는 T_{80} 과 T_{50} 이며 T_{80} 은 V_{out} 이 V_{DD} 의 80%가 되는 지점임)을 추출하고, 이들을 위의 식들에 대입하여 풀어냄으로써 구할 수 있다.

이상에서 기술한 바와 같이 구동 저항 R_{dr} 과 구동 전압원 V_{dr} 을 결정하기 위해서는 배선회로에 대응되는 유효 커패시턴스 값을 알아야 한다. 본 논문에서는 AWE

기법의 반복적 적용을 통하여 상호 의존적인 변수인 C_{eff} , R_{dr} , V_{dr} 을 동시에 계산하는 접근 방식을 취하였다. 그림 4는 전체 과정을 순서도로 나타내고 있다. 우선 C_{eff} 를 전체 부하 커패시턴스의 합인 C_{total} 로 초기화한다. 저항 차폐 효과가 없다면 이 값이 바로 최종 유효 커패시턴스가 되므로, C_{eff} 가 가질 수 있는 최대값에 해당한다. 이 값으로부터 앞에서 유도한 식들을 이용하여 R_{dr} 과 V_{dr} 을 계산함으로써 구동 모델을 결정한다. 이 모델에 배선회로를 연결하여 V_{dr} 부터 구동점까지의 지연시간을 AWE 기법을 적용하여 추출한다. 다음에는 동일한 모델에 C_{eff} 만을 연결하였을 때, 배선회로를 연결한 경우와 동일한 지연시간을 발생시킬 수 있도록 새로운 C_{eff} 값을 정한다. 새로운 C_{eff} 값이 전에 구한 값과 일정한 범위 내로 수렴할 때까지 이상의 과정을 반복한다. 수렴된 최종 C_{eff} 값을 사용하여 셀에 의한 지연시간을 이차원 테이블 형태의 타이밍 데이터 베이스에서 구하고, 이에 대응되는 R_{dr} 및 V_{dr} 로 구성되는 구동 모델과 연결된 배선회로에 AWE 알고리즘을 적용함으로써 배선회로에 의한 지연시간을 구한다.

III. 결합 커패시턴스를 고려한 셀 구동 모델로 확장

결합 커패시턴스에 의한 crosstalk를 고려하여 지연시간을 계산하는 방법에 대해서 많은 연구가 이루어졌으며,^[8,9,10,11,12] 공통적인 사항들은 다음과 같다.

① 결합 커패시턴스를 고려하지 않고 지연시간을 계산하는 경우는 하나의 구동 셀만 고려하면 된다. 따라서 하나의 구동 셀과 RC 배선회로로 구성되는 회로를 분석하여 유효 커패시턴스와 셀 구동 모델을 유도하고, 이를 바탕으로 지연시간을 구한다. 그러나 결합 커패시턴스가 추가되면 구동 셀이 여러 개가 되므로 이를 처리할 수 있도록 알고리즘을 확장하여야 한다.

② Aggressor가 Victim의 지연시간에 주는 영향이 최대가 되는 것은 인가되는 입력 파형의 극성이 반대일 때 라는 점을 반영하여 Victim의 최대 지연시간을 구할 수 있도록 하여야 한다.

이러한 두 가지 사항을 반영하여 지연시간을 계산할 때 앞에서 설명한 AWE 기법과 구동 모델 파라미터 (R_{dr} 과 V_{dr})를 구하기 위한 계산식에는 아무 변화가 없다. 변해야 하는 부분은 그림 4에 제시되어 있는 알고리즘이다. 이를 설명하기 위하여 그림 5에 나타나 있는 상황과 같이 Victim에 하나의 Aggressor가 연결되어

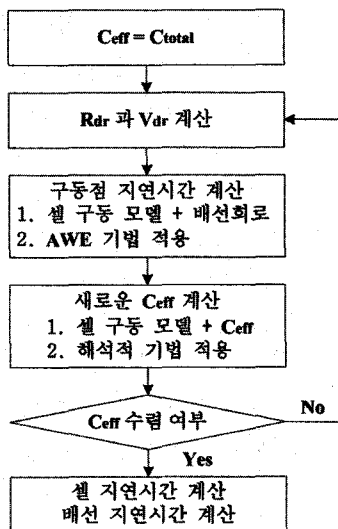


그림 4. 유효 커패시턴스와 셀 구동 모델의 결정
Fig. 4. Determination of effective capacitance and cell driver model.

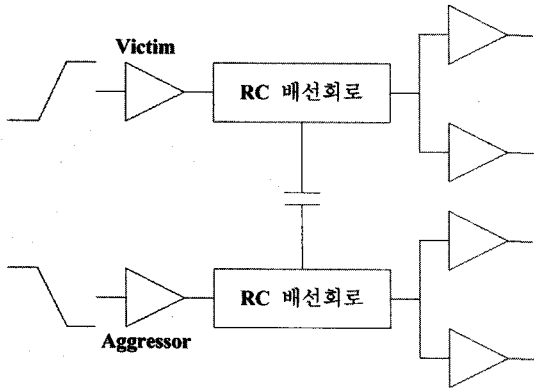


그림 5. Victim에 하나의 Aggressor가 영향을 주는 상황

Fig. 5. Case of one aggressor affecting a victim.

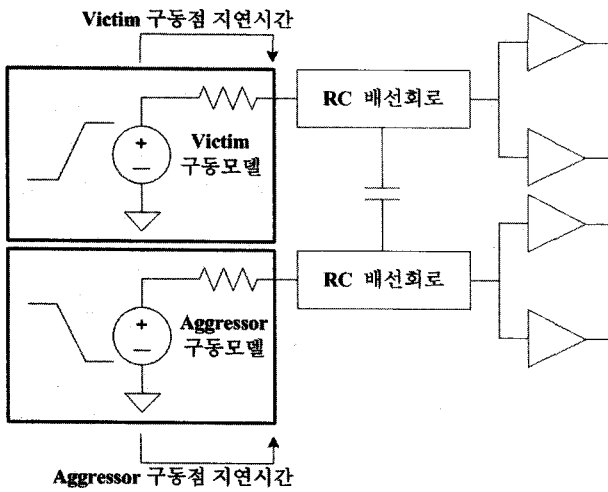


그림 6. Victim과 Aggressor를 구동 모델로 치환함
Fig. 6. Replacing aggressor and victim by driver models.

있는 경우를 생각하여 보자. Victim의 최대 지연시간을 구하기 위하여 Victim과 Aggressor에는 반대의 극성을 갖는 파형을 입력하고 있다. (Victim: 상승파형, Aggressor: 하강파형) 이때 입력 파형이 인가되는 시점은 동일하다고 가정한다. Victim과 Aggressor의 유효 커패시턴스를 각각 C_{effV} , C_{effA} 라 하고, 초기값은 부하 커패시턴스의 합인 C_{total} 로 놓는다. ($C_{effV}^{(0)} = C_{effA}^{(0)} = C_{total}$) 이 값들로부터 Victim에 대한 구동 모델 파라미터와 Aggressor에 대한 구동 모델 파라미터를 각각 구한다. 그림 6은 구동 셀들을 구동 모델로 바꾼 회로를 보여주고 있다. 이 회로에 AWE 기법을 적용하여 Victim 구동점 지연시간과 Aggressor 구동점 지연시간을 구한다음, 그림 7과 같이 Victim 구동점 지연시간과 동일한 지연시간을 갖게 하는 $C_{effV}^{(1)}$ 을 구한다. 같은 방법으로 Aggressor에 대해서도 그림 8과 같이 $C_{effA}^{(1)}$ 을

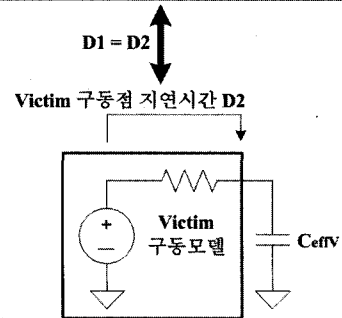
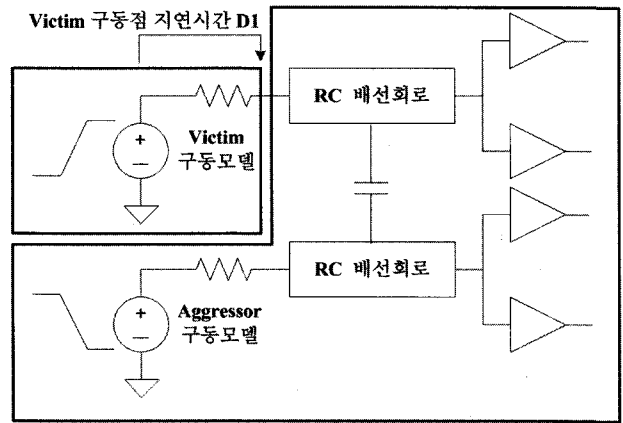


그림 7. Victim에 대한 새로운 유효 커패시턴스 C_{effV}
Fig. 7. A new effective capacitance C_{effV} for a victim.

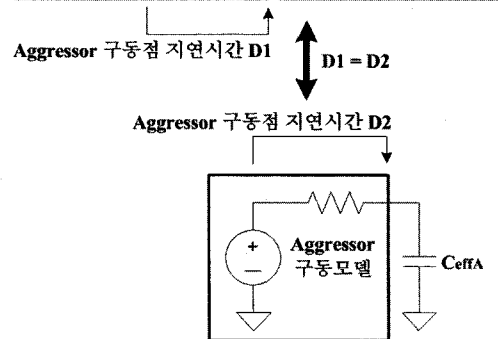
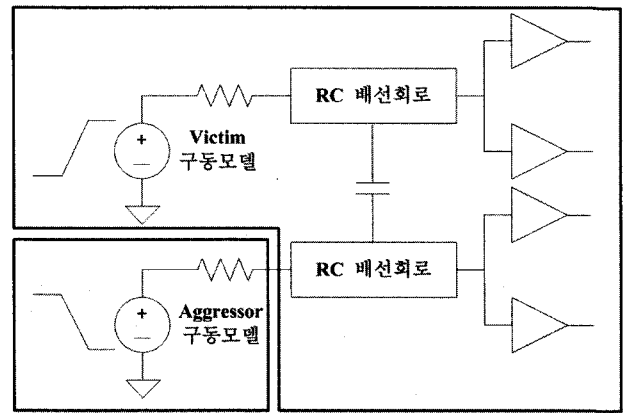


그림 8. Aggressor에 대한 새로운 유효커패시턴스 C_{effA}
Fig. 8. A new effective capacitance C_{effA} for an aggressor.

구한다. $C_{effV}^{(1)}$ 과 $C_{effA}^{(1)}$ 이 $C_{effV}^{(0)}$ 과 $C_{effA}^{(0)}$ 에 비교해서 오차 범위 내에 들어오게 되면, $C_{effV}^{(1)}$ 과 $C_{effA}^{(1)}$ 이 최종

표 1. 정확도 비교 실험

Table1. Experiments of accuracy comparison.

(a) Victim: rising input, Aggressors: falling input

Number of Aggressor	Cell delay			Interconnect delay		
	HSPICE	XINT	Error	HSPICE	XINT	Error
0	0.09755 ns	0.09765 ns	-0.10 %	0.99914 ps	1.0031 ps	-0.40 %
1	0.10121 ns	0.10196 ns	-0.74 %	0.99357 ps	1.0030 ps	-0.95 %
2	0.10495 ns	0.10572 ns	-0.73 %	0.99506 ps	1.0028 ps	-0.78 %
3	0.10879 ns	0.10962 ns	-0.76 %	1.0024 ps	1.0027 ps	-0.03 %
4	0.11269 ns	0.11380 ns	-0.98 %	0.99141 ps	1.0025 ps	-1.12 %
5	0.11666 ns	0.11677 ns	-0.09 %	0.99543 ps	1.0024 ps	-0.70 %
6	0.12070 ns	0.12076 ns	-0.05 %	0.99751 ps	1.0023 ps	-0.48 %
7	0.12484 ns	0.12486 ns	-0.02 %	0.99928 ps	1.0022 ps	-0.29 %
8	0.12908 ns	0.12906 ns	0.01 %	0.99965 ps	1.0020 ps	-0.24 %
9	0.13341 ns	0.13333 ns	0.06 %	0.99430 ps	1.0019 ps	-0.77 %
10	0.13783 ns	0.13776 ns	0.05 %	0.99332 ps	1.0018 ps	-0.86 %

(b) Victim: falling input, Aggressors: rising input

Number of Aggressor	Cell delay			Interconnect delay		
	HSPICE	XINT	Error	HSPICE	XINT	Error
0	0.15377 ns	0.15398 ns	-0.14 %	0.99876 ps	0.99990 ps	-0.11 %
1	0.16191 ns	0.16252 ns	-0.37 %	0.99803 ps	0.99987 ps	-0.18 %
2	0.17045 ns	0.17057 ns	-0.07 %	0.99370 ps	0.99987 ps	-0.62 %
3	0.17942 ns	0.17917 ns	0.14 %	0.99649 ps	0.99985 ps	-0.34 %
4	0.18884 ns	0.18834 ns	0.26 %	1.0042 ps	0.99984 ps	0.43 %
5	0.19869 ns	0.19811 ns	0.29 %	0.99669 ps	0.99984 ps	-0.32 %
6	0.20904 ns	0.20862 ns	0.20 %	0.99970 ps	0.99955 ps	0.01 %
7	0.21989 ns	0.21926 ns	0.29 %	0.99000 ps	0.99940 ps	-0.04 %
8	0.23125 ns	0.23019 ns	0.46 %	0.99616 ps	0.99925 ps	-0.31 %
9	0.24310 ns	0.24134 ns	0.72 %	0.99335 ps	0.99905 ps	-0.57 %
10	0.25542 ns	0.25264 ns	1.08 %	0.99710 ps	0.99885 ps	-0.18 %

유효 커패시턴스 값들이 되어 Victim과 Aggressor의 셀 지연시간을 이차원 테이블에서 찾는 데 사용된다. 또한 이에 대응되는 구동 모델 파라미터 값들을 사용하여 다시 한번 AWE를 적용함으로써 배선 지연시간을 구한다. $C_{effV}^{(1)}$ 과 $C_{effA}^{(1)}$ 이 $C_{effV}^{(0)}$ 과 $C_{effA}^{(0)}$ 에 비교해서 오차 범위 내에 들어 오지 않으면 수렴할 때까지 위의 과정을 반복한다. 대부분의 경우 수 차례 정도의 반복이면 수렴에 충분하다는 것을 실험을 통해서 알 수 있었다. 이 알고리즘은 Aggressor의 개수가 여러 개로 늘어날 때에도 그대로 사용할 수 있다.

IV. 실험결과

본 논문에서 제시한 알고리즘을 C 언어 프로그램(XINT)으로 작성하였으며, 정확성을 확인하기 위하여 지연시간 계산 결과를 회로 시뮬레이터인 HSPICE와 비교하였다. XINT 프로그램이 해석하는 회로는 그림 9

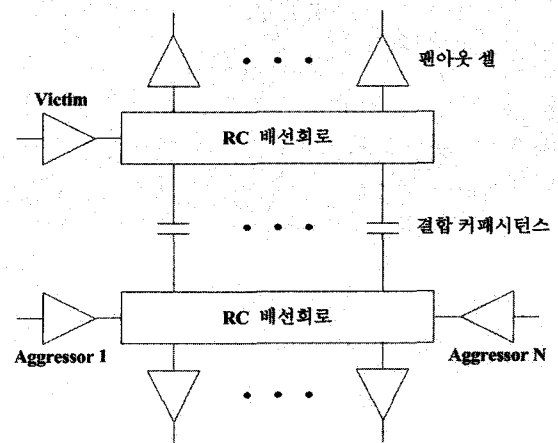


그림 9. 다수의 Aggressor가 Victim에 주는 영향을 분석하기 위한 회로

Fig. 9. A benchmark circuit to analyze the effects of multiple aggressors on a victim.

와 같이 하나의 Victim 셀과 여기에 연결되어 있는 배선 회로 (저항과 커패시턴스로 구성된 RC 회로), 하나

이상의 팬아웃 셀 (부하 커패시턴스로 모델링 됨), 하나 이상의 Aggressor 셀 (Aggressor 1~Aggressor N), 하나 이상의 결합 커패시턴스로 구성된다.

XINT 프로그램이 입력으로 받아들이는 정보는 RC 배선회로 (SPICE 네트리스트 형식), Victim과 Aggressor 셀에 대한 타이밍 데이터, 팬아웃 셀 데이터 (입력 커패시턴스 값), Victim과 Aggressor 셀에 인가되는 입력 파형의 천이시간이다. 이와 같은 입력 정보를 바탕으로 XINT 프로그램은 셀 지연시간 (Victim 셀 입력 → Victim 셀 출력)과 배선 지연시간 (Victim 셀 출력 → 각각의 팬아웃 셀의 입력)을 계산하여 그 결과를 출력한다.

벤치마크 회로는 레이아웃에서 추출한 회로를 기본 회로로 사용하였다. 여러 개의 Aggressor가 Victim에 주는 영향을 분석하기 위하여 기본 회로를 바탕으로 그림 9 형태의 회로를 구성하였다. Aggressor를 0부터 10개까지 연결하여 각각의 경우에 대한 셀 지연시간과 배선 지연시간을 XINT로 구한 다음 HSPICE와 비교하였다. Victim에 상승입력을 인가하고 Aggressor에 하강입력을 인가한 다음, Victim의 셀 지연시간과 배선 지연시간을 구하여 HSPICE와 비교하였다. 표 1 (a)에 나타나 있는 이 결과는 Victim에 상승입력을 인가했을 경우, crosstalk 현상으로 인한 최대 지연시간을 의미한다. 표 1 (b)는 이와 반대로 Victim과 Aggressor에 각각 하강입력과 상승입력을 인가한 경우에 대한 HSPICE와의 비교 결과이다. 두 표에서 보여주고 있듯이, HSPICE와의 오차가 1% 내외로서 극히 우수함을 알 수 있다.

V. 결 론

반도체 제조 공정의 미세화가 계속 진행됨에 따라, 배선과 배선 사이의 결합 커패시턴스가 전체 커패시턴스의 상당 부분을 차지하게 되었고, 셀과 배선 지연시간에 큰 영향을 주게 되었다. 따라서 결합 커패시턴스에 의한 crosstalk를 아예 고려하지 않거나 결합 커패시턴스를 한 쪽 단자가 접지된 커패시턴스로 근사화시킨 상태에서 계산한 셀과 배선의 지연시간은 초 미세 선 폭 회로의 경우 더 이상 받아들일 수 없게 되었다. 이 문제를 해결하기 위하여 본 논문에서는 이차원 테이블 모델, 유효 커패시턴스, AWE, Thevenin 등가회로 형태의 셀 구동 모델을 종합한 지연시간 계산 알고리즘을 확장하여 결합 커패시턴스에 의한 crosstalk 현상을 반영할 수 있는 새로운 알고리즘을 제시하였다. 결합 커

패시턴스를 고려하지 않고 지연시간을 계산하는 경우는 하나의 구동 셀만 고려하면 되지만 결합 커패시턴스가 추가되면 구동 셀이 여러 개가 되므로 이를 처리할 수 있도록 알고리즘을 확장하였다. 또한 Aggressor가 Victim의 지연시간에 주는 영향이 최대가 되는 것은 인가되는 입력 파형의 극성이 반대일 때 라는 사실을 반영하여 Victim의 최대 지연시간을 구할 수 있도록 하였다. 이 알고리즘을 지연시간 계산 프로그램으로 구현하여 HSPICE와 정확도를 비교하였다. 레이아웃에서 추출한 회로를 바탕으로 Aggressor를 0부터 10개까지 연결하여 각각의 경우에 대한 Victim의 셀 및 배선 지연시간을 구한 다음 HSPICE와 비교한 결과 1% 내외의 우수한 정확도를 확인하였다.

참 고 문 헌

- [1] E. Y. Chung, B. H. Joo, Y. K. Lee, K. H. Kim and S. H. Lee, "Advanced Delay Analysis Method for Submicron ASIC Technology," Proc. of IEEE ASIC Seminar, pp. 471-474, 1992.
- [2] J. Qian, S. Pallela and L. T. Pillage, "Modeling the Effective Capacitance for the RC Interconnect of CMOS Gates," IEEE Trans. on Computer-Aided Design, vol. 13, no. 12, pp. 1526-1535, December 1994.
- [3] J. Rubinstein, P. Penfield Jr. and M. A. Horowitz, "Signal Delay in RC Tree Networks," IEEE Trans. on Computer-Aided Design, vol. 2, no. 3, pp. 202-211, July 1983.
- [4] L. T. Pillage and R. A. Rohrer, "Asymptotic Waveform Evaluation for Timing Analysis," IEEE Trans. on Computer-Aided Design, vol. 9, no. 4, pp. 352-366, April 1990.
- [5] F. Dartu, N. Menezes and L. T. Pileggi, "Performance Computation for Precharacterized CMOS Gates with RC Loads," IEEE Trans. on Computer-Aided Design, vol. 15, no. 5, pp. 544-553, May 1996.
- [6] F. Dartu and L. T. Pileggi, "Calculating Worst-Case Gate Delays Due to Dominant Capacitance Coupling," Proc. of Design Automation Conference, 1997.
- [7] 조경순, 변영기, "CMOS 게이트에 의해서 구동되는 배선 회로의 타이밍 특성 분석," 전자공학회논문지, 제35권 C편 제4호, pp. 21-29, April 1998.
- [8] P. D. Gross, R. Arunachalam, K. Rajagopal and L. T. Pileggi, "Determination of Worst-Case Aggressor Alignment for Delay Calculation," Proc. of International Conference on

- Computer-Aided Design, 1998.
- [9] B. N. Sheehan, "Predicting Coupled Noise in RC Circuits by Matching 1, 2, and 3 Moments," Proc. of Design Automation Conference, 2000.
- [10] T. Uchino and J. Cong, "An Interconnect Energy Model Considering Coupling Effects," Proc. of Design Automation Conference, 2001.
- [11] D. Blaauw, S. Sirichotiyakul and C. Oh, "Driver Modeling and Alignment for Worst-Case Delay Noise," IEEE Trans. on VLSI Systems, vol. 11, no. 2, pp. 157-166, April 2003.
- [12] B. Tutuianu, R. Baldick and M. Johnstone, "Nonlinear Driver Models for Timing and Noise Analysis," IEEE Trans. on Computer-Aided Design, vol. 23, no. 11, pp. 1510-1521, November 2004.

저 자 소 개

조 경 순(정회원)

제 37권 SD편 1호 참조.

현재 한국외국어대학교 전자정보공학부 교수.