

논문 2005-42SD-11-2

# 저 전력 시스템을 위한 파워다운 구조를 가지는 이중 전하 펌프 PLL 기반 클록 발생기

(A Dual Charge Pump PLL-based Clock Generator with Power Down Schemes for Low Power Systems)

하 중 찬\*, 황 태 진\*, 위 재 경\*\*

(Jong Chan Ha, Tae Jin Hwang, and Jae Kyung Wee)

## 요 약

이 논문에서는 다중 동작 주파수를 갖는 고성능 저전력 SoC에 사용 가능한 광대역 입출력 주파수를 지원하는 프로그램머블 PLL 기반의 클록킹 회로를 제안하였다. 제안된 클록 시스템은 이중 전하펌프를 이용 locking 시간을 감소시켰고, 광대역 주파영역에서 동작이 가능하도록 하였다. 칩의 저 전력 동작을 위해 동작 대기모드 시에 불필요한 PLL 회로를 지속적으로 동작시키지 않고 relocking 정보를 DAC를 통해 보존하고 불필요한 동작을 억제하였고, 대기모드에서 빠져나온 후 tracking ADC(Analog to Digital Converter)를 이용하여 빠른 relocking이 가능하도록 설계하였다. 또한 프로그램머블하게 출력 주파수를 선택하게 하는 구조를 선택하여 저 전력으로 최적화된 동작 주파수를 지원하기 위한 DFS(Dynamic frequency scaling) 동작이 가능하도록 클록 시스템을 설계하였다. 제안된 PLL 기반의 클록 시스템은 0.35 $\mu$ m CMOS 공정으로 구현하였으며 2.3V의 공급전압에서 0.85 $\mu$ sec~1.3 $\mu$ sec(24~26사이클)의 relocking 시간을 가지며, 파워다운 모드 적용 시 PLL의 파워소모는 라킹 모드에 비해 95%이상 절감된다. 또한 제안된 PLL은 프로그래머블 주파수 분주기를 이용하여 다중 IP 시스템에서의 다양한 클록 도메인을 위해 81MHz~556MHz의 넓은 동작 주파수를 갖는다.

## Abstract

This paper proposes a programmable PLL (phase locked loop) based clock generator supporting a wide-range-frequency input and output for high performance and low power SoC with multiple clock frequencies domains. The propose system reduces the locking time and obtains a wide range operation frequency by using a dual-charge pumps scheme. For low power operation of a chip, the locking processing circuits of the proposed PLL doesn't be working in the standby mode but the locking data are retained by the DAC. Also, a tracking ADC is designed for the fast relocking operation after stand-by mode exit. The programmable output frequency selection's circuit are designed for supporting a optimized DFS operation according to job tasks. The proposed PLL-based clock system has a relock time range of 0.85 $\mu$ sec~1.3 $\mu$ sec(24~26cycle) with 2.3V power supply, which is fabricated on 0.35 $\mu$ m CMOS Process. At power-down mode, PLL power saves more than 95% of locking mode. Also, the PLL using programmable divider has a wide locking range (81MHz~556 MHz) for various clock domains on a multiple IPs system.

**Keywords:** PLL(Phase Locked Loop), ADC(Analog to Digital Converter), Power-down mode, Re-locking

## I. 서 론

오늘날 시스템 응용분야에서 고집적, 고성능 칩이 증

가함에 따라 전력소모의 감소가 중요한 문제로 대두되고 있다. 이러한 전력소모를 줄이기 위한 방법으로 시스템과 회로에서의 저전력 기술 방법들이 많이 제시되고 있다. 일반적으로 저전력을 구현하기 위한 대표적인 방법은 첫 번째로, 슬립모드나 비활성화 모드 동안에 시스템을 셋 다운하는 방식의 블록 단위 끄기(block-wise shutdown)방법이 사용되고 있다. 그러나 이러한 방법에서 클록 시스템은 파워 다운모드에서 활

\* 학생회원, \*\* 정회원, 숭실대학교 전자공학과  
(School of Electronic Engineering Soongsil University)

※ 본 연구는 숭실대학교 교내연구비 지원으로 이루어졌음.

접수일자: 2005년7월25일, 수정완료일: 2005년11월10일

성모드로 전환 후 빠른 relock 시간이 필요하다. 클럭 시스템의 긴 locking 시간은 전체 시스템의 성능을 저하시키는 원인이 되기 때문에 일반적으로 클럭 시스템을 지속적으로 동작시킨다. 그러나 이것은 전체 전력 소모 측면에서 클럭 시스템의 파워소모가 중요한 부분을 차지하기 때문에 PLL(Phase Locked Loop), DLL(Delay Locked Loop)와 같은 대표적인 클럭 회로에서도 전력소모를 줄이기 위한 구현방법이 고려되어야 한다. 두 번째로, 가장 효율적인 저 전력 구현방법은 DVFS (Dynamic Voltage Frequency Scaling)이다. 이것은 시스템 내부의 다양한 동작 주파수를 갖는 각 IP (Intellectual Property)들을 일정한 작업 스케줄에 맞추어 전압과 주파수를 변환하여 전력소모를 줄이는 방법으로서 이러한 시스템 구조들은 칩과 칩 통신에서의 동기 신호가 필요하고 서로 다른 동작 주파수를 지닌 IP 코어들로 인해 다양한 입출력 인터페이스로 구성되어 있어 이들 간의 통신에 위한 다중 클럭을 발생시키기 위한 PLL이 필요하다. 이러한 저 전력 구현에 있어서 클럭시스템은 좋은 지터 특성이외에도 파워다운 구조와 빠른 relock 특성 및 넓은 입출력 동작 범위를 가져야 한다.

일반적으로 초기의 locking 시간을 줄이기 위하여 DAC를 이용한 여러 가지 구조의 PLL이 제안되었다. 그림 1은 DAC(Digital to Analog Converter)를 이용한 디지털 PLL의 일반적인 블록 도를 보여준다. 이것은 기본적으로 위상-주파수 검출기, 디지털 루프 필터, DAC, VCO (Voltage Controlled Oscillator), 1/N Counter로 구성되어 있다. 입력클럭과 1/N Counter의 출력 클럭의 위상 차에 따라 위상-주파수 검출기의 출력이 디지털 루프필터에 전달되고 이것은 다시 DAC를 통해 VCO를 제어한다. 이것은 디지털 루프 필터와 DAC를 통해 넓은 루프 대역폭을 가질 수 있으며 빠른 locking을 할 수 있다. 그러나 이러한 구조에서는 몇 가지의 단점을 가진다. 위상-주파수 검출기의 출력에 따른 디지털 루프 필터에서의 출력은 정적 위상 에러를 가질 수 있으며 이것은 입력클럭을 동기화시키는 클럭 시스템에서는 정적 스쿠가 발생한다. 또한 DAC는 비트 수에 따라 루프 대역폭이 정해지므로 면적이 커지는 단점을 가진다.<sup>[1]</sup> 그림2는 DAC를 이용하여 locking 시간을 줄이기 위한 피드-포워드 보상 PLL 구조이다. 이것은 요구되는 주파수의 locking 정보를 DAC를 통해 미

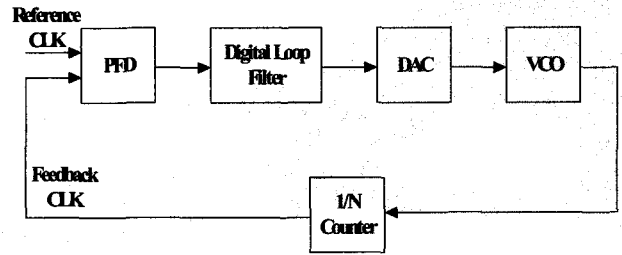


그림 1. DAC를 이용한 디지털 PLL구조  
Fig. 1. Digital PLL architecture using DAC.

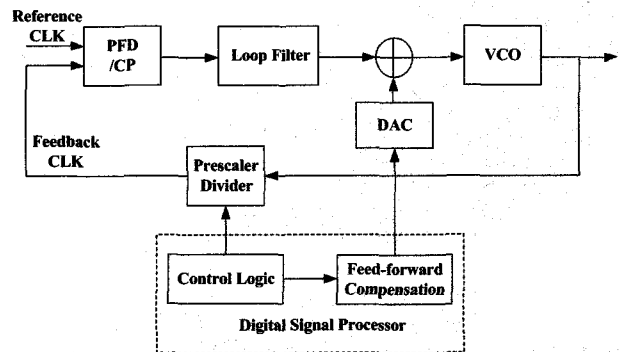


그림 2. 피드-포워드 보상을 이용한 디지털 PLL구조  
Fig. 2. Digital PLL architecture.

리 전달함으로써 빠른 라킹을 수행할 수 있다. 그러나 이러한 구조는 제어블록과 DAC의 정확도에 따라 locking 시간의 제한을 받으며 구조적으로 복잡한 단점을 가진다.<sup>[2]</sup>

이러한 문제점을 해결하기 위하여 트래킹 ADC를 이용하여 파워다운 구조와 빠른 relock 특성을 가지는 이중 전하펌프 PLL구조를 제안한다. 트래킹 ADC를 이용한 디지털 제어 방법은 VCO 제어신호를 레지스터에 디지털 값으로 저장시킴으로써 PLL이 파워다운 모드 시 전력 소모를 감소시킬 수 있으며, PLL이 활성화 모드로 전환된 후에는 디지털 코드를 아날로그 신호로 변환 후 루프 필터에 전달함으로써 빠른 relock을 수행할 수 있는 구조방식이다.

이 논문의 구성은 다음과 같다. II장에서는 제안된 트래킹 ADC를 이용한 이중 전하 펌프 PLL구조를 설명하고, III장에서는 칩 레이아웃과 시뮬레이션 결과를 보여주며, IV장에서는 결론으로 구성된다.

## II. 이중 전하 펌프 PLL

그림 3은 제안된 파워다운 모드를 가지는 이중 전하 펌프 PLL기반 클럭 발생기 구조를 보여준다. 이 구조

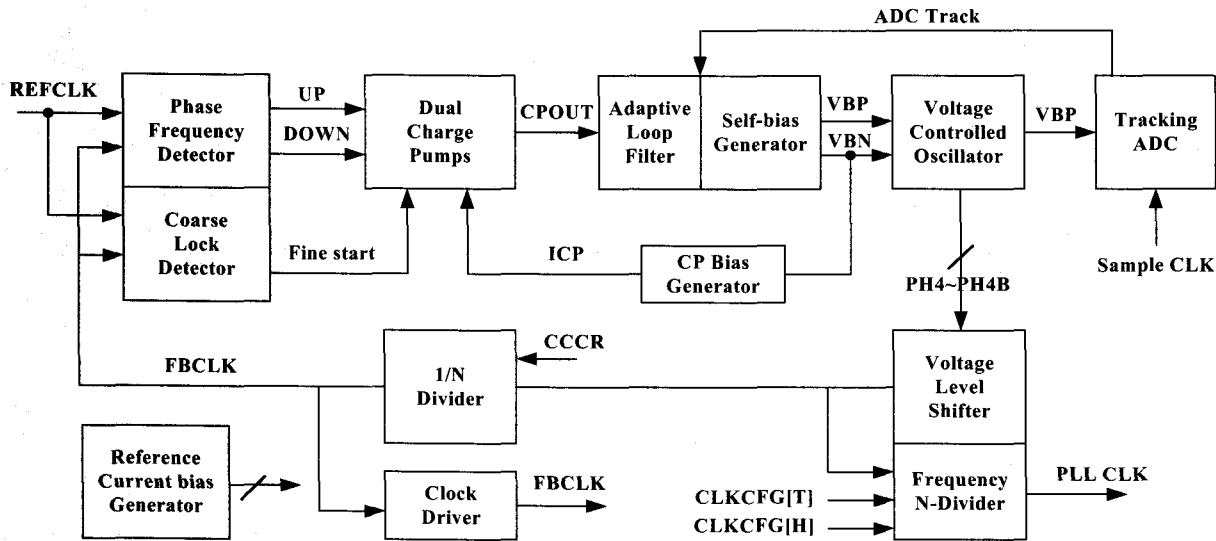


그림 3. 제안된 이중 전하 펌프 PLL기반 클럭 발생기  
 Fig. 3. The proposed dual charge pumps PLL-based Clock Generator.

는 크게 일반적인 이중 전하펌프 PLL과 빠른 리 락을 위한 트래킹 ADC 그리고 programmable 주파수 분배 회로 블록으로 나누어진다. 기본적으로, 이중 전하 펌프 PLL의 동작이 시작되면 REFCLK과 FBCLK의 위상 차에 따라 위상-주파수 검출기에서 UP/DOWN 신호가 출력되고 이출력되는 신호는 전하펌프를 구동하고 루프 필터의 아날로그 제어 전압신호(VBP)는 VCO의 원하는 출력 주파수상-주파수 검출기에서 UP/DOWN 신호가 출력되고 이출력되는 신호는 전하펌프를 구동하고 루프필터의 아날로그 제어 전압신호(VBP)는 VCO의 원하는 출력 주파수가 나오도록 제어하게 된다. VCO의 출력 주파수는 위상-주파수 검출기의 전압레벨을 맞추기 위해 전압 레벨 시프터로 전송되고 1/N 분주기를 거쳐 위상-주파수 검출기와 Coarse lock 검출기에 전달된다. 주파수 N-divider는 간단한 로직 게이트와 함께 요구되는 주파수를 얻을 수 있도록 기존 TSPC(True Single Phase Clock) D 플립플롭 형태의 구조를 사용하였다. 루프 필터의 커패시터에 저장되는 아날로그 제어 전압 신호는 VCO를 제어하는 동시에 트래킹 ADC 블록에서 디지털 코드로 변환되어 레지스터에 저장된다. 이는 PLL이 파워다운 모드에서 활성화 모드로 되돌아온 후 저장된 디지털 코드신호를 아날로그 신호로 변환하여 루프 필터에 전달하여 주기 때문에 빠른 relock 동작 특성을 얻을 수 있다. 이러한 방식은 클럭시스템이 전류소모를 최소화 할 수 있도록 파워다운 모드 상

태로 사용할 수 있기 때문에 저 전력 구현이 가능하다. 그림4는 제안된 이중 전하 펌프 PLL의 기본 블록 도를 보여준다. 이중 전하 PLL은 위상-주파수 검출기, 이중 전하펌프, 루프 필터, 셀프 바이어스 발생기 그리고 VCO의 기본구조로 구성되어 있다. 위상-주파수 검출기는 데드 존을 줄이기 위하여 프리 차지형을 사용하였고, 외부클럭과 내부클럭의 위상차에 따라 UP/DOWN 신호를 이중 전하 펌프에 전달한다. 이중 전하펌프 회로는 선택적 주파수 대역을 제어하는 셀프 바이어스 회로와 연하여 더 빠른 locking 시간을 갖도록 사용된다. 이중 전하 펌프는 Coarse 전하펌프와 Fine 전하 펌프로 구성되어 있으며 초기상태에서 Coarse 전하펌프가 동작하며 바이어스 전류는 셀프 바이어스 발생기에서 제공되는 전압 값에 따라 전하펌프 바이어스 발생기를 통해 제어된다. PLL이 활성화모드로 전환된 후, REFCLK에 대한 FBCLK의 주파수가 거의 일치하게 될 때 Coarse lock 검출기 블록은 Fine 전하 펌프를 루프필터에 연결시키기 위해 fine\_start 제어 신호를 활성화시킨다. 이때, 정적 위상 에러에 대한 보상을 위해 fine 전하 펌프가 동작된다. 그와 동시에, PLL은 이중 전하펌프의 전류와 마찬가지로 루프 필터 파라미터를 변화시킨다. 이 때 fine 차치 펌프를 활성화 시키는 루프 필터 파라미터의 스위칭 변환이 PLL의 락킹 특성을 제한하는 요소로 작용될 수 있다. 이러한 문제는 초기 설계 시 두 주파수 대역 차를 줄여야 locking 특성의 연속성을 유

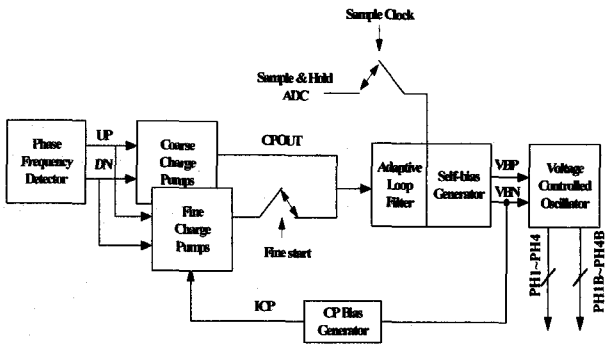


그림 4. 이중 전하 펌프 PLL  
Fig. 4. Dual charge pumps PLL.

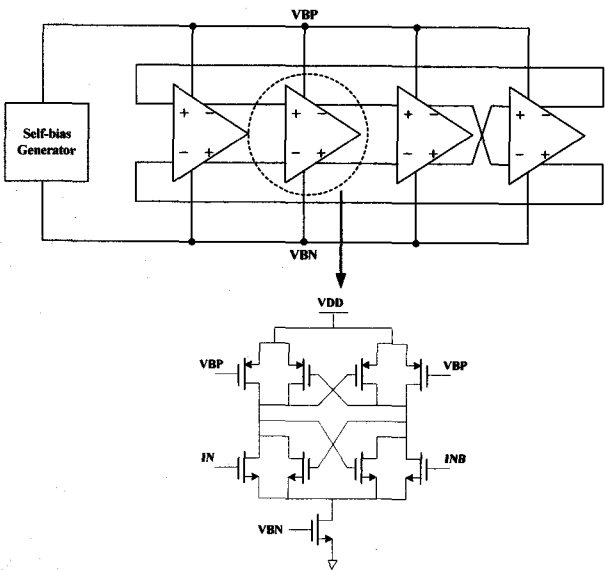


그림 5. 전압 제어 발진기  
Fig. 5. Voltage Controlled Oscillator.

지할 수 있다. 루프 필터는 2차 RC필터로 구성되어 있으며 커패시터를 이용하여 축적된 전하량 변화를 통해 VCO제어 전압(VBP)을 VCO에 전달한다. 동시에 이 제어 전압이 ADC 블록에 전달되어 locking 정보를 디지털 코드로 저장하도록 REF클럭의 기준의 1/16배로 샘플링 클럭을 발생시킨다. 그림5는 4단의 차동 타입의 링 오실레이터로 구성되어 있는 VCO의 블록도와 지연 셀의 회로도를 보여준다. VCO는 셀프 바이어스 발생기에서 제공되는 VBP, VBN 바이어스 전압에 따라 출력 주파수가 제어되고 각 단의 지연 셀 회로는 source-coupled pair형태로 선형 영역에 동작하는 PMOS 부하로 구성되어 있으며, 기존의 차동 지연 셀에대칭적 부하를 갖는 추가적인 포지티브 피드백 구조를 갖는다. 이 포지티브 피드백 구조는 제어 전압의 작은 변화에 따른 공통모드 왜곡을 최소화 시켜주는 역할을 한다.

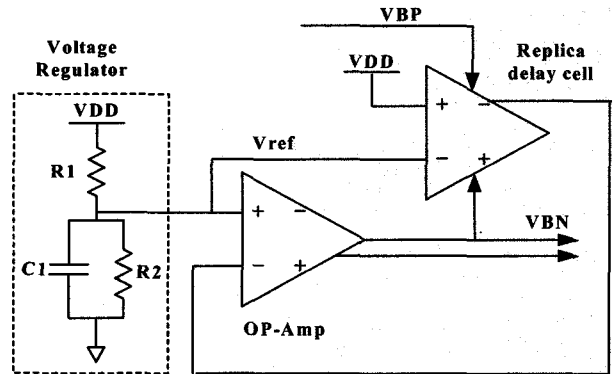


그림 6. 셀프 바이어스 발생기  
Fig. 6. Self-biased generator.

그림 6에 보인 셀프 바이어스 발생기는 VCO 제어 전압으로 지연 셀의 바이어스 전압 VBP와 VBN을 발생하는 역할을 수행하고 전압 레귤레이터, 연산 증폭기, 복사 지연 셀로 이루어져 있다. 초기 Vref 전압을 전압 레귤레이터를 이용하여 공급받으며 연산 증폭기와 복사 지연 셀 사이에 피드백 루프를 형성하여 VCO의 출력 전압 스윙 폭을  $(VDD - Vref)$ 로 유지할 수 있도록 구성되어 있다. 또한 VDD의 민감도에도 전압 레귤레이터의 저항 비를 이용하여 일정한 전압(Vref)를 제공함으로써 이전의 전압 스윙 폭을 유지하여 노이즈에 둔감한 VCO의 동작을 얻을 수 있다. 이 외에도, VCO의 출력 스윙 폭을 작게 가져감으로써 고속 동작을 보장하고 파워 소모를 줄일 수 있는 특징을 가진다. 이러한 셀프 바이어스 발생기는 공정, 전압, 온도의 변화에 따른 지터 민감도를 최소화 할 수 있으며 선택적인 루프 대역폭에서의 입력 트래킹 지터를 감소시킬 수 있다.<sup>[3]</sup>

### III. Tracking ADC를 사용한 빠른 Relock 구조

그림 7은 트래킹 ADC(Analog to Digital Converter)의 구조를 보여준다. 트래킹 ADC는 비교기, ADC 제어 블록, DAC 제어블록, 온도계 코드 발생기, 하이브리드 DAC 그리고 유닛 게인 버퍼로 구성되어 있다. 이중 전하 펌프 PLL이 동작하자마자, 비교기는 샘플링 클럭 제어신호에 따라 VCO제어전압 신호와 유닛 게인 버퍼의 출력 신호와 비교한다. 동시적으로 비교기의 출력신호가 ADC 제어 블록에 입력 값으로 전달되고 3가지 명령어(INC, DEC, HOLD)의 출력 신호를 발생시킨다. 이 세 가지 명령어에 따라 UP/DOWN 카운터로 구성된 DAC(Digital to Analog Converter) 제어블록은 locking

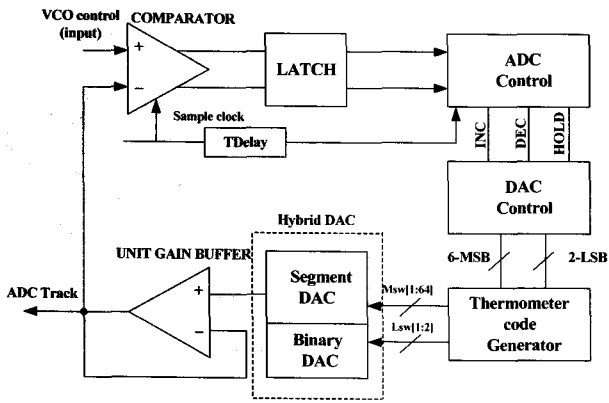


그림 7. ADC를 이용한 디지털 루프 제어 구조  
Fig. 7. Digital control scheme using ADC.

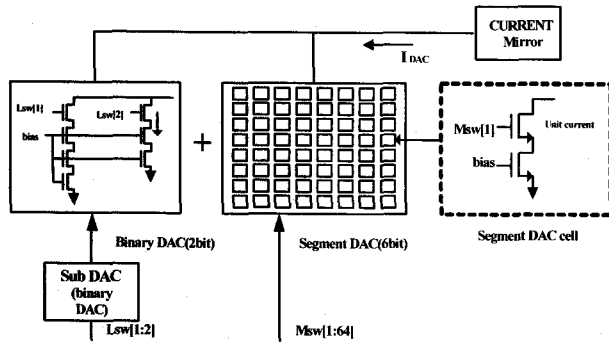


그림 8. 하이브리드 DAC 구조  
Fig. 8. Hybrid DAC architecture.

정보를 저장하게 된다. 이 저장된 디지털 신호는 DAC를 제어하기 위하여 사용된다. DAC를 제어하기 위하여 바이너리 DAC 대신에 온도계 코드를 이용한 세그먼트 DAC를 사용하였다. 온도계 코드는 입력 코드 사이의 스큐가 발생되지 않으며 클럭 피드 스루가 제어전압에 영향을 끼치지 않는 장점이 있기 때문이다. 그러나 입력 코드가 증가할수록 면적이 크게 증가하는 단점이 있다. 이러한 문제를 해결하기 위하여 그림 8에서 보인바와 같이 하이브리드 DAC를 이용하였다.<sup>[4]</sup> 하이브리드 DAC는 세그먼트 DAC와 바이너리 DAC로 구성되어 있으며 6MSB 코드와 2LSB 코드에 의해 제어된다. DAC에 의해 변환된 아날로그 라킹 정보는 빠른 획득 시간을 위하여 셀프 바이어스 루프 필터에 전달된다.

#### IV. 실험

그림 9는 2.3V 공급 전압에서 540MHz로 동작하는 이중 전하 펌프 PLL의 동작 흐름을 보여준다.

PLL이 동작하자마자 피드백 루프를 통한 기준 주파

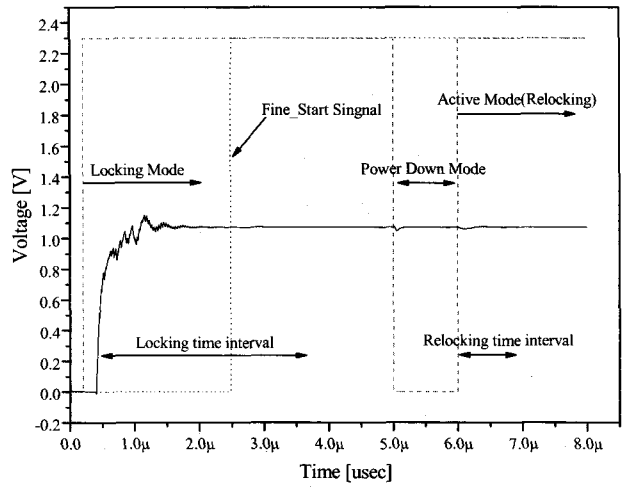


그림 9. 이중 전하 펌프 PLL의 동작 흐름  
Fig. 9. Operation flow of dual charge pumps PLL.

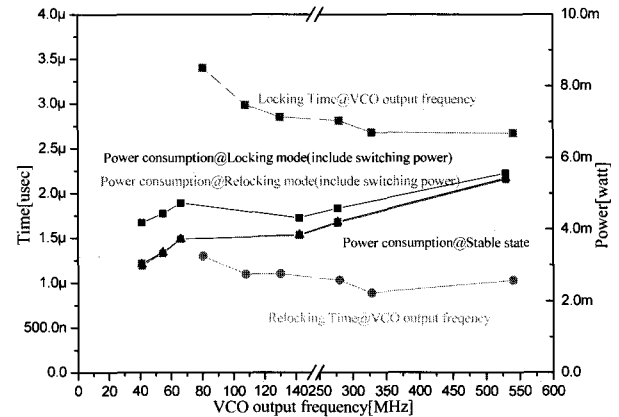
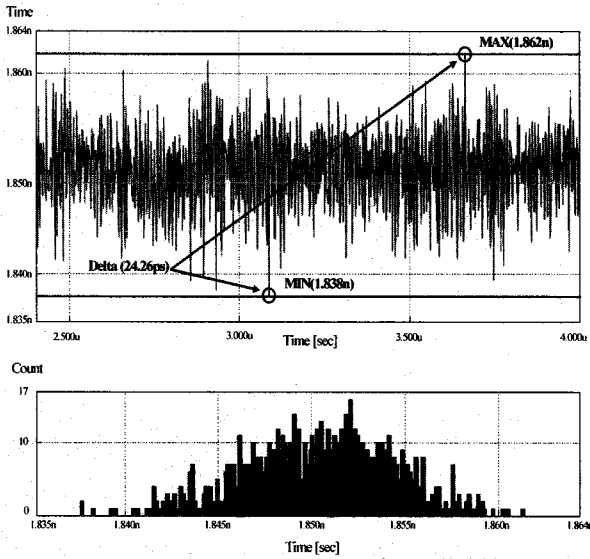


그림 10. VCO 출력 주파수에 따른 PLL 특성  
Fig. 10. A PLL characteristics according to that of VCO clock frequency.

수 추적과 fine\_start 신호에 의한 위상 에러를 보상하는데 걸리는 초기 locking 시간은 2.6 $\mu$ s~3.4 $\mu$ s이며 파워다운 모드에서 활성화 모드로 전환된 후 relocking 시간은 0.85 $\mu$ s~1.3 $\mu$ s (24~26cycles)로서 relocking 시간은 locking 시간에 비해 2.5배 이상 빠른 특성을 얻을 수 있다. 그림 10은 제안된 이중 전하 펌프 PLL의 VCO 출력 주파수에 따른 locking 시간, relocking 시간 및 파워 소모를 나타낸다. 이것은 locking 모드에서 스위칭 파워를 포함하여 5.58mW 파워 소모를 보이며 relocking 모드에서 빠른 relock 메커니즘 구현으로 스위칭 파워 부분이 줄어들기 때문에 이보다 적은 파워 소모를 가지며 파워다운 모드에서의 파워 소모는 라킹 모드에서의 파워 소모보다 95% 이상 절감되는 것을 알 수 있다. 이것은 전체 시스템이 파워다운 모드 시 불필요하게 소모되는 전력을 크게 낮출 수 있다. 또한 온도 변화(-25~8



Absolute 지터 특성(24.26psec peak-to-peak jitter)  
클럭 주파수 = 540MHz

그림 11. PLL의 지터 특성

Fig. 11. Jitter characteristics of PLL.

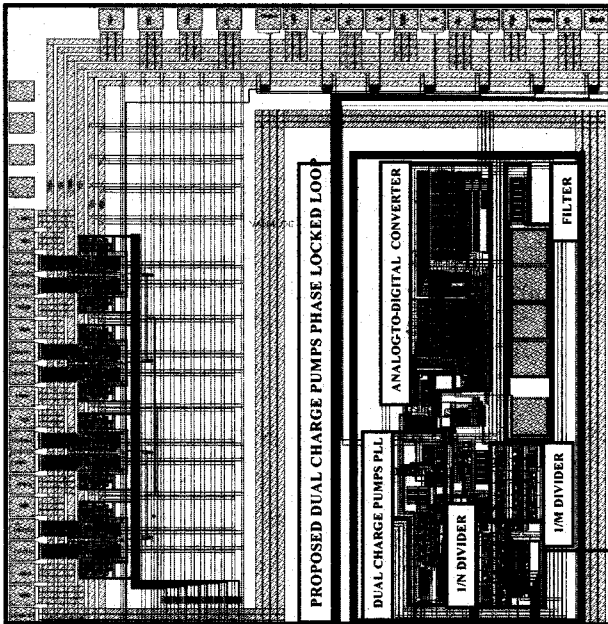


그림 12. PLL 레이아웃

Fig. 12. Layout plot of PLL.

0°C)와 공정 변화/전원 전압 변화에 따른 시뮬레이션 결과 제안된 PLL의 relock 특성은 1.3±0.2usec 시간을 갖는다.

그림 11은 PLL의 지터 특성의 시뮬레이션 결과를 보여준다. 제안된 PLL 기반 클럭 발생기는 동작 주파수 540MHz에서 24.26psec peak-to-peak 지터를 갖는다. 이것은 저 전력 시스템에 요구되는 클럭회로에 있어서

표 2. PLL 특성 요약

Table 2. Summary of PLL characteristics.

Technology	0.35μm 4-metal 1-poly process
Area (core)	1675μm x 538μm
Supply voltage	2.3 V
Lock range	81MHz~556 MHz
Locking time	2.60~3.40 μsec
Relock time	0.85~1.30 μsec (24~26 cycles)
Jitter(peak-to-peak)	24.26 ps@540MHz (VDD@±15mV) (power line&package model Included)
Power dissipation	Locking mode : 5.58mW Relocking mode : 3.98mW Dividing change mode : 3.05~5.43mW Power down mode : 0.13mW

낮은 지터 특성을 갖는다. 그림 12는 제안된 PLL 기반 클럭 발생기의 레이아웃을 보여준다. 제안된 이중 전하 펌프 PLL은 아날로그/디지털 회로 블록에 대한 파워 라인 분리 설계 하여 민감한 아날로그 회로의 전원 노이즈 효과를 줄일 수 있도록 고려하였다. 전체 칩 사이즈는 5mm×5mm 크기에 4 메탈 1폴리 0.35μm CMOS 공정으로 구현하였으며 ADC, 1/N 분주기, 1/M 분주기, 이중 전하 펌프 PLL을 포함한 코어 사이즈는 1675μm×538μm 이다. 표 1에서는 제안된 PLL 기반 클럭 발생기의 시뮬레이션 결과를 요약하였다.

### V. 결론

이 논문에서는 칩 또는 시스템 응용 분야에서 클럭 시스템의 저전력 구현 방법을 제시하고 저전력 고속 시스템에 적용 가능한 트래킹 ADC를 이용한 PLL기반 클럭 발생기의 새로운 설계 기법을 제시하였다. 트래킹 ADC를 통하여 locking 정보를 저장함으로써 파워다운 모드의 적용과 빠른 relock 특성을 동시에 구현할 수 있으며, programmable 주파수 분주기를 이용하여 다양한 클럭 주파수를 발생시킬 수 있다. 제안된 방식은 일반적으로 사용되는 PLL보다 면적이 더 크며 relock 시 루프필터에 전달하는 ADC track신호의 스위칭으로 인한 오버슈트 발생으로 인하여 일부에서는 원하는 locking 시간이 충족되기 어려운 문제점이 발생할 수

있지만 제안된 PLL기반 클럭 발생기는 81MHz~556MHz의 넓은 locking 범위를 가지며 파워다운 모드 동작 시 95%의 파워소모 절감과 동시에 초기 locking 시의 2.5배 이상의 빠른 relock 시간을 갖는다. 이러한 설계기법을 통한 PLL은 저 전력 시스템을 요구하는 SoC/SiP 시스템에서 유용하게 적용될 수 있다.

### 참 고 문 헌

- [1] A. Kajiwara and M. Nakagawa, "A new PLL frequency synthesizer with high speed switching," IEEE Trans. Veh. Technol., vol. 41, pp. 407-413, Nov. 1992.
- [2] B. Zhang and P. Allen, "Feed-forward compensated high switching speed digital phase-locked loop frequency synthesizer," in Proc. IEEE ISCAS, vol. 4, 1999, pp. 371-374. Jun. 1999.
- [3] Sungjoon Kim; Kyeongho Lee; Yongsam Moon; Deo-kyoon Jeong; Yunho Choi; Hyung Kyu Lim; "A 960-Mb/s/pin interface for skew-tolerant bus using low jitter PLL," Solid-state Circuits, IEEE Journal of, vol. 32, Issue. 5, pp. 691, May 1997.
- [4] 황태진, 연구성, 전치훈, 위재경, "저 전력 고속 VLSI를 위한 Fast-Relocking과 Duty-Cycle Correction 구조를 가지는 DLL 기반의 다중 클럭 발생기", 대한전자공학회논문지SD, 제42권 2호, pp. 101-108, 2005.

## 저 자 소개



하 종 찬(학생회원)  
 2002년 한림대학교  
 전자공학과 학사 졸업.  
 2004년 한림대학교  
 전자공학과 석사 졸업.  
 2005년 숭실대학교  
 전자공학과 박사 과정.

<주관심분야 : CMOS High speed Clocking and I/O interface circuit design >



황 태 진(학생회원)  
 2003년 한림대학교  
 전자공학과 학사 졸업.  
 2005년 숭실대학교  
 전자공학과 석사 졸업.  
 2005~ 현재 하이닉스 연구소근무

<주관심분야 : CMOS High speed DLL/PLL and Clocking design>



위 재 경(정회원)  
 1998년 연세대학교  
 물리학과 학사 졸업.  
 1990년 서울대학교  
 물리학과 석사 졸업.  
 1998년 서울대학교  
 전자공학과 박사 졸업.

1990년~2002년 하이닉스 메모리 연구소 근무  
 2002년~2004년 한림대학교 정보통신공학부  
 조교수

2004년~현재 숭실대학교 정보통신전자공학부  
 조교수

<주관심분야 : System-in-Package 설계 및 고속 SoC, high speed I/O interface, DLL/PLL, Mixed Mode design>