

논문 2005-42TC-11-8

WLAN용 10bit 210MHz CMOS D/A 변환기 설계

(A 10-Bit 210MHz CMOS D/A Converter)

조 현 호*, 윤 광 섭**

(Hyun Ho Cho and Kwang Sub Yoon)

요 약

본 논문은 WLAN에 이용되는 상위 6비트 온도계 코드의 전류원 셀 매트릭스와 중간 2비트 온도계 코드의 전류원, 그리고 하위 2비트 이진 가중치 코드의 서브 블록으로 구성된 10비트 210MHz의 CMOS 전류구동 디지털-아날로그 데이터 변환기(DAC)을 설계하였다. 제안된 새로운 글리치 억제회로는 입력된 신호의 교차되는 위치를 조절함으로써, 글리치 에너지를 최소화하도록 설계하였다. 또한, 제안된 10비트 DAC는 CMOS 0.35 μ m 2-poly 4-metal 공정을 이용하여 설계하였으며, 유효 칩 면적은 5mm²이다. 제안된 10비트 DAC 칩의 측정결과, 변환속도는 210MHz, DNL/INL은 각각 ± 0.7 LSB/ ± 1.1 LSB이며, 글리치 에너지는 76pV·sec이고, SNR은 50dB, SFDR은 53dB(@200MHz), 전력소비는 83mW(@3.3V)로 측정되었다.

Abstract

This paper describes a 10-bit 210MHz CMOS current-mode Digital-to-Analog Converter (DAC) consisting of 6 bit MSB current cell matrix Sub-DAC, 2 bit mSB unary current source Sub-DAC, and 2 bit LSB binary weighting Sub-DAC for Wireless LAN application. A new deglitch circuit is proposed to control a crossing point of signals and minimize a glitch energy. The proposed 10-bit CMOS current mode DAC was designed by a 0.35 μ m CMOS double-poly four-metal technology rate of 210MHz, DNL/INL of ± 0.7 LSB/ ± 1.1 LSB, a glitch energy of 76pV·sec, a SNR of 50dB, a SFDR of 53dB at 200MHz sampling clock and power dissipation of 83mW at 3.3V

Keywords : DAC(digital to analog converter), wireless transceiver, deglitch

I. 서 론

최근 Wireless LAN, DDS, AWG, ATE, HDTV 등 많은 시스템에서 높은 성능을 가진 DACs가 요구되고 있다. 이런 시스템에서 DAC의 정적인 성능과 동적인 성능은 매우 중요한 요소이다.

그러므로 CMOS 전류구동 방식의 DAC의 향상을 위해 혼성신호 IC 설계 엔지니어들의 연구는 끊임없이 진

행되어 왔다. 또한, CMOS 전류구동 방식의 DAC는 빠른 정착시간을 갖는 장점을 가지고 있다. 반면에, 정적인 오차와 동적인 오차는 이러한 시스템의 현저한 저하를 초래한다. 정적인 오차는 트랜지스터 셀의 부정합으로 인해 발생되며, 동적인 오차는 클럭 신호의 비동기로 인해 발생된다. 이러한 오차들은 DAC의 성능을 저하시키는 중요한 원인이 된다.^[1~4] 특히, 글리치 에너지는 이러한 (정적 및 동적) 오차들의 원인이 된다.

이에 몇 가지 기술들은 글리치 에너지를 최소화하기 위해서 제안되어 왔으며, 제안된 글리치 억제 회로로부터 많은 소자 혹은 DAC 시스템의 복잡성은 증가되었다. 따라서, 글리치 에너지를 최소화하기 위해서 새로운 구조인 CMOS 0.35 μ m 공정의 10비트 DAC를 제안하였다. 제안된 10비트 DAC는 저전력과 작은 칩 면적으로 구현하였다

* 정희원, (주) 실리콘 워크스
(Silicon Works)

** 정희원, 인하대학교 전자공학과
(Inha University)

※ This work was supported by the grant No.
R05-2003-000-10353-0 from Korea Science &
Engineering Foundation.

접수일자: 2005년6월15일, 수정완료일: 2005년11월14일

II. 본 론

1. 제안한 10비트 DAC의 구조

고해상도의 전류구동 방식의 D/A변환기(10비트 이상)의 설계는 일반적으로 세그멘티드 구조를 갖는다.^[5] 세그멘티드 D/A변환기 구조는 온도계 디코더의 서브 D/A변환기와 이진 가중치 방식의 서브 D/A변환기로 구성된다. 일반적으로 온도계 디코더의 서브 D/A변환기와 이진 가중치 방식의 서브 D/A변환기는 각각 최상위 비트 (MSB)와 최하위 비트 (LSB)로 사용되어진다. 제안된 10비트 D/A변환기는 상위 6비트의 서브 D/A변환기 (전류셀 매트릭스 타입) 와 중간 2비트의 서브 D/A변환기 (온도계 디코더 타입), 그리고 하위 2비트 서브 D/A변환기 (이진 가중치 코드 타입)로 구성되어 있다. 그림 1은 제안된 10비트 D/A변환기의 전체 블록 다이어그램을 나타낸다.

최상위 6비트 (MSB)의 디지털 입력 코드는 63비트의 온도계 코드로 변환되고, 래치회로에 의해서 신호의 동기가 이루어지며 글리치 억제 회로에 의해 글리치 에너지를 최소화한다. 또한, 최상위 6비트 서브 D/A변환기 전류셀 매트릭스는 63개의 최상위비트(MSB)로 구성되어 있다. 중간 2비트 디지털 입력 코드는 3비트 온도계 코드로 변환되고, 래치회로에 의해서 신호의 동기가 이루어지며 글리치 억제 회로에 의해 글리치 에너지를 최소화한다. 또한, 중간 2비트 서브 D/A변환기 전류원은 3개의 unary 전류원을 만든다. 마지막 하위 2비트의 서브 D/A변환기 디지털 입력 코드는 래치회로를 통해

지연 소자에 저장된다. 동일한 글리치 억제회로는 상위 6비트 서브 D/A변환기와 중간 2비트 서브 D/A변환기와 하위 2비트 서브 D/A변환기는 글리치 에너지를 최소화하는데 사용되어진다.

2. 높은 선형성을 위한 전류원 설계

CMOS 전류 모드 DACs는 본질적으로 정적 선형적인 오차는 무작위 오차(Random error), 경사 오차(Gradient error), 그리고 대칭적 오차(Symmetrical error)로부터 발생한다. 무작위 오차는 공정상의 문제로 발생하는 오차이며^[6], 경사 오차는 웨이퍼상에서 산화 박막층 두께가 방사(Radial)하여 변하는 특성 때문에 발생되며, 대칭적 오차는 전류셀 매트릭스에서 전류 공급에 의한 온도의 증가와 패키징 과정시의 기계적 요소에 의한 압력으로 인해 발생하는 오차이다. 이러한 오차들은 바이어스 회로와 전류원 회로의 최적의 소자값의 비(W/L)를 사용함으로써 최소화할 수 있다. 바이어스 회로와 전류원 회로의 최적의 소자값의 비는 단위 전류원($\sigma(I)/I$)과 INL 수율의 관계식을 고려하여야 한다. 여기서, $\sigma(I)/I$ 은 식 (1)로 정의된다.

$$\frac{\sigma(I)}{I} = \frac{1}{2C\sqrt{2^N}} \tag{1}$$

여기서, C는 누적 정규화 분포 역함수로서 $\text{inv_norm}(0.5+\text{yield}/2)$ 와 같이 다시 쓸 수 있는데, yield는 원하는 INL수율이고, N은 D/A변환기의 해상도이다. 여기에서, INL수율을 99.5%로 할 경우, 단위 전류원의 상대 표준편차 $\sigma(I)/I$ 는 약 0.26%가 된다.

또한, 우리가 원하는 수율을 찾으면 공정상의 부정함에 관련된 식(2)와 (3)을 통하여 공정의 영향을 가장 적게 받는 트랜지스터의 최소 면적을 계산할 수 있다.^[7]

$$W \times L = \frac{A_\beta \times \frac{4 \times A_{VT}^2}{(V_{GS} - V_{TH})^2}}{2 \times \left(\frac{\sigma(I)}{I}\right)^2} \tag{2}$$

$$\frac{W}{L} = \frac{2 \times I_{FS}}{(2^N - 1) \times K' \times (V_{GS} - V_{TH})^2} \tag{3}$$

여기서, K'은 공정의 이동도이고, IFS는 설계하고자 하는 D/A 변환기의 최대 출력 전류이다. AVT, A β 는 각각 트랜지스터의 면적(LW)에 따른 문턱 전압값(VTH)의 분산값과, 트랜스 컨덕턴스의 분산값으로 공정에 따라 다른 고유 상수값이다.

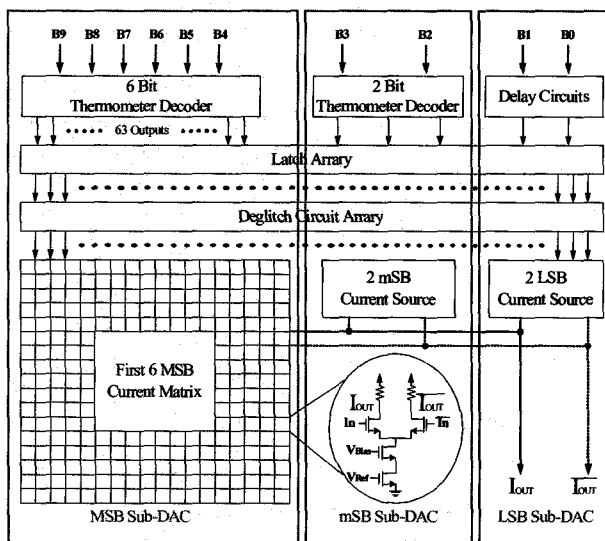


그림 1. 제안한 10비트 DAC의 전체 블록 다이어그램
Fig. 1. Block diagram of the proposed 10-bit DAC.

결과적으로, 식(1~3)으로부터 단위 전류원 소자의 트랜지스터의 비는 $W/L=10\mu\text{m}/2\mu\text{m}$ 으로 계산되었다.

3. 글리치 억제 회로의 설계

제안된 그림 2는 글리치 억제 회로와 이에 따른 알고리즘을 보여주고 있다.

제안하는 글리치 억제 회로는 일반적으로 CMOS 인버터 회로와 유사한 구조를 가지고 있다. 이 글리치 억제 회로는 4개의 n-ch 디바이스(M3~M6)와 2개의 p-ch 디바이스(M1, M2)로 구성되어 있다. OUT와 \overline{OUT} 의 출력단자는 지연소자(M3, M4)를 통해 연결되어 있다.

제안된 글리치 억제 회로의 동작원리는 먼저 입력신호가 IN과 \overline{IN} 에 0과 1이 입력되고 다음에 신호가 변화하여 다음신호가 1과 0이 입력되면, 출력신호 (OUT, \overline{OUT})는 1과 0에서 0과 1로 변하게 된다. 이 때, M3과 M4는 신호의 지연소자로 인해 신호가 1이 출력될 경우 M1 또는 M2소자 하나만을 거쳐서 출력되지만 신호가 0이 출력될 경우 신호는 M5와 M6에 각각 직렬로 연결된 M3과 M4를 통하여 출력되게 된다. M3과 M4를 통과하여 출력되는 신호는 지연시간을 유발하여 신호의 교차점(ON/OFF신호)이 상승하여 중간에서 만나지 않게 된다. 이 때 지연소자 M3과 M4의 지연시간은 소자비에 의해서 조절된다. 그리고 하강 지연 시간은 식(4)으로 계산된다.

$$\tau_{PHL} = \frac{C_{load}}{k_n(V_{DD}-V_{T,n})} \left[\frac{2V_{T,n}}{V_{DD}-V_{T,n}} + \ln \left(\frac{4(V_{DD}-V_{T,n})}{V_{DD}} - 1 \right) \right] \quad (4)$$

여기서, C_{load} , $V_{T,n}$ 는 각각 출력 부하 캐패시턴스와 NMOS의 문턱전압을 의미한다. 그리고 이동도(Kn)에

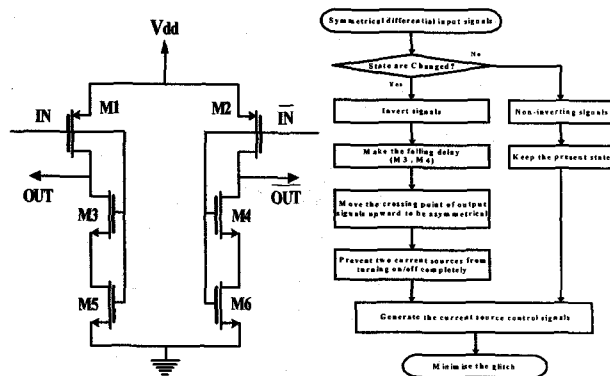


그림 2. 제안된 글리치 억제 회로와 알고리즘
Fig. 2. The proposed deglitch circuit and Algorithm.

의해 NMOS를 사용한 지연소자M3과 M4의 하강 지연 시간을 식(5)으로부터 계산할 수 있다.

$$\tau_{PHL} = \frac{C_{load}}{\mu_n C_{ox} \left(\frac{W}{L} \right)_{M3,4} (V_{DD}-V_{T,n})} \left[\frac{2V_{T,n}}{V_{DD}-V_{T,n}} + \ln \left(\frac{4(V_{DD}-V_{T,n})}{V_{DD}} - 1 \right) \right] \quad (5)$$

또한, M3과 M5가 직렬로 연결되어 있고, M4와 M6이 직렬로 연결되어 있어 식(5)로부터 전체 글리치 억제 회로의 하강 지연시간은 NMOS가 2개의 직렬로 연결되어 있으므로 식(6)으로부터 계산되어진다.

$$\tau_{PHL} = 2 \times \frac{C_{load}}{\mu_n C_{ox} \left(\frac{W}{L} \right)_n (V_{DD}-V_{T,n})} \left[\frac{2V_{T,n}}{V_{DD}-V_{T,n}} + \ln \left(\frac{4(V_{DD}-V_{T,n})}{V_{DD}} - 1 \right) \right] \quad (6)$$

제안된 글리치 억제 회로는 하강 지연시간을 크게 하여 한쪽의 전류원 스위치 트랜지스터를 완전한 ON또는 OFF상태가 되는 것을 방지하게 하여 글리치가 최소화 하도록 하였다.

III. 실험

제안된 10비트 CMOS 전류구동 D/A변환기는 CMOS 0.35 μm 2-poly 4-metal 공정을 이용하여 설계

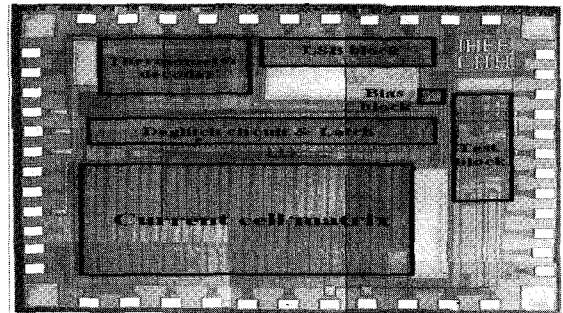


그림 3. 제안된 10비트 D/A 변환기 칩 사진
Fig. 3. Micro photograph of the proposed 10-bit DAC.

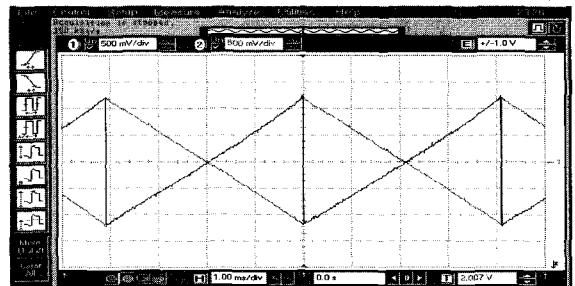


그림 4. 제안된 10비트 D/A변환기 선형성 측정결과
Fig. 4. Monotonicity measurement result of 10-bit DAC.

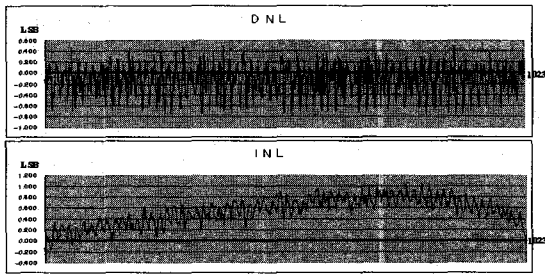


그림 5. 제안된 D/A변환기 DNL 및 INL 측정결과
Fig. 5. DNL and INL characteristic of 10-bit DAC.

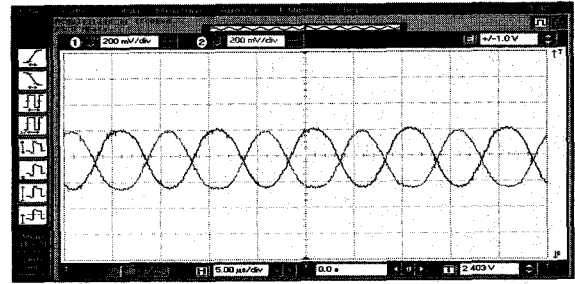


그림 8. 제안된 D/A변환기 신호 복원 측정결과
Fig. 8. Plot of restored sine waveform.

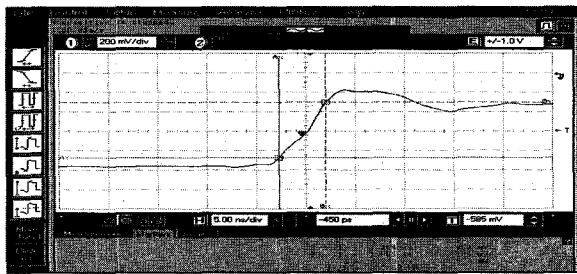


그림 6. 제안된 D/A변환기 변환속도 측정결과
Fig. 6. Plot of full-scale transition.

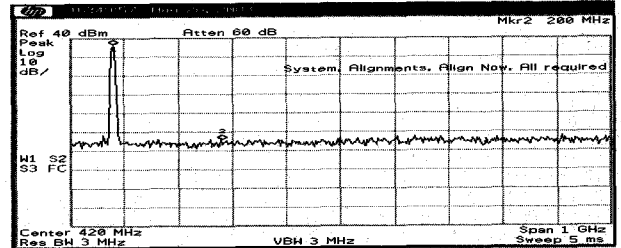
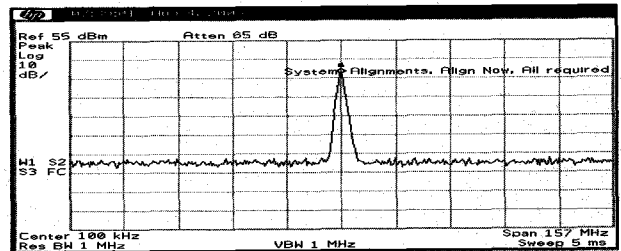


그림 9. 제안된 D/A변환기 SNR 및 SFDR 측정결과
Fig. 9. Plot of SNR and SFDR characteristic.

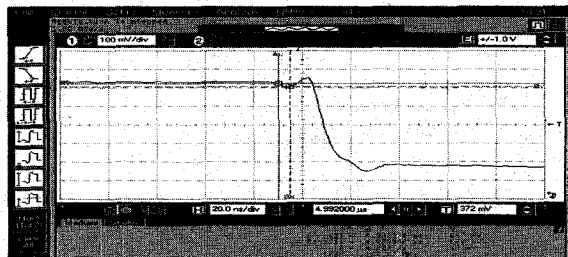
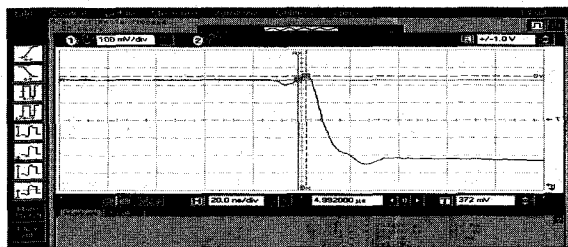


그림 7. 제안된 D/A변환기 글리치 에너지 측정결과
Fig. 7. Plot of glitch energy characteristic.

하였다. 그림 3은 제안된 10비트 D/A 변환기의 칩 사진을 나타낸다.

제안된 칩의 전체 면적은 7.8mm²이며, 패드와 테스트 블록을 제외한 유효 칩 면적은 5mm²으로 시스템 집적화에 알맞도록 설계하였다. 상위 6비트 전류셀 매트릭스단과 중간 2비트 전류원단과 하위 2비트 이진가중치 코드단을 포함하고 있다. 새로운 글리치 억제회로는 래치열과 전류셀 사이에 위치하며, 신호의 교차지점을 조절하여 글리치 에너지를 최소화한다.

측정결과 제안된 10비트 D/A변환기는 디지털 코드 0에서 1023까지 미스코드 없이 단조증가성을 유지하는 출력결과를 얻었다. 그림 4는 D/A변환기의 선형성을 측정된 결과이다.

그림 5는 제안된 10비트 D/A변환기의 선형 특성인 DNL 및 INL특성의 결과를 나타낸다. 측정결과 각각 $\pm 0.7LSB / \pm 1.1LSB$ 로 나타났다.

그림 6은 D/A변환기의 모든 입력비트를 하나로 묶어 입력 신호가 0에서 1023으로 변화 시 출력에 대한 10%~90% 상승·하강 시간을 역으로 환산하여 변환속도를 측정된 결과 약 210MHz의 변환속도를 얻은 결과를 보여주고 있다.

그림 7은 제안된 D/A변환기의 글리치 에너지 측정결과를 나타낸 것이다. 측정결과 76pV·sec로 측정되었다.

제작된 D/A변환기의 동적 특성 측정을 위하여 TI사의 ADS828E에 사인파를 인가하고 이를 다시 제안된 D/A변환기에 입력하여 신호가 복원되는 실험을 하였다. 신호 복원 실험을 통하여 SNR 및 SFDR특성을 측정하였다. 측정결과 SNR은100KHz에서 50dB를, SFDR

은 200MHz에서 53dB의 결과를 얻었다. 그림 8은 복원된 파형을 나타내고, 그림 9는 각각 SNR 및 SFDR특성을 나타낸 것이다.

IV. 결 론

제안한 10비트 D/A변환기는CMOS n-well 0.35μm 2-poly 4-metal 공정을 이용하여 설계하였다. 응용분야로는 Wireless LAN, AWG, ATE, HDTV등이다. 표 1은 제안한 D/A변환기의 성능을 요약 정리하였다.

그림 11은 성능지수(FoM)을 이용하여 제작된 D/A변환기들의 성능을 비교하였다. 제안된 D/A변환기는 상용제품과 비교하여 보았을 때 전력소모 면에서 우수하여 FoM수치가 다른 상용제품들 보다 높게 나타났다.

이 때 FoM은 식(7)으로부터 계산된다.

$$FoM = \frac{2^n \times Conversion\ Speed}{Power\ Dissipation} \text{ Point} \quad (7)$$

표 1. 제안된 D/A 변환기의 성능
Table 1. Performance of the proposed DAC.

Resolution	10 bit
Conversion rate	210 MHz
Glitch energy	76 pVsec
DNL / INL	0.7 / 1.1 LSB
Power dissipation	83 mW
SNR	50 dB
SFDR	53 dB
Power supply	3.3 V
Technology	CMOS n-well 0.35 μm
Effective chip area	5 mm ²

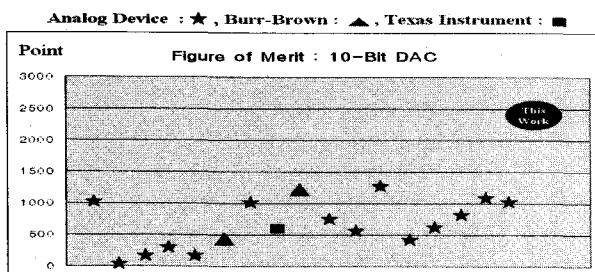


그림 10. 제안된 D/A변환기와 상용제품들과의 비교
Fig. 10. Comparison of performance between the proposed DAC and the product DACs with a FoM.

참 고 문 헌

- [1] Ki-Hong Ryu, Sung Young Park and Kwang Sub Yoon, "A 3.3V 12-Bit High-Speed Current Cell Matrix CMOS DAC," J. Korean Phys. Soc, vol.39, No.1, pp. 127-131, July, 2001.
- [2] A. Van den Bosch, Marc A. F. Borrenmans, M. Steyaert and W. Sansen, "A 10bit 1GSample/s Nyquist Current Steering CMOS D/A Converter," IEEE J. Solid-State Circuits, vol.36, No.3, pp.315-324, Mar, 2001.
- [3] Yijun Zhou and jiren Yuan, "An 8-Bit 100-MHz Low Glitch Interpolation DAC," ISCAS, vol.4, pp.116-119, May, 2001.
- [4] Jussi Pirkkalaniemi, Mikko Waltari, Marko Kosunen, Lauri Sumanen and Kari Halonen, "A 14-bit, 40MS/s DAC with Current Mode Deglitcher," ISCAS, vol.1, pp.I-121-I-124, 2002.
- [5] Behzad Razavi, Principles of Data Conversion System Design, IEEE PRESS 1995.
- [6] M. Pelgrom, A. Duinmaijer, and A. Welbers, "Matching Properties of MOS Transistors," IEEE J. Solid-State Circuits, vol.24, No.5 pp. 1433-1440, Oct. 1989.
- [7] A. Van den Vosch, M. Steyaer, and W. Sansen, "The Extraction of Transistor Mismatch Parameter : The CMOS Current-Steering D/A Converter as a Test Structure," ISCAS, vol.2, pp.II745-II748, 2000.
- [8] Ji Hyun Kim and Kwang Sub Yoon, "An 8-bit CMOS 3.3-V 65MHz Digital to Analog Converter with a Symmetric Two-stage Current Cell Matrix Architecture" IEEE Transaction on circuits and Systems II, vol 45. Dec. 1998.
- [9] Sung Yong Park, Hyun Ho Cho and Kwang Sub Yoon, "A 3.3V-110MHz 10-Bit CMOS Current-Mode DAC," 2002 IEEE Asia Pacific Conference on ASIC Proceeding, pp. 173-173, 2002.

— 저 자 소 개 —



조 현 호(정회원)

2002년 배재대학교 전자공학과
학사 졸업.

2004년 인하대학교 전자공학과
석사 졸업.

2004년~현재 (주) Silicon Works
R&D Center 연구원

<주관심분야 : Analog/Mixed Signal IC 설계 ,
Display Driver IC 설계 , 반도체 , VLSI>



윤 광 섭(정회원)

1982년 인하대학교 전자공학과
학사 졸업.

1983년 Georgia Institute of
Technology 전자공학
공학석사.

1989년 Georgia Institute of
Technology 전자공학
공학박사.

1989년~1992년 Silicon Systems Inc, Senior
Design Engineer

1992년~현재 인하대학교 전자공학과 교수

<주관심분야 : Analog/Mixed Signal IC 설계 ;
Display Driver IC 설계 , 반도체 , VLSI>