

Si_{1-x}Ge_x 층의 건식산화 동안 Ge 재 분포와 상호 확산의 영향

Effect of Ge Redistribution and Interdiffusion during Si_{1-x}Ge_x Layer Dry Oxidation

신창호^{1,a}, 이영훈², 송성해²
(Chang-Ho Shin^{1,a}, Young-Hun Lee², and Sung-Hae Song²)

Abstract

We have studied the Ge redistribution after dry oxidation and the oxide growth rate of Si_{1-x}Ge_x epitaxial layer. Oxidation were performed at 700, 800, 900, and 1,000 °C. After the oxidation, the results of RBS (Rutherford Back Scattering) & AES(Auger Electron Spectroscopy) showed that Ge was completely rejected out of the oxide and pile up at SiO₂/Si_{1-x}Ge_x interface. It is shown that the presence of Ge at the SiO₂/Si_{1-x}Ge_x interface changes the dry oxidation rate. The dry oxidation rate was equal to that of pure Si regardless of Ge mole fraction at 700 and 800 °C, while it was decreased at both 900 and 1,000 °C as the Ge mole fraction was increased. The dry oxidation rates were reduced for heavy Ge concentration, and large oxidation time. In the parabolic growth region of Si_{1-x}Ge_x oxidation, the parabolic rate constant are decreased due to the presence of Ge-rich layer. After the longer oxidation at the 1,000 °C, AES showed that Ge peak distribution at the SiO₂/Si_{1-x}Ge_x interface reduced by interdiffusion of silicon and germanium.

Key Words : Ge redistribution, Ge interdiffusion, SiGe oxidation

1. 서 론

반도체 소자에 대한 고속 스위칭 특성 및 높은 차단 주파수가 요구됨에 따라, 점차적인 소자 축소와 병행하여 신소재 개발 및 새로운 구조의 소자개발 그리고 그에 따른 공정개발 등에 관심이 쏠리고 있다. 재료와 구조 측면에서 이종접합이 쌍극성과 단극성 소자에 응용될 때 얻을 수 있는 여러 장점들이 발표되었으며[1-6], 특히 실리콘과 게르마늄의 완전한 혼합성과 에너지 밴드갭 정렬에 따른 많은 이점들이 발표됨에 따라 Si_{1-x}Ge_x/Si 이종접합 구조에 대한 연구가 관심을 끌게 되었다. 특히 손쉬운 양질의 산화막을 얻을 수 있다는 것은, 기존의 실리콘 공정 기술

과의 호환성 측면에서 매우 중요한 요소이기 때문에 Si_{1-x}Ge_x의 산화에 대한 연구도 활발하게 진행되었다. 지금까지 발표된 결과에 의하면, 습식 분위기에서는 대부분, 기존의 실리콘보다 증가된 oxidation rate를 갖는다고 보고 되었으며[7-11], 이것은 선형 영역에서의 계면 반응속도가 실리콘의 결합 약화에 의해 증가되었기 때문이라 해석하였다. 하지만 J. Eugene & F. K. Legoues는 Ge 50%이하의 시료에서 두꺼운 산화막을 형성하였을 경우, 확산제어 영역에서 기존의 실리콘 산화보다 감소된 산화막 성장률을 갖는다고 보고하였다[12]. 이것은 Si_{1-x}Ge_x 산화과정에서 계면에 축적된 Ge의 농도증가에 의해 상대적인 실리콘 농도가 감소되어 확산제어 영역에서의 산화막 성장률을 둔화시키기 때문이라고 해석하고 있다. 또한 Si_{1-x}Ge_x의 산화는 순수 SiO₂를 성장시키거나 혼합 (Si,Ge)O₂와 공존하는 성장을 보인다고 보고하였다. 공통적인 실험 결과로는 건식 분위기에서의 oxidation rate가 기존의 실리콘과 동일하며, 산화 동안 Ge은 SiO₂/Si_{1-x}Ge_x 계면에서 축적된다는 것이다.

1. KEC CORPORATION
(경북 구미시 공단1동 149)
2. 금오공과대학교 전자공학과
a. Corresponding Author : sch@kec.co.kr
접수일자 : 2005. 9. 7
1차 심사 : 2005. 10. 4
심사완료 : 2005. 10. 11

이때 계면에서 Si와 Ge은 상호 확산 작용을 한다는 것이다. 결과적으로 $\text{Si}_{1-x}\text{Ge}_x$ 의 산화는 일부 상반된 실험결과를 나타내고 있으며, 정확한 산화 메커니즘이 밝혀지지 않고 있다. 실험 조건에서도 기판 방향 및 Ge 몰분율, 불순물 도핑조건 등이 제한되어있어 아직도 많은 연구 과제로 남아있다. 또한 일부 Ge 몰분율은 계면의 결합을[13] 발생시키는 임계치를 상회하여 실질적인 산화 메커니즘을 분석하는데 의문을 제기하고 있다. 본 논문에서는 $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ 계면에서의 격자 결합을 발생시키지 않는 임계조건으로 $\text{Si}_{1-x}\text{Ge}_x$ 층을 성장시켜 결합에 의한 산화막 성장률 변화를 최소화시켰다. 또한 700 °C ~1,000 °C 범위의 산화 온도에서 건식 산화막 성장률을 기존의 실리콘 산화막 성장률과 비교 분석하였으며, 이것은 산화조건에 따른 계면에서의 Ge 분포 변화로서 해석하였다. 이를 근거로 $\text{Si}_{1-x}\text{Ge}_x$ 층의 산화 메커니즘을 기존의 실리콘 산화 메커니즘과 비교 분석하였다.

2. 실험 및 측정

본 실험에서는 저항률 25~40 Ω·cm을 갖는 p형 실리콘 (111)웨이퍼가 사용되었다. $\text{Si}_{1-x}\text{Ge}_x$ 에피택셜 층의 성장은 MBE(Molecular Beam Epitaxy)를 이용하여 Ge 몰분율 $x=0.05, 0.1, 0.15, 0.2$ 를 갖는 $\text{Si}_{1-x}\text{Ge}_x$ 층을 부정합 전위(misfit dislocation)가 생성되지 않는 임계두께[13] 1,000 Å으로 성장시켰다. 성장시의 기판온도는 600 °C, 성장비는 1.0 Å/sec로 하였다. 실험에 사용한 시편은 실험 전, 60 °C SC-1 초음파 세척을 실시한 후, 100:1의 불화 수소산(HF; 48 %) 용액에 30초간 에칭하여 자연 산화막을 제거하고, 증류수로 세정하였다. 산화 온도는 700 °C, 800 °C, 900 °C 그리고 1,000 °C로 하였으며, 산화 시간은 40분, 4시간, 6시간, 12시간, 18시간으로 하였다. 동일한 조건에서의 실리콘 산화막 성장과 비교하기 위하여 각각의 실험 조건마다 실리콘 시편을 동일 석영보트(quartz boat)에 loading하여 실험하였다. 산화막 두께 측정은 알파스텝과 나노스펙을 이용하였다. 또한 산화막 성장시 Ge 몰분율, 산화온도, 산화시간에 따른 $\text{SiO}_2/\text{Si}_{1-x}\text{Ge}_x$ 계면에서의 Ge 재 분포를 RBS(Rutherford Back Scattering)와 AES(Auger Electron Spectroscopy) 분석을 통하여 관찰하였다.

3. 실험 결과 및 고찰

그림 1은 각 온도에서 산화 시간에 대한 산화막 두께의 변화를 각 몰분율에 대해 보여주고 있다. 그림 1에서 실리콘의 경우 산화 시간이 증가함에 따라

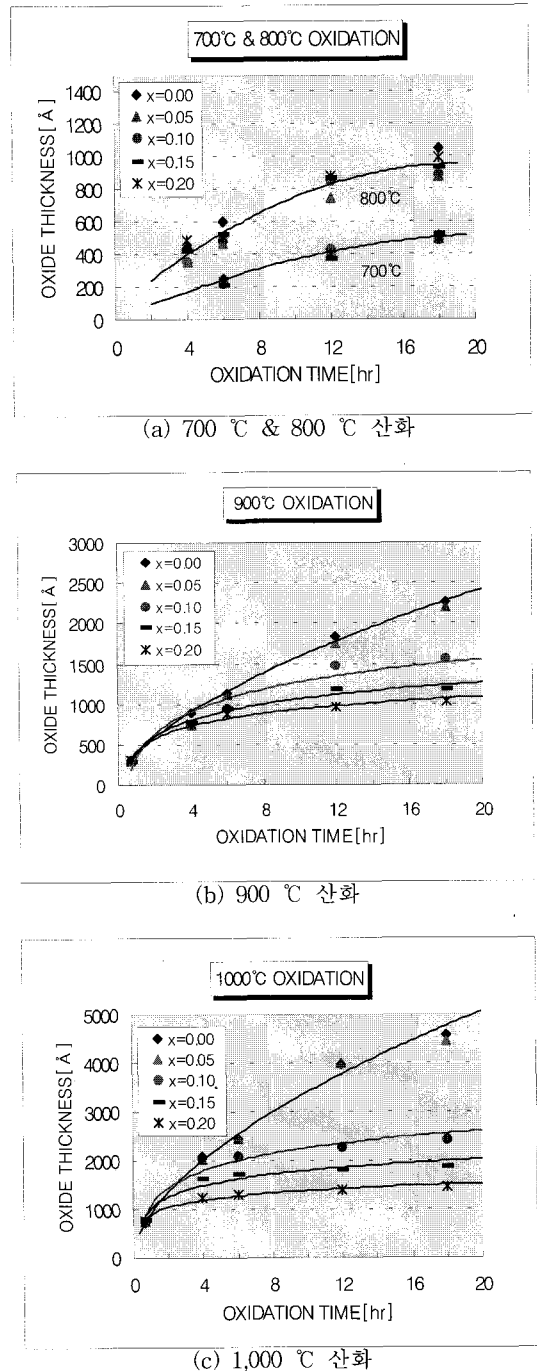
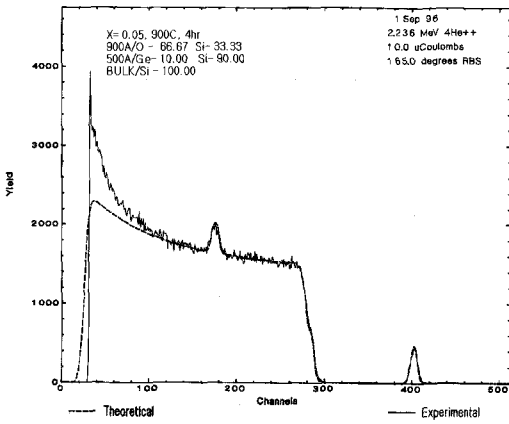
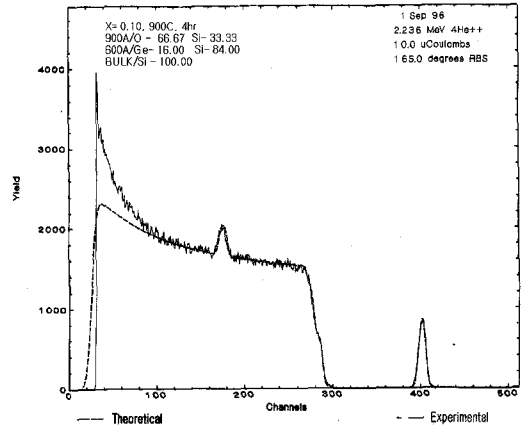


그림 1. $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ 의 건식 산화율.
Fig. 1. Dry oxidation rates of $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ layer.

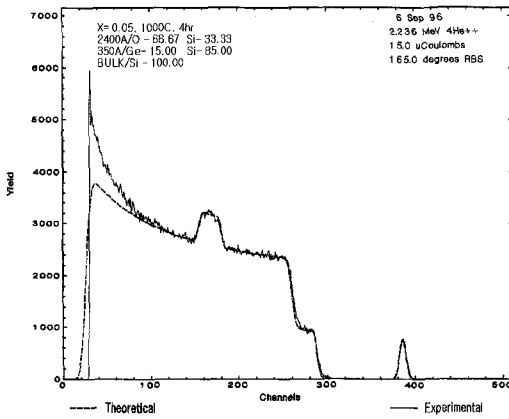
산화막 두께의 증가를 보이고 있으나, $\text{Si}_{1-x}\text{Ge}_x$ 층의 경우 Ge의 몰분율, 온도, 그리고 산화시간에 따라서



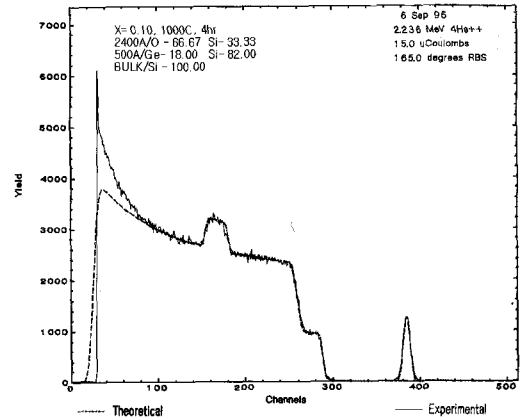
(a) 900 °C, 4시간 건식 산화 (x=0.05)



(b) 900 °C, 4시간 건식 산화 (x=0.1)



(c) 1,000 °C, 4시간 건식 산화 (x=0.05)



(d) 1,000 °C, 4시간 건식 산화 (x=0.1)

그림 2. 산화된 sample의 RBS profile.

Fig. 2. RBS profile of oxidized samples.

산화막 성장의 차이를 보이고 있다.

그림 1(a)에서의 700 °C와 800 °C 경우, $Si_{1-x}Ge_x$ 층의 산화막 성장은 몰분률에 관계없이 실리콘의 산화막 성장과 동일하게 나타나고 있다. 그러나 (b)의 900 °C 경우에는 (a)와 달리, $Si_{1-x}Ge_x$ 층의 산화막 성장이 몰분률 증가에 따라, 산화막 성장의 감소를 보이고 있다. 그림 1(c)의 1,000 °C 경우에는 $Si_{1-x}Ge_x$ 층의 몰분률 증가에 따른 산화막 두께의 차이가 900 °C보다 크게 나타나고 있다. 이와 같이 $Si_{1-x}Ge_x$ 층에서는 몰분률, 산화 온도가 증가할수록 산화막 성장을 감소가 빠르게 나타나고 있음을 알 수 있다. 이것은 일반적으로 알려진 실리콘 산화기구에 따르지 않는 다른 산화막 성장을 보이고 있는 것이다. 그림 1(a)의 700 °C 산화막 성장곡선을 포물 성장 영역으

로 근사화 시킴으로써 $x_0=250$ Å의 초기 산화막 두께를 얻을 수 있다. 이 250 Å의 초기 산화막을 기준으로 각각의 산화 온도에 대한 τ (초기 산화막 두께를 고려한 등가 시간)를 결정한 후, $(t+\tau)/x_0$ 에 대한 x_0 의 관계에서 포물 성장비 상수(B)를 구할 수 있다. 여기서, x_0 는 초기 산화막 두께, t 는 산화 시간을 나타낸다. 산화 온도별 τ 값은 1,000 °C일 때, 0.37 hr, 900 °C일 때, 1.45 hr, 800 °C일 때, 9.45 hr이며, 700 °C에서는 15.5 hr로 계산되었다. Deal & Grove의 산화막 성장 모델[14]로부터 다음 식을 얻을 수 있다.

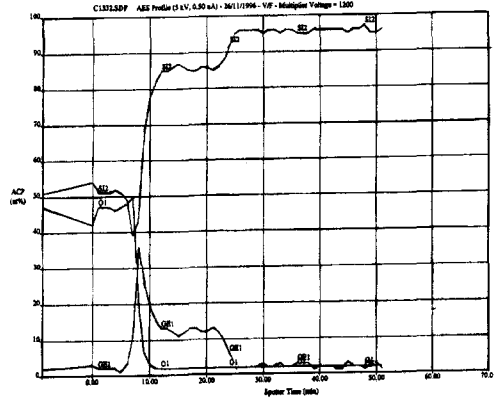
$$x_0 = B \frac{t+\tau}{x_0} - A \quad (1)$$

이 관계식에 의해서, $(t+\tau)/x_0$ 에 대한 x_0 의 직선 기

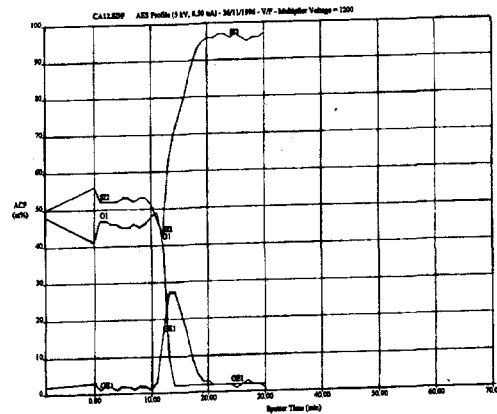
올기는 B의 값을 나타내며, y축 절편은 A의 값을 의미한다. 그림 1(a)의 산화 온도 700 °C, 800 °C에 대한 포물 성장비(B)는 Ge 몰분율에 관계없이 각각 0.0009 $\mu\text{m}^2/\text{hr}$, 0.0012 $\mu\text{m}^2/\text{hr}$ 이며, 선형 성장비(B/A)는 0.00166 $\mu\text{m}/\text{hr}$, 0.00716 $\mu\text{m}/\text{hr}$ 로 계산되었다. 이 값들은 Deal & Grove[14]에 의해 발표된 값과 근사하다. 이것은 700 °C와 800 °C의 산화에 대해 $\text{Si}_{1-x}\text{Ge}_x$ 층과 실리콘의 산화막 성장이 매우 유사함을 나타내고 있다.

그림 2(a), (b)는 $x=0.05, 0.10$ 의 Ge 몰분율을 갖는 시료를 900 °C 4시간 산화시킨 후, 분석한 RBS 결과를 나타낸 것이다. 그림 2(c), (d)는 $x=0.05, 0.10$ 의 Ge 몰분율을 갖는 시료를 1,000 °C 4시간 산화시킨 후, 분석한 RBS 결과를 나타낸 것이다. 그림 2(a)에서 $x=0.05$ 인 경우, 약 900 Å의 산화막과 원래의 몰분율보다 증가된 10 %의 Ge를 함유하는 $\text{Si}_{1-x}\text{Ge}_x$ 층이 약 500 Å 존재하고 있으며, 그림 2(b)에서 몰분율 $x=0.1$ 인 경우, 900 Å의 산화막과 10 % Ge를 포함하는 600 Å의 $\text{Si}_{1-x}\text{Ge}_x$ 층이 존재하고 있음을 알 수 있다. 그림 2(c)에서 몰분율 $x=0.05$ 의 경우, 2,400 Å의 산화막과 15 %의 Ge를 포함하는 350 Å의 $\text{Si}_{1-x}\text{Ge}_x$ 층이 존재하고 있음을 보여주고 있다. 또한 그림 2(d)의 몰분율 $x=0.1$ 인 경우에는 2,400 Å의 산화막과 18 %의 Ge를 포함하는 500 Å의 $\text{Si}_{1-x}\text{Ge}_x$ 층이 존재하고 있음을 알 수 있다.

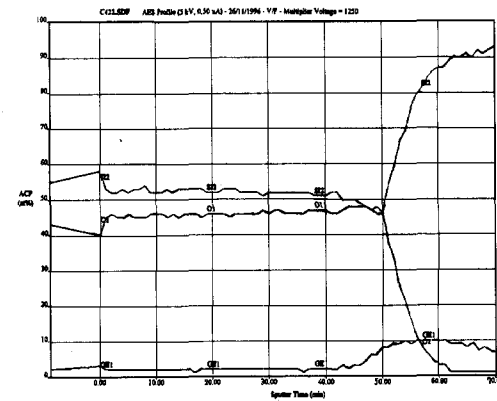
그림 3은 $x=0.1$ 을 갖는 시료를 각각 700 °C 4시간, 1,000 °C 40분, 1,000 °C 18시간 산화시킨 후, 산화막과 $\text{Si}_{1-x}\text{Ge}_x$ 계면에 대한 AES 분석 결과를 나타낸 것이다. 그림 3(a)의 결과를 살펴보면 700 °C 4시간, $x=0.1$ 인 시료에 대해서 축적된 Ge-rich 층과 기존의 $\text{Si}_{1-x}\text{Ge}_x$ 층이 공존하고 있음을 볼 수 있으나, 그림 3(b)의 경우에는 실질적인 $\text{Si}_{1-x}\text{Ge}_x$ 층이 관찰되지 않고, 축적된 Ge-rich 층만 존재하고 있음을 알 수 있다. 하지만 좀더 긴 시간(18 hr) 산화시킨 그림 3(c)의 경우에는, Ge-rich 층의 Peak 농도가 그림 3(b) 보다 감소하면서 가우시안 분포를 가지고 있다. 이것은 Ge-rich 층으로부터의 Ge 확산을 의미한다. 이 과정은 다음과 같이 설명할 수 있다. $\text{Si}_{1-x}\text{Ge}_x$ 층의 초기 산화에서는 Si와 Ge의 결합과피에 의한 실리콘 산화가 이루어지며, 이때 생성된 Ge는 산화에 참여하지 못하고 남게 된다. 이때 Ge는 산화온도에 의해 Si 기판으로 확산되어지나, 산화막 성장에 의한 산화 계면 이동이 주어진 온도에서 Si기판으로의 Ge 확산보다 빠르게 된다. 따라서 Ge는 실질적으로 Si과 산화막의 계면에 존재하게 되어 Ge-rich 층을 형성한다. 이렇게 형성된 Ge-rich 층은 산화 계면에서



(a) $x=0.1, 700\text{ }^\circ\text{C}, 4\text{시간}$ 건식 산화



(b) $x=0.1, 1000\text{ }^\circ\text{C}, 40\text{분}$ 건식 산화



(c) $x=0.1, 1000\text{ }^\circ\text{C}, 18\text{시간}$ 건식 산화

그림 3. $x=0.1$ 의 산화된 $\text{Si}_{1-x}\text{Ge}_x$ 시료의 AES 결과.
Fig. 3. AES Profile of oxidized $\text{Si}_{1-x}\text{Ge}_x$ sample with $x=0.1$.

의 Si를 고갈시키고, 또한 Si 기판에서의 Si 공급을 방해하게 된다. 결국 산화막 성장률을 감소시키는 요인으로 작용한다. 따라서 산화막 성장을 방해할 수 있을 만큼 충분한 Ge 임계치가 계면에 형성되면 산화막 성장의 포화를 가져오게 될 것이다. 이 임계치는 주어진 산화온도에 관계 될 것이다. 따라서 임계치 도달 시간은 Ge 몰분율이 클수록 또한 산화온도가 높을수록 빠르게 나타날 것이다. Ge-rich 층에 의해 산화막 성장률이 감소하게 되면, 실리콘 소모에 의한 산화 계면 이동도 느리게 되고 결국 Ge-rich 층에서의 Ge이 Si 기판 쪽으로 확산할 수 있는 충분한 시간을 가지게 된다. 따라서 그림 3(c)와 같이 Ge-rich 층의 peak치가 확산에 의해 감소되고 가우시안 분포를 갖게 된다. RBS나 AES 분석결과 공통적으로 산화막과 기판 사이에 Ge-rich 층이 형성되어 있는 것을 확인할 수 있다. 이것은 실질적인 초기 Si_{1-x}Ge_x 층보다 높은 Ge를 함유하고 있음을 알 수 있다. 또한, 산화막에서의 Ge은 검출되지 않았으며, GeO나 GeO₂ 형태의 Ge 산화막도 존재하지 않는다는 것을 알 수 있다. 따라서 Si_{1-x}Ge_x 층의 산화시 실리콘은 산소(O₂)와 반응하여 SiO₂ 성장에 기여하지만, Ge은 산화막 형성에 참여하지 못하고 Si_{1-x}Ge_x/SiO₂ 계면에 축적되고 있음을 알 수 있다. 결과적으로 높은 몰분율과 높은 산화온도에서의 Ge 축적은 보다 빠르게 진행될 것이며, 이 축적된 Ge-rich 층은 산화막 성장에 있어 기존의 실리콘 산화 메커니즘과 다른 영향을 미치게 될 것이다.

그림 1의 결과에서 얻은 포물 성장비(B)에 대해, 산화 온도에 따른 B의 변화를 계산할 수 있다. 온도에 따른 B의 특성은 다음과 같은 Arrhenius식으로 표현할 수 있다.

$$B = B_0 \exp\left(-\frac{E_a}{kT}\right) \quad (2)$$

여기서, B₀는 초기 포물 성장비 상수이며, E_a는 활성화 에너지, k는 볼츠만(boltzmann)상수, T는 절대 온도이다. 위의 Arrhenius 식에 자연 대수를 취하면 다음과 같이 표현된다.

$$\ln B = \ln B_0 - \frac{E_a}{kT} \quad (3)$$

이 식은 직선 방정식 y=ax+b의 형태이며, lnB를 1/T에 대해서 도시하면, 기울기가 -E_a/k이고, y절편이 lnB₀인 직선의 그래프를 얻을 수 있다. 여기서 포

물 성장 영역에 대한 활성화 에너지(E_a)를 구할 수 있다. 포물 성장 영역에서의 활성화 에너지는 순수 실리콘에 대해서 E_a=1.15 eV로 나타났으며, Ge 몰분율 x=0.1, 0.15, x=0.2에 대해서는 각각 1.3 eV, 1.41 eV, 1.41 eV로 나타났다. Si_{1-x}Ge_x 층의 산화에 대한 활성화 에너지 값은, 순수 실리콘의 값보다 큰 것으로 나타났으며, Ge 몰분율이 증가할수록 활성화 에너지도 증가함을 보였다.

이 활성화 에너지는 Deal & Grove의 모델[14]에서 산화막을 통과하는 산화제(O₂)의 확산과 관련된 상수이다. 따라서 순수 실리콘과 Si_{1-x}Ge_x의 건식 산화에서 생성되는 산화막에서, O₂의 확산계수는 동일하므로 활성화 에너지의 값도 거의 동일하게 나타나야 한다. RBS와 AES 결과로부터, Si_{1-x}Ge_x 층의 산화시 GeO나 GeO₂의 형태는 발생되지 않는다는 것이 이미 확인되었기 때문에 결국, 산화막을 통과하는 산화제(O₂)의 확산은 두 물질에 의해 성장된 산화막에서 동일해야 한다. 하지만 본 실험의 결과에 의하면 순수 실리콘과 Si_{1-x}Ge_x 층의 산화에 있어 포물 성장비의 차이가 발생되었다. 이것은 기존의 산화제(O₂) 확산 메커니즘의 다른 메커니즘이 존재한다는 것을 의미한다. 계면에 축적된 Ge에 의해 SiO₂ 성장에 기여하는 실리콘은 상대적으로 감소하게 된다. 따라서 실질적으로 산화막을 통과한 산화제(O₂)의 양보다 적게 되어 포물 성장의 메커니즘을 변화시키게 된다. 실리콘 내에서의 실리콘과 게르마늄의 확산은 산화막을 통과하는 산화제(O₂)의 확산보다 느리며[15], 게르마늄에서의 실리콘 확산도 매우 느린 것으로 보고 되었다[16]. 본 실험의 결과에서 얻은 포물 성장에 대한 활성화 에너지는 x=0.1, x=0.15, x=0.2에 대해 1.3 eV, 1.41 eV, 1.41 eV로서 순수 실리콘에 대한 활성화 에너지 1.15 eV보다 증가된 값을 나타내고 있다. 이것은, Si_{1-x}Ge_x 층에 대한 포물 성장 영역에서의 산화가 산화막을 통과하는 산화제(O₂)에 의해 지배되는 것이 아니라, 축적된 Ge 층을 통과하는 실리콘의 확산에 의해 지배된다는 것을 의미한다. 이와 반대로, 선형 영역에서는 기존의 실리콘 산화와 마찬가지로 실리콘의 결함 파괴에 의한 표면 반응 상수 k에 의해 지배되며, Si_{1-x}Ge_x 층에서의 실리콘 결함은 실리콘과 실리콘의 결함보다 오히려 감소되므로, 성장비가 증가될 것이라 추정할 수 있다.

4. 결론

본 실험으로 Si_{1-x}Ge_x 층의 산화에서 SiO₂/Si_{1-x}Ge_x 계면에 축적된 Ge은 산화막 성장에 영향을 미친다는

것을 알 수 있었으며, 이것은 산화 온도와 산화 시간에 의해 영향을 받는다는 것을 확인할 수 있었다. 또한 $\text{Si}_{1-x}\text{Ge}_x$ 층의 건식 산화시 산화계면에 Ge-rich 층이 형성된다는 것을 RBS와 AES 결과로부터 확인하였으며, 축적된 Ge-rich 층이 산화막의 성장 메커니즘에 영향을 미친다는 것을 관찰하였다. 축적된 Ge의 양은 $\text{Si}_{1-x}\text{Ge}_x$ 층의 몰분률에 따라 달라지며, 또한 온도에 따라서 축적된 Ge에 의한 영향이 달라지는 것을 알게 되었다. 건식 산화 700 °C와 800 °C에서 $\text{Si}_{1-x}\text{Ge}_x$ 층의 산화막 성장은 실리콘의 산화막 성장 메커니즘과 동일한 반면, 900 °C와 1,000 °C에서 $x=0.1, 0.15, 0.2$ 의 경우에는 산화 시간이 증가할수록 산화막 성장이 둔화되어 실리콘과 다른 산화막 성장 메커니즘을 갖게 된다. 이것은 실리콘과 $\text{Si}_{1-x}\text{Ge}_x$ 층의 포물 성장비 상수(B)값을 비교함으로써 확인할 수 있다. $\text{Si}_{1-x}\text{Ge}_x$ 층의 Ge 몰분률에 따른 포물 성장 영역에서의 활성화 에너지는 $x=0.1, x=0.15, x=0.2$ 에 대해 각각 1.3 eV, 1.41 eV, 1.41 eV로 순수 실리콘에 대한 1.15 eV보다 증가된 값으로 나타났다. 이것은 산화막을 통과하는 산화제(O_2)의 확산보다 Ge-rich 층을 통과하는 실리콘의 확산도가 작기 때문에 $\text{Si}_{1-x}\text{Ge}_x$ 층의 포물 성장 산화에서 활성화 에너지를 증가시킨다고 볼 수 있다. 결국 $\text{Si}_{1-x}\text{Ge}_x$ 층에 대한 포물 성장 영역에서의 산화가 축적된 Ge-rich 층을 통과하는 실리콘의 확산이라는 추가 메커니즘을 가지고 있음을 의미한다. $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ 층의 이중 접합구조는 앞으로 매우 폭넓게 적용되리라 예상되며, 공정상의 여러 문제점을 해결하고 재료의 특성을 최대한 반영하기 위하여 많은 연구들이 지속되어져야 할 것이다.

참고 문헌

- [1] S. S. Iyer, G. L. Patton, J. M. C. Stork, B. S. Meyerson, and D. L. Harnam, "Heterojunction bipolar transistors using SiGe alloys", IEEE Transactions on Electron Devices, Vol. 36, No. 10, p. 2043, 1989.
- [2] P. M. Garone, V. Venkataraman, and James C. Sturm, "Hole mobility enhancement in mos-gated $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ heterostructure inversion layers", IEEE Electron Device Letters, Vol. 13, No. 1, p. 56, 1992.
- [3] I. R. Tang, T. Kamins, P. Li, and C. A. T. Salama, "SiGe heterojunction bipolar transistors with thin α -Si emitter", IEEE Electron Device Letters, Vol. 14, No. 9, p. 438, 1993.
- [4] C. A. King, J. L. Hoyt, and J. Gibbons, "Bandgap and transport properties of $\text{Si}_{1-x}\text{Ge}_x$ by analysis of nearly Ideal $\text{Si}/\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ heterojunction bipolar transistors", IEEE Transactions on Electron Devices, Vol. 36, No. 10, p. 2093, 1989.
- [5] Merit Hong, et al, "High-performance SiGe epitaxial base bipolar transistors produced by a reduced-pressure CVD reactor", IEEE Electron Device Letters, Vol. 14, No. 9, p. 450, 1993.
- [6] V. P. Kesan, S. Subbanna, P. J. Restle, and J. A. Ot, "High performance 0.25 μm P-MOSFETs with silicon-germanium channels for 300 K and 77 K operation", IEDM-91, p. 25, 1991.
- [7] F. K. LeGoues, R. Rosenberg, and B. S. Meyerson, "Kinetics and mechanism of oxidation of SiGe", Appl. phys. Lett., Vol. 54, No. 7, p. 13, 1989.
- [8] S. Margalit, A. Bar-lev, A. B. Kuper, H. Aharoni, and A. Neugroschel, "Oxidation of silicon-germanium alloys", Journal of crystal growth, Vol. 17, p. 288, 1972.
- [9] O. W. Holland, C. W. White, and D. Fathy, "Novel oxidation process in Ge+ implant Si and its effect on oxidation kinetics", Appl. phys. Lett., Vol. 51, No. 7, p. 17 1987.
- [10] D. Fathy, O. W. Holland, and C. W. White, "Formation of epitaxial layers of Ge on Si substrates by implantation and oxidation", Appl. phys. Lett., Vol. 51, No. 17, p. 26 1987.
- [11] F. K. LeGoues, R. Rosenberg, T. Nguyen, F. Himpsel, and B. S. Meyerson, "Oxidation studies of SiGe", Appl. phys. Lett., Vol. 65, No. 4, p. 15, 1989.
- [12] J. Eugene, F. K. Le Goues, V. P. Kesan, S. S. Iyer, and F. M. d'Heurle, "Diffusion versus oxidation rates in silicon-germanium alloys", Appl. phys. Lett., Vol. 59, No. 1, p. 1, 1991.
- [13] R. People and J. C. Bean, "Calculation of critical layer thickness versus lattice

mismatch for $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ strained layer heterostructure", *Appl. Phys. Lett.*, Vol. 47, p. 322, 1985.

- [14] B. E. Deal and A. S. Grove, "General relationship for thermal oxidation of silicon", *J. Appl. Phys.*, Vol. 36, No. 12, p. 3770, 1965.

[15] D. L. Kendall and D. B. De Vries, "Semiconductor Silicon", *The Electrochemical Society*, p. 358, 1969.

- [16] J. Riiainen and A. Anttila, "The diffusion of silicon in germanium", *Solid State Electronics*, Vol. 24, No. 4, p. 333, 1980.