

NG-SDH 시스템을 위한 망동기 설계, 구현 및 동기클럭 모델링

정희원 양 충 열*, 이 중 현*, 김 환 우**

Design and Implementation of Network Synchronization for NG-SDH System

Choong-reol Yang*, Jong-hyun Lee*, Whan-woo Kim** *Regular Members*

요 약

본 논문에서는 120 Gb/s급 NG-SDH 시스템을 위한 망동기장치를 설계 및 구현한다. 그리고 이를 바탕으로 동기클럭 모델링을 통하여 망을 구성하고 있는 NG-SDH 노드클럭의 클럭 특성과 최대노드 수를 도출하는 방법을 제시한다.

Key Words : NG-SDH, Network Synchronization, EoS, DP-PLL, Wander

ABSTRACT

In this paper, We have design and implement the network synchronization module for NG-SDH system having 120 Gbps capacity. and also evaluate the performance of it. We also propose analyzing algorithm clock characteristics on NG-SDH node clock based on the evaluation results

1. 서 론

광통신시스템들에 의한 망의 구축을 가능하게 하기 위하여 동기식 광통신망(SDH : Synchronous Digital Hierarchy) 접속표준을 만들던 중 이를 BISDN (Broadband integrated services digital network)의 NNI(Network Node Interface) 접속표준으로도 사용할 수 있도록 일반화시킨 것이 동기식 디지털 계위이고 이 동기식 디지털 계위를 기반으로 한 전송방식이 동기식 전송방식이다. 대부분의 전달망은 SDH 망으로 이루어져 있지만 효율성이 떨어지기 때문에 효율을 높이기 위한 직접적인 대안으로 EoS 기능을 포함하고 있는 SDH 시스템을 NG-SDH(Next generation SDH) 시스템이라 한다.

NG-SDH시스템은 ATM(Asynchronous transfer mode), FR(Frame relay), IP(Internet protocol) 등의 패킷 트래픽과 SDH/SONET 등의 TDM(Time division mode) 전용회선 트래픽을 통합 수용할 수 있는 장비로서, MPLS 기술의 채용으로 L2/3 레벨의 VPN 서비스, QoS(Quality of service) 서비스, MPLS-TE(Multi protocol label switching-traffic engineering) 등 향후 NGN(Next generation network), BcN 패킷 전달망의 핵심 노드로 활용될 것이다. 그림 1에 NG-SDH 망의 적용 예를 보였으며 이는 기존 노드를 수용한다.

망동기는 망노드 장치에서 사용되는 클럭을 망에서 제공된 기준클럭에 동기화시키는 것으로 SDH 전송망에서 입력 및 출력신호의 데이터 유실을 막

※ 본 연구는 정보통신 선도기반 기술개발사업 과제(2004-S-050)로 수행되었습니다.

* 한국전자통신연구원 BeN전달망연구그룹 (cryang@etri.re.kr),
논문번호 : KICS2005-06-264, 접수일자 : 2005년 2월 8일

** 충남대학교 전자공학과 (wwkim@chungnam.ac.kr)

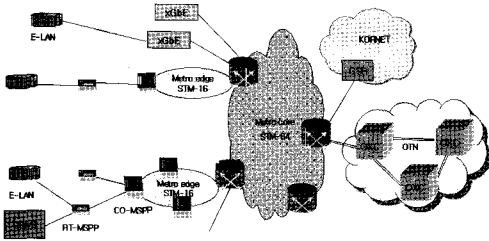


그림 1. NG-SDH 망의 예

기위해서 필수적이고 이를 위해 가장 안정된 동기원과 동기기준클럭을 선택하는 것이 중요하다. 국내 디지털 동기망은 한국표준주파수(KRF : Korea reference frequency)를 중심으로 4 계위로 구성되어있다. 동기방식은 종속동기방식중 PAMS (Preassigned alternate link master & slaver) 방식으로 망계위에 의한 master/slave 형태의 동기클럭 공급시스템을 갖추고 있으며 국사(Central office)내 동기를 위해 DOTS(Digital office timing supply)를 설치하여 동기클럭을 제공하고 있다. DOTS는 기본적으로 망동기 전달을 위해 설계된 트리 구조의 동기망을 통해 외부로부터 전달되는 1 계위 수준의 동기원을 이용하여 국소에 1 계위 수준의 동기원을 전달하는데 그 목적이 있다. 만약에 DOTS가 사용하는 1계위의 동기원에 장애가 발생하더라도 그 동기원은 3개의 예비 동기원을 추가로 확보하고 있으므로 1 계위로 복구하는데 소요되는 시간은 그다지 오래 걸리지 않으며 궁극적으로 모든 국소가 1 계위 성능을 갖게 된다. 또한, 국제 관공국은 독립 동기방식이 적용되고 있으며 기본 공급주파수는 2.048 MHz로 일원화될 계획이다. 실제로 국내에서 KT 등 10Gbps MUX를 포함한 전송장비를 운용하는 사업자는 DOTS에서 수신되는 망동기 신호를 이용한 종속동기방식에 의해서 망을 관리운영하고 있다. 이러한 통신망 계위와 동기망 계위를 일치시키기 위한 동기망 구조의 개선과 SDH 동기품질 요구조건을 만족시키기 위한 DOTS 성능 향상 및 SDH 전송모로 동기클럭을 공급하기 위한 전송노드 기능 향상이 필수적으로 요구된다.

SDH 성능개선 ITU-T 에서는 1985년 이후 유지 보수, 다중화, 회선분배 등이 원활하고 망설계가 용이한 동기식 계위에 대한 연구가 활발히 이루어져 1990년에 STM-16(STS-48) 까지 표준화가 완성되기에 이르렀고 2010년에는 동기식 전송망 구축을 완성하는 것을 목표로 설정^{[1],[2]}하였다.

동기식 전송망으로 전환하는데 있어서 가장 먼저

고려되어야 할 사항이 망동기이다. 망동기란 이상적으로는 망을 구성하는 모든 디지털 장치들이 하나의 기준 동기 클럭원에 동기되는 것을 뜻하며 이는 장치간 연동시 기준 클럭과의 차이가 모든 장치에서 최소화되도록 함으로써 동기식 전송방식의 장점을 살려 통신망의 안정화 및 고품질화를 도모하기 위한 것이다.

본 논문에서는 120 Gbps급 NG-SDH 시스템에서 망동기장치를 설계 및 구현하였다. 또한, 이를 바탕으로 동기클럭 모델링을 통하여 망을 구성하고 있는 NG-SDH 노드클럭의 클럭 특성을 분석하기 위한 방법을 제시한다. 이를 위해 제 I장 서론에 이어 제 II장에서는 NG-SDH 시스템에서의 망동기 기법과 망동기장치의 이중화를 고려한 설계 및 구현과 망동기장치의 클럭 및 안정도에 관한 성능측정결과를 제시하고, III장에서 망동기장치 성능시험결과 및 고찰을 기술하였다. 그리고 IV장에서는 성능측정결과를 바탕으로 NG-SDH 망노드 클럭 특성을 시뮬레이션할 수 있도록 동기클럭 모델링을 위한 알고리즘을 도출하였고, V장에서 결론을 맺는다.

II. NG-SDH 시스템을 위한 망동기 설계 및 구현

2.1 관련연구

2.1.1 동기망 구조

그림 2의 SDH 동기망 구조^[3]에서 최상위 레벨 클럭은 ITU-T G.811에서 PRC(Primary reference clock)로 정의되고 PRC에 의해 발생된 기준 타이밍 신호는 하위 레벨 계층인 SC(Slave clock)에 분배된다. SC는 PLL 시스템에 의해 기준 타이밍 신호를 추적하고 클럭체인을 통해서 전체 동기망에 수렴된다.

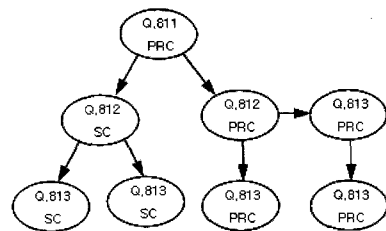


그림 2. NG-SDH 동기망 구조

2.1.2 유도 클럭

NG-SDH 망에서의 동기 클럭원 운용 방법으로서 SDH 장치의 유도클럭(Derived clock)을 이용한다.

유도클럭은 국내에서는 수신된 라인카드에 동기된 E1 형태의 유도클럭을 2 포트 요구하고 있기 때문에 본 기능을 제공하여야 한다. 라인카드가 제공하는 수신된 광신호에 동기된 8 KHz를 망동기 블록이 받아서 이 8 KHz를 이용하여 E1 형태의 유도클럭을 만들어 외부에 제공하면 이 E1을 DOTS가 수신하여 여러 개의 기준 클럭을 재생한다. 그렇게 되면 결과적으로 DOTS가 위치한 국사의 여러 장비가 모두 같은 신호(라인카드가 제공한 8 KHz)에 동기되게 된다.

광전송장치에서는 광신호를 전기적 신호로 변환 후 클럭성분을 추출한 다음 추출된 클럭신호로 전기신호를 샘플링하여 정확한 데이터를 추출함으로써 송신된 클럭신호는 수신측에서 재생하게 된다. 유도클럭은 이와 같이 수신된 광신호를 단순 DeMUX하여 DS-1E(2.048 Mbps) 신호를 재생한다. 송신측이 기준 이상의 동기원에 동기되어 있다면 수신측에서 추출된 유도클럭의 출력광은 광전송장치의 시스템 클럭 즉, jitter와 wander 특성^{[4],[6]} 및 DeMUX 회로의 PLL 특성에 의해 결정된다. 동기식 광전송장치에서 ADM 기능으로 이용하는 경우 동기클럭원 공급장치가 있는 경우는 외부동기를 선택하고 동기클럭원 공급장치가 없을 때에는 수신종속으로 선택하게 된다. 동기식 전송망에서 클럭전송에 관련하여 최대 중계국 수 및 ADM 수를 살펴보면, 직렬망에서 G.812 노드 수는 G.812의 2, 3 계위 클럭원을 확보하기 위해서 최대 10개 미만으로 구성하여야 하고 2개의 동기 클럭원 공급장치 사이에서는 G.813 규격을 만족하는 유도 클럭을 추출할 수 있는 동기식 광전송장치를 최대 20개 미만으로 하여 총 G.813 품질의 광전송장치를 60개 미만으로 구성하여야 한다.

2.2 망동기장치 설계 및 구현

망동기 운용모드, 동기클럭 제공기능에 대하여 기술한다. 수신동기는 시스템에 수신되는 신호에 동기를 이루는 동작의 총칭이며 동기원은 광신호가 일반적이다. DOTS 를 입력으로 받아서 동기를 이루어 망동기를 운용하게 되면 이는 외부동기이다. 종속동기는 시스템이 master, slave로 구성되어 연결되어 있을 때 slave 입장에서 취할 수 있는 동기신호가 master에서 제공하는 신호뿐이게 되면 이를 종속동기라고 한다. 이 경우에 slave의 동기품질이 master에 전적으로 종속되기 때문이다. 따라서 동기원을 어떤 신호를 사용하느냐가 아닌 시스템을 어

떻게 운용하느냐에 따라 구분되는 방식이다.

DP-PLL을 이용하여 구현하는 망동기 동작모드는 일반적으로 locking, free-running, holdover 세 가지로 구분된다. normal mode는 locking 동작을 의미한다. locking을 좀 더 세분화하면 fast mode(또는 acquire mode)와 normal mode (또는 stable mode)로 구분해서 동작한다. 두 모드는 locking 동작을 의미하지만 망동기장치가 locking 동작을 처음에 수행을 하면서 시스템에 영향을 주는 것을 최소화하고 장기적으로 안정적인 클럭을 공급하기 위해 위상 추적속도를 달리하는 모드이다. fast mode는 normal mode보다 위상 추적 속도가 빠르지만 출력에 전달되는 jitter가 많다. normal mode는 fast mode 보다 위상추적 속도가 느리지만 평상시 망동기에는 적합하며 출력의 안정도도 높다. hold over 모드와 free-running mode는 둘 다 locking 이 아닌 자체 발진 모드로 동작한다. 동작 이전에 locking을 함으로써 locking 시에 가지고 있던 정확도를 유지하느냐 유지하지 않느냐에 따라서 구분되며 정확도를 유지하는 동작을 수행하는 것이 holdover, 전원이 켜지고 난 후처럼 locking을 한 적이 없거나 locking 할 때의 정확도를 유지하지 않는 동작을 free-running 이라 부른다.

세계 OXC 개발 동향에서 클럭 동기 기능의 특징을 살펴보면, Alcatel, Ciena, Marconi, Huawei, Lucent, Mahi, Nortel, Sycamore 등의 시스템에서는 공통적으로 다음 기능을 제공하고 있다. 즉, 동기모드 종류는 외부동기, 수신종속 동기, 및 자체동기를 제공하고, 외부 동기 기능으로는 DS-1 또는 DS-1E 동기신호를, 수신 종속 기능으로는 라인 타이밍 모드 지원 및 SSM(Synchronous state message) 처리 기능을 제공하고 있다. 또한, 자체 동기 기능으로 free-running 또는 holdover 기능을 제공하고 유도클럭은 2개의 유도 클럭과 SSM 삼입기능을 제공한다.

동기식 광전송장치에서는 운용자 선택에 의해 2개의 외부 클럭, 수신 광신호, 자체발진, holdover 모드중 가장 양호한 클럭으로 자동절체 및 복구 등 운용된다.

클럭 전송 중에 발생한 고주파의 지터는 동기 클럭원 공급장치가 필터링하지만 송신부에서 발생한 DP-PLL 의 특성중 입력클럭 잡음이 없다고 가정할 때 장치내부에서만 발생하는 클럭잡음 성분인 언더^{[8],[11]}는 동기 클럭원 공급장치가 흡수하기 어렵다. 그러므로 송신부의 클럭 공급 유니트의 시스템 클

력이 외부 동기원에 대한 응답 출력을 빠르게 하여 윈더를 최소화할 필요가 있다. 수신된 클럭의 분주에서는 아날로그 방식의 PLL을 채용하여 불필요한 윈더를 줄여야 한다. 동기식 전송망으로 전환됨에 따라 동기클럭의 공급은 이와 같이 동기식 광전송장치에 의해 이루어지므로 교환망과 전송망에 대해 각각 존재하는 기존의 동기망은 하나로 통합되어야 한다.

2.3 망동기장치 설계

NG-SDH 시스템의 동기 기능을 위하여 PAMS 동기방식을 실현한 그림 3의 망동기장치는 다수의 E1 전송로로부터 기준 타이밍을 공급받아 우선 순위 에 따라 PLL 입력 클럭을 선택하여 동기된 클럭을 발생시켜 시스템에 공급하고 망내 타 NG-SDH 시스템에 기준 타이밍을 제공하며 PLL 구성시 루프 내에 CPU를 포함하여 DP-PLL 로서 동기기능을 실현하였다. 신뢰도를 고려하여 루프는 이중화(master, slave)하였으며 루프 출력은 19.44MHz 로서 이중화된 클럭분배기의 입력이 되며 네 개중 하나의 클럭이 선택되어 시스템에서 필요한 주파수로 분주되어 시스템에 공급된다. 이중화된 루프에 CPU를 포함함으로써 소프트웨어에 의한 동기, 이중화 기능을 실현하며 NG-SDH 시스템으로 그 역할을 다하도록 설계하였다. 망동기 장치는 1계위 동기클럭을 제공하도록 설계되었으나 중심국 위치에서 2계위 클럭이 요구된다. 그림 4의 외형도와 같으며 가로 100 (mm) x 세로 60 (mm)의 콤팩트한 크기로 제작되어 NG-SDH 시스템의 스위칭 보드에 모듈 형태로 탑재된다.

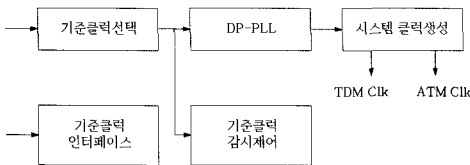


그림 3. NG-SDH 시스템의 망동기장치 블록도

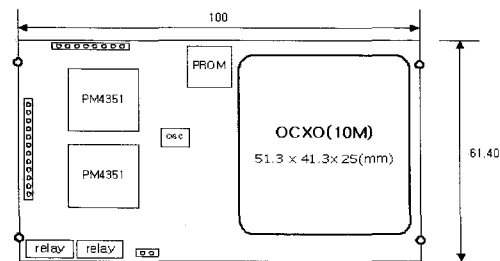


그림 4. 시스템의 망동기장치 외형도

제작된 망동기장치의 규격은 <표 1>과 같으며 이는 KT 망동기장치 요구조건^[9]을 만족하는 수준이다.

표 1. NG-SDH 시스템용 망동기장치 규격

순번	항목	규격
1	기준 입력	- Signal Shape : G.703
		- Signal Format : HD8, CHC-4, CAS/CCS, G.704
		- Bit Rate : 2.048 Mbps
		- Jitter Tolerance : ITU-T G.823
		- Input Impedance : 120ohm
	Timing Reference Input	- 9KHz(4Ch)
2	1. Output Frequency	- TDM Clock(LVTL), ATM Clock(LVTL), 이중화 Reference
	2. Free-run Accuracy	- $\pm 1.5 \times 10^{-7}/\text{day}$
	3. Lock Accuracy	- $\pm 1 \times 10^{-7}/\text{day}$
	4. Lock Stability	- $\pm 1 \times 10^{-7}/\text{day}$
	5. Holdover Accuracy	- $\pm 1 \times 10^{-7}/\text{day}$
	6. Holdover Stability	- $\pm 5 \times 10^{-7}/\text{day}$
	7. Jitter Generation and Transfer	- GR-1244-CORE 3.1 - ITU-T G.812-8.3-TYPE I
	8. Wander Generation	- GR-1244-CORE 5.3 - ITU-T G.812-8.1-TYPE I
	9. Wander Transfer	- GR-1244-CORE 5.4 - ITU-T G.812-10
	10. Transient Response	- ITU-T G.812-11
	11. Lock Time	- 900 > Sec.
3	PLL Range	- Pull-in Range - Hold-in Range
		- $\pm 4.0 \times 10^7$
4	전원	- +5V dc, -48V dc
5	상태 및 정보	- LED 및 IO Port

2.4 DP-DLL

망동기 실현은 순간적인 동기원의 위상변이나 동기원의 장애로 인해 발생할 수 있는 급격한 동기클럭의 위상변이를 최소화할 수 있는 홀드오버 기능이 필요하게 됨에 따라 DP-PLL(Digital processing PLL) 기술이 필수적이다. 그림 5의 DP-PLL은 기준 클럭과 동기 클럭간의 위상차를 검출하는 위상 오차 검출기, 검출된 오차를 저 대역 여파(CPU)하고 D/A변환(Digital to Analog converter)하는 루프 필터, 그리고 전압을 보상하는 전압 조정 발진기(VCXO)로 구성된다. 동작은 입력되는 기준 클럭에 동기된 클럭을 생성하며 루프 동작은 fast, normal, free-running 모드로 동작한다. fast mode는 루프가 시동된 경우 혹은 입력클럭이 이상상태에서 정상상태로 회복된 경우 입력주파수를 트래킹하는 과정으로 루프는 위상차에 대한 빠른 응답 특성을 갖게되고 normal mode는 루프가 phase lock 된 상태에서 입력의 지터를 충분히 흡수하고 적은 루프 이득을 갖게된다. free-running 모드는 입력클럭의 지터가 심하거나 fail 상태인 경우로 메모리에 기억된 평균 네트워크 주파수로 VCXO를 독립발진하게 함으로써 위상변동을 최대한 억제한다. 좀 더 상세히하면, 루프 동기는 공급되는 두 개의 8 KHz 중 기준 클럭 선택부로부터 선택된 클럭에 동기된 클럭을 공급하고, 위상 보전 모드는 기준 클럭에 이상이 발생하였을 때, 더 이상의 위상 추적 없이 지금까지의

위상을 가진 클럭을 공급한다. 그리고 자체 발진 모드는 외부로부터 입력되는 기준 클럭이 없을 때는 루프내의 발진기를 이용하여 고정된 클럭을 공급한다.

DPD(Digital phase detector)에서 DRV PD는 기준 클럭과 동기 클럭을 각각 분주하여 1 K/s의 비교 클럭을 생성하고, 두 클럭간의 위상차를 16.384 Mb/s의 클럭으로 검출하고 Main PD에서는 기준 클럭과 동기 클럭을 각각 분주해서 0.5 K/s의 비교 클럭을 생성하고, 두 클럭 간의 위상차를 38.88 Mb/s의 클럭으로 검출한다. 이것을 16 bit로 보고한다. 이 때 검출 주기는 DRV PD는 1ms가 되며 1KHz마다 인터럽트를 발생하여 검출된 오차를 보고하고, Main PD는 2 ms가 되며 0.5 KHz마다 인터럽트를 발생하여 검출된 오차를 보고한다. 분주된 두 클럭의 상승하강엣지를 비교하여 동기 클럭이 빠르면 lead, 느리면 lag 신호를 발생한다. 오차 계수기는 비교 신호가 lead(lag)일 때 카운트를 수행하며, 그 값을 CPU가 읽어가면 초기화 된다.

Loop filter에서 검출된 위상차를 보상하기 위하여 입력된 위상차를 저 대역 여파하고 16 bit DAC(Digital to analog converter)를 통하여 OVCXO(Ovenized voltage controlled X-tal oscillator)의 조정 전압을 생성한다. 저 대역 여파기는 일차의 디지털 필터로 구현되는데, 필터의 샘플링 주기는 위상 오차 검출기의 검출 주기와 같으며 필터의 계수는 DP-PLL의 동작모드에 따라 선택된다. 초기시동 때 기준 클럭과 동기 클럭간에 발생하는 큰 위상차를 방지하기 위하여 루프 필터는 비교적 큰 값의 비례 계수와 적분 계수를 가져야 하며, 검출된 위상 오차가 일정 범위 내로 작아지면 계수 값을 작게 하여 동기 클럭을 안정화 한다.

OVCXO는 12 volt의 전원으로 구동 되는 온도 전압 조정 발진기는 10MHz의 중심 주파수와 0°C~65°C의 온도변화에서 주파수를 기준으로 2x10e-9의 안정도와 ±0.5~1ppm의 주파수 조정 범위를 갖고, 제어 전압 범위는 0~+5 volt이다.

TCVCXO(Temperature compensated controlled x-tal oscillator)에서 5 volt의 전원으로 구동 되는 전압 조정 발진기는 16.384MHz의 중심 주파수를 가지고 0°C~65°C의 온도변화에서 주파수를 기준으로 ±2ppm의 안정도와 ±30ppm의 주파수 조정 범위를 갖고, 제어 전압 범위는 0~+5 volt이다.

기준클럭생성부는 버스에 의해 선택된 입력기준 클럭을 선택하여 사용한다. 기준클럭감시/제어부는 기준 클럭의 장애 여부를 감시하여 자동적으로 절

체 및 Holdover기능을 수행 할 수 있도록 제어한다. 또한 장애가 발생한 기준 클럭의 복구 여부를 감지하여 자동으로 복구한다. 기준 클럭의 장애기준은 LOS, AIS, EBER, LOF 이고 기준 클럭의 범위는 +0.5ppm 이하이다.

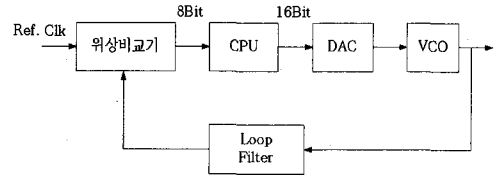


그림 5. DP-DLL 의 구성

SDH 전송에서 망동기는 망노드 장치에서 사용되는 클럭을 망측 제공 동기클럭에 동기시켜 종단 간(end-to-end) 에러 성능을 만족시키기 위한 것으로 ITU-T에서 권고하고 있는 SDH 시스템의 동기기능 블록^[11]은 그림 6과 같다.

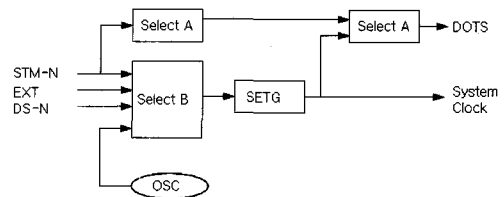


그림 6. SDH 시스템의 동기기능블록

그림 6에서 보는 바와 같이 SDH에서 사용되는 동기원은 외부 동기원, 수신 동기원, 종속동기원과 자체 내부 오실레이터를 사용하는 내부동기원 등으로 나뉘어진다. 우선순위는 외부 동기원, 선로 동기원, 종속 동기원, 내부 동기원 순이다. 이중 기준 동기원을 선택하는 기능을 Select B에서 수행하고, Select A는 여러 개의 선로 동기원 중의 하나를 선택하여 동기원 전파에 이용하게 한다. Select C는 유도 클럭을 선택하기 위한 것으로 시스템 클럭도 선택할 수 있도록 해준다.

SETG(synchronous equipment timing generator)는 PLL을 이용하여 시스템 내에서 사용하고 있는 모든 클럭을 Select B에서 선택된 기준 동기원에 동기되게 생성한다. 여기서 PLL 기능은 holdover 기능이 제공되는 DP-PLL이 주로 사용된다.

동기상태 메시지는 현재 장치가 사용중인 동기클럭의 품질을 STM-N(S1 byte)과 DS1(FDL) 프레임 내에 정의하여 대국에 알려 주거나 혹은 대국에서 사용중인 동기품질을 알 수 있도록 하는 메시지를

말한다. 이와 같은 동기상태 메시지를 활용하면 동기원 선택으로 최상의 클럭 품질을 유지할 수 있는 가장 큰 장점이 있다. 동기상태 메시지(SSM; Synchronous status message)를 이용해서 가장 안정된 동기원을 얻기 위해서는 모든 동기원 후보의 메시지를 검색하여 상기와 같이 가장 높은 동기품질 가진 동기원 후보를 검색하여 선택하여야 한다. 그리고 선형, 환형 및 메쉬형에서의 클럭루핑을 막기 위해서는 동기원으로 선택된 선로의 역방향 송신 동기상태 메시지에 '동기원 사용금지'를 삽입 전송해야한다. 만일 동일 품질의 후보가 존재하면 외부타이밍, 선로 타이밍과 내부타이밍 순으로 선택하고, 동일 품질의 선로일 경우는 시계방향을 우선하여 사용한다. 이는 운용여건에 따라 변경 사용할 수 있다.

SDH 전송망은 주로 ring 또는 mesh 망을 사용하기 때문에 120 Gbps급 NG-SDH 시스템의 클럭 특성은 자체 시스템 클럭을 장치 외부로부터 수신된 클럭에 동기시키는 방식으로 외부타이밍 방식이 필수적으로 사용된다.

2.5 망동기와 스위칭 보드간 동기

망동기장치는 스위칭보드에 공통 실장되어 스위칭보드로부터 전원을 공급받으며, 메인프로세서보드가 제어하려 하거나, 얻고자 하는 망동기의 운용은 스위칭보드의 CPU를 통해 제공받으며 전달한다. 스위칭보드의 CPU는 망동기장치의 레지스터를 직접 읽고 쓸 수 있으므로, 1차로 망동기의 운용정보는 스위칭보드가 알게 되며 이 정보를 CPU가 가져간다. CPU가 다운되어도 스위칭보드만 살아있으면 클럭라인이 패턴상으로 연결되어 있으므로 항상 클럭은 살아있어 망동기장치는 free-running 상태로 동작하게 되므로 네트워크 상에서 즉각적인 문제는 야기되지 않는다.

망동기장치는 위와 같은 제어를 받아서 입력되는 동기원 중 메인프로세서보드가 선택한 동기원을 선택하고 이에 동기된 신호를 출력한다. 메인프로세서보드가 선택한 동기원에 장애 발생시에는 Holdover로 동작한다. 메인프로세서보드는 망동기장치가 선택할 동기원의 상태를 모니터링하고 있어야 하며 동기원에 장애가 발생할 때는 망동기장치가 Holdover로 동작하므로 예비 동기원으로 절체를 하여야 한다. 예비 동기원은 동작모드에 따라서 외부(DOTS) 동기모드일 때에는 채널 a, 채널 b 간에 선택하며, 수신동기일 때에는 라인카드 중에서 운용자가 미리

동기원의 순위를 정하여 지정하고 있어야 한다. 수신동기로 지정할 때 망동기장치는 4개의 클럭을 받을 수 있으므로 4개의 8K라인에 1번부터 4번까지 순위가 지정된 라인카드의 8KHz 출력을 대기시켜야 한다. 또한 각 라인카드는 선택한 출력해야 할 동기원에 장애가 발생하였을 때는 즉시 출력을 차단해야 한다. 그래야만 동기원에 장애가 발생한 순간에 망동기장치가 자체적으로 holdover로 동작함으로써 시스템에 출력되는 특성을 만족할 수 있다.

2.6 이중화 절체

그림 3은 시스템 이중화 동작 개념을 보여준다. 망동기 절체는 2중화 개념을 갖고 스위칭보드에 종속되어 동시에 수행된다. 그러므로 스위칭보드가 절체되는 경우에도 망동기가 50 ms 이내에 순간적으로 같이 절체되어 동기를 잡는 개념으로 절체가 이루어진다. 장치간의 절체는 우선 working 장치가 지정되면(먼저 실장된 스위칭보드에 있는 망동기가 working 장치로 지정이 된다.) 예비장치는 working 장치에 우선적으로 동기를 이루는 동작을 취한다. working 장치가 free-running으로 동작할 때에도 예비장치는 걸으로는 free-running으로 working 장치와 똑같이 동작하는 것처럼 보이지만 실제로는 working 장치에 항상 동기를 이루게 된다. 메인프로세서보드가 스위칭보드를 절체하고자 하는 상황이 발생할 때에는 스위칭보드가 절체되는 순간에 망동기장치 중 예비 장치에 working 상태로 전환을 레지스터로 지정하는 순간에 장치의 주예비 상태는 바꾸게 된다. working 스위칭보드가 탈장되는 상태가 발생할 때는 망동기장치 간의 이중화를 위해 할당한 핀중 다른 working 신호를 이용하여 상대의 탈장을 인지하고 주, 예비 상태를 바꾸게 된다.

동기원 절체는 메인프로세서보드가 지정한 동기원 간의 절체를 의미한다. 운용자는 동기원을 설정할 때 크게 외부동기, 수신 동기구분하여 지정한다. 외부동기로 지정하면 동기원인 2개의 신호 중 메인프로세서보드가 자동으로 하나를 선택하여 지정하며 지정된 신호에 장애가 발생하였을 때는 역시 메인프로세서보드가 다른 동기원으로 바꾼다. 만약 지정된 예비 동기원마저 장애가 있을 때는 망동기장치는 자동으로 holdover로 동작되므로 메인 프로세서 보드는 장애를 외부에 선언하면 되며 다시 동기원이 복원 되기를 기다려 선택하면 된다. 수신동기 모드로 지정되어도 4개의 동기원은 메인프로세서보드가 지정하는대로 선택되며 4개의 동기원이

어느 라인카드로부터 선택되는지는 메인프로세서보드가 각 라인카드를 제어함으로써 결정된다. 한마디로 망동기장치치는 메인프로세서보드가 지정한 동기원이 정상 일때는 정상으로 동기를 이루지만 선택된 동기원에 장애가 발생할 때에는 동기원이 바뀌지 않는 한 holdover로만 동작한다.

망동기의 절체가 이루어지면 stby 망동기는 working 망동기에 동기를 잡는 과정이 필요하다. 동기원이 free-running으로 설정되어 있을 경우에는 외부 또는 수신동기로 설정되었을 때 보다 더 우선적으로 필요하다. 이 과정이 삭제되거나 시간이 축소되면 이후 재 절체가 이루어 질 경우 네트워크에 영향을 줄 수 있다.

스위칭보드가 망동기장치의 장애를 인지한 후 절체가 이루어지기까지의 시간은 ~50ms로 최대한 짧은 시간이어야 한다. 이는 망동기 뿐만 아니라 모든 절체와 관련된 제한 시간이다. G.812, G.813 short term phase transient, 절체시 원더 특성에 의하면 망동기의 경우는 절체될 때 절체로 인해 발생하는 출력의 위상 움직임이 120 ns 이내 이어야 한다. 이를 위해 수십 ns 이내에 유니트 절체가 이루어 져야 한다. 따라서 50 ms 는 절체 준비(망동기장치치는 stby 망동기장치치가 워밍업이 되고 stby 상태의 normal mode로 동작해야 비로소 절체할 준비가 된 것이다)가 된 후부터 절체가 이루어져 절체가 완료될 때까지의 시간을 의미한다. 그러나 장애정도에 따라 출력클럭에 영향을 주는 긴급을 요하는 장애와 PLL 동작 및 동기원 장애 같은 망동기에 영향을 주는 장애 등으로 나뉘어 질 수 있으므로 이에 따라 절체 과정을 처리하기 위해 필요한 시간은 달라질 수 있다. 따라서 긴급을 요하는 장애가 발생하

면 장애상태를 하드웨어적으로 전달하여 절체가 이루어지도록 하여야 한다. 이 때 시스템 운용에 크게 영향을 주지 않는 장애는 소프트웨어적으로 전달되어 우선순위에 따라 망동기장치에서 절체를 수행한다. 동기원이 선택되어 있는 경우에 절체 이후 망동기장치가 정상모드까지 걸리는 시간은 OVCXO의 성능에 따라 다르나 2계위를 위한 OVCXO의 워밍업 시간을 포함하여 10~12분이 소요되는 것으로 측정되었다. 즉, active로 운용중인 망동기장치가 있는 상태에서 stby 망동기장치치는 워밍업 동작을 먼저 하고 워밍업이 끝나고 active 망동기에 위상을 정렬(normal mode로 동작 전환할 때 위상이 정렬된다)하는데 까지 걸리는 시간이 대략 12분인 것이다.

2.7 시스템클럭 제공

그림 7의 NG-SDH 시스템의 클럭 분배는 운용과 예비로 구성된 라인카드(SIU)가 4 페어로 구성되어 각각 별도로 시스템 클럭을 전달한다. 각 라인카드 페어에 전달되는 클럭은 다음과 같다.

스위칭보드(MSU)에서 전달되는 신호로서 19M-W(working 19M clock), INC-W(working/protection indication signal), SL8K-W(working SIU의 광 신호에서 추출된 8KHz 클럭)이 있고, 예비 스위칭보드에서 전달되는 신호로서 19M-P(protection 19M clock), INC-P(working/protection indication signal), SL8K-P(protection 라인카드의 광 신호에서 추출된 8KHz 클럭)이 있다. 셀프 내에서는 공통부에서 수신된 시스템을 수 페어로 구성된 working/protection 라인카드들에게 클럭을 공급한다.

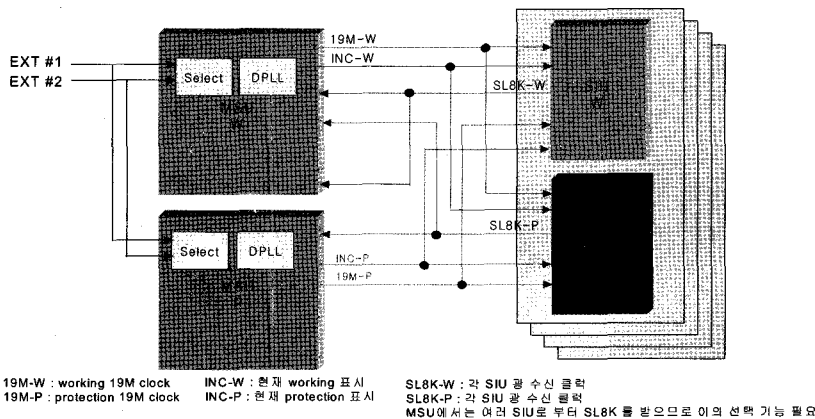


그림 7. NG-SDH 시스템 클럭분배

2.8 시스템내 망동기 과정

그림 8은 처음 시스템 전원을 인가한 후 망동기가 여러 기준클럭(외부, 확장셀프)으로부터 최종 하나의 기준클럭을 선택하여 동기가 이루어지기까지 과정을 나타낸다. (단, 그림 8의 RCV_8K 앞단의 라인카드에서 광 입력이 여러 개일 경우에는 메인 프로세서가 하나의 동기원을 먼저 선택해야 한다.)

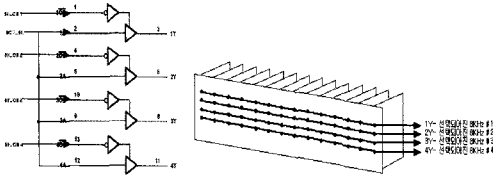


그림 8. 라인카드를 실장한 쉘프의 시스템 클럭분배

2.8.1 라인카드에서 4개의 기준클럭 선택방법

1) 메인 프로세서에서 각 라인카드로 우선 순위의 8KHz 선택 신호를 준다. 그림 9에서 74LVT125는 Active'L'이므로, 8K_CH1~4 중 'H' 입력인 신호의 Output 1Y~4Y 에서 8KHz 의 Output Clk 이 출력된다.

이때, 우선 순위는 S1 byte 의 SSM 신호 또는 사용자에게 의하여 정해진다. 수신종속에서 SSM 관련기능은 망동기장치가 하는 것이 아닌 CPU와 라인카드간의 기능이다. 라인카드가 받아들이는 SDH 신호에 실려있는 동기상태 메시지를 CPU가 읽어 가야 하며 CPU가 현재 망동기의 상태(선택된 라인카드로부터 전달된 동기상태 메시지)를 각각의 라인카드가 출력하는 SDH 신호에 실어보내는 역할을 하는 것이다. SDH 신호에 실어보낼 때 동기원으로 선택한 라인카드만이 DNU 라는 다른 SSM 을 실어보내게 된다.

2) 메인 프로세서에 의하여 결정된 Output Clk 8 KHz는 라인 카드에서 부터 Output 되어(표 3, 그림 9 참조) 쉘프의 스위칭보드로 4개의 8KHz 입력되어 진다. 그림은 쉘프 하나에 의한 예를 보였지만, 전체 시스템으로 볼 경우 2개의 쉘프 총 38개의 라인카드에서 선택되므로 각각의 REF_8KHz는 38:1의 MUX 형태를 보인다.

1에서 선택된 4개의 8KHz 신호는 스위칭보드를 통해 망동기장치로 입력되어진다. 망동기장치로 입

력된 4개의 8KHz 는 CPU에서 우선순위에 따라 정해진 Reference select 신호에 따라 기준 클럭 8KHz를 선택한다. 선택되어진 기준 클럭 8KHz 로 PLL을 하여 동기를 맞춘다. (표 2에서 자유운용 상태(free-running mode)(ADD 000) 과 잔류운용 상태 (hold over mode)(ADD 111)는 선택조건이 아니며, 처리 상태를 뜻한다.)

참고 예) 전원을 인가할 때 CPU에서는 몇 번째 라인카드의 8K_CH1~4 중 우선순위 1~4를 잡아 8KHz Output을 지정(초기 화시 적용)한다.

표 2. 망동기장치의 기준클럭 선택방법

Field(bit)	Description
REF_SEL(2:0)	Bit ofselect the reference of system
000	FREE RUNNING
001	DOTS1
010	DOTS2
011	REF1
100	REF2
101	REF3
110	REF4
111	HOLD OVER

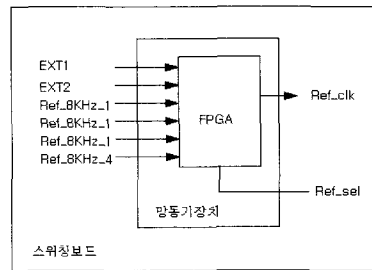


그림 9. 최종 하나의 클럭 선택방법

2.9 유도클럭

동기식 광전송장치에서 수신한 STM-N 에 동기된 2.048 Mbps HDB3 (High Density Bipolar of order3) 신호를 생성, 정상시에는 DS-1E 신호를 출력하고 장애시에는 DS-1E AIS (Alarm Indication Signal)를 출력하는 방법으로 유도 클럭을 생성한다. 또한, 송신클럭에 시스템 클럭에 대한 계위정보를 함께 보내어 수신시스템에서 최상위 계위의 광수신 클럭 또는 외부 클럭을 선택하도록 한다.

2.10 망동기관련 IPC 메시지 규격

시스템의 망동기 기능을 위해 필요한 IPC(Interworking path control) 메시지 규격 종류는 소프트

웨어적으로 구현되었다. 즉, 0x 기준 타이밍 조회 요구, 기준 타이밍 조회 응답, 기준 타이밍 선택 요구, 기준 타이밍 선택 응답, 기준 타이밍 변경 자동 보고, 유도클럭원 수동설정 요구, 유도클럭원 수동설정 응답, 유도클럭원 수동설정 보고, 현재 유도클럭원 조회 요구, 현재 유도클럭원 조회 응답, 운용 동기 클럭원 조회 요구, 운용 동기 클럭원 조회 응답, 운용 동기클럭원 설정 요구, 운용 동기클럭원 설정 응답, 운용 동기클럭원 상태 변경 자동보고 등 15가지이다.

III. 망동기장치 성능시험결과 및 고찰

3.1 클럭동기신호출력

그림 10은 기준 클럭 8KHz와, 출력 Output 8 KHz, 그리고 기준 클럭 8KHz와, 출력 Output 19.44 MHz를 측정된 결과를 보여준다.

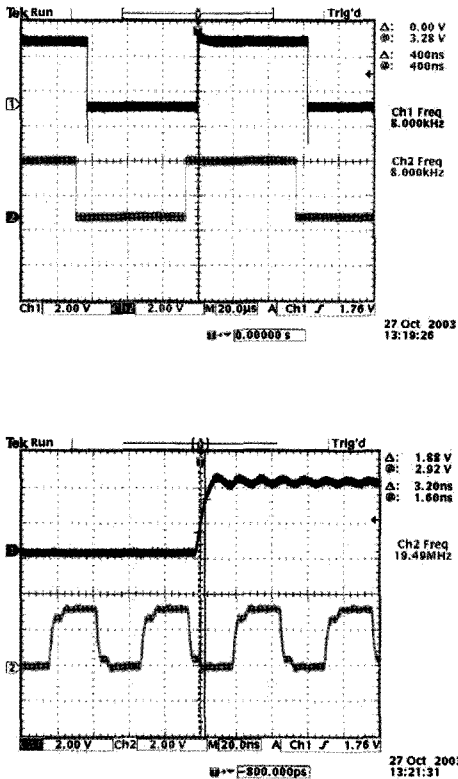


그림 10. 클럭동기신호출력

3.2 유도 클럭 2.048MHz 신호 출력

그림 11은 Mask passing test를 통해 유도 클럭 2.048 MHz를 측정된 결과를 보여준다.

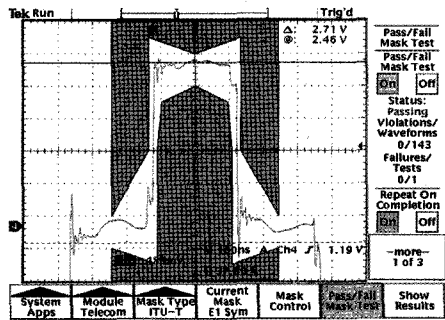


그림 11. 유도클럭 2.048MHz 신호출력

3.3 동기클럭특성 측정결과

클럭특성 파라미터는 MTIE와 TDEV가 있다. MTIE는 임의의 관측시간에서 가장 큰 시간편차와 가장 작은 시간편차의 차이를 나타내는 최대시간편차를 말하고 EDEV는 클럭의 안정도를 측정할 EO 사용되는 Allan 분산을 개선한 것이며 클럭신호에 존재하는 잡음형태를 기술기로 구별할 수 있다. 이들을 이용한 동기망과 전송망에 적용되는 클럭규격에는 크게 PRC, DOTS, NE로 분류되는 적용계층, 장치입출력과 장치내부로 분류되는 적용위치, 그리고 정상상태, 단기적인 순시변위 과도상태와 장기적인 순시변위 과도상태로 분류되는 클럭상태가 있다. 이와같은 분류에 의해 ITU-T, ANSI 에서는 그림 13, 15와 같이 규정하고 있다^{[9][10]}.

정상상태는 동기원에 의해 정상적인 동기기능이 수행되는 상태이고 위상변이 과도 상태는 동기원이거나 이중화 장치간 절체 등에 의해 야기되는 비정상적인 상태이다. 위상변이 과도상태는 holdover 모드로 전환할 때나 holdover 모드에서 다른 동기모드로 갈 때 발생하는 단기상태와, 모든 동기원에 장애가 발생하여 일정시각동안 holdover 모드가 지속되는 장기상태로 나눈다. 이 때 holdover 모드는 DP-PLL(Digital processing phase locked loop)에 의해서 일정한 정확도와 안정도를 가진 클럭으로 출력되는 상태이다. MTIE 규격과 측정 데이터를 비교하였다. 그림 12는 출력원더 TIE 특성을 측정된 결과를 보여준다.

클럭 규격에 적용되는 안정도의 측정 요소로는 MTIE(Maximum time interval error), TEDV(Time deviation)가 있으며 MTIE는 각 시간 간격에 대한 최대값이고 TDEV는 각 시간에 대한 변화량의 평균이다. 이들은 둘다 단기적인 클럭 정확도를 측정하기 위한 수단으로 ITU-T에서 권고하고 있다. 단기위상 과도 응답을 보기 위해서 그림 13의 규격과

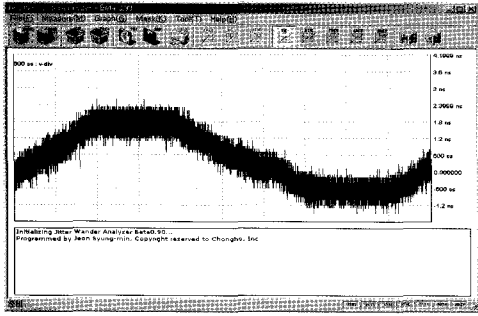


그림 12. 출력원더 TIE 특성 측정결과

같이 동기 기준 클럭이 절체될 때, 그 출력의 최대 위상 편차가 ITU-T G.812의 그림 4를 만족하는지 확인한다. 그림 14는 MTIE 측정결과로서 규격을 만족하고 있음을 보여준다. 클럭 잡음은 이 규격의 type 1을 만족하여야 한다.

TDEV는 그리고 장기위상 과도 응답을 보기 위하여 holdover를 수행할 때, 위상 오차가 ITU-T G.812의 Table 24를 만족하는지 확인하였다. 각 시간에 대한 변화량에 대한 평균으로서 그림 15는 각 타입별 규격을 나타내고 그림 16은 측정결과로서 규격을 만족하고 있음을 보여준다.

3.3.1 MTIE 규격

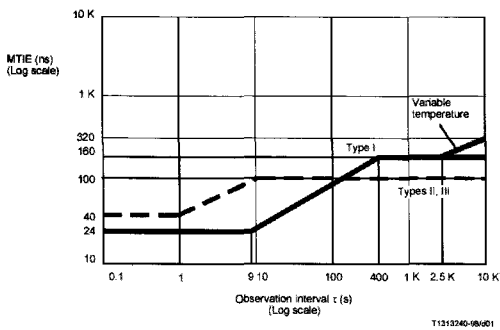


그림 13. ITU-T G.812 F-1 Wander (MTIE) 규격

3.3.2 MTIE 측정결과

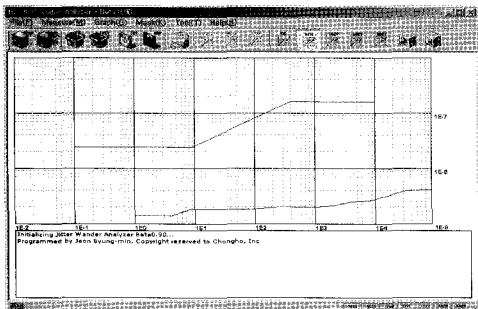


그림 14. ITU-T G.812 F-1 Wander (MTIE) 규격

3.3.3 TEDV 규격

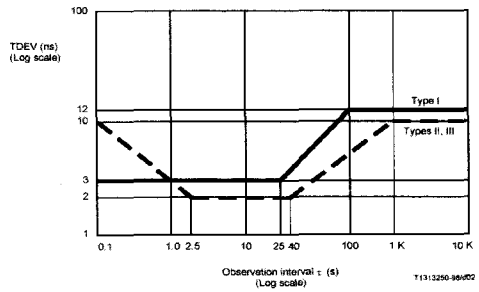


그림 15. ITU-T G.812 F-2 Wander (TDEV) 규격

3.3.4 REDV 측정결과

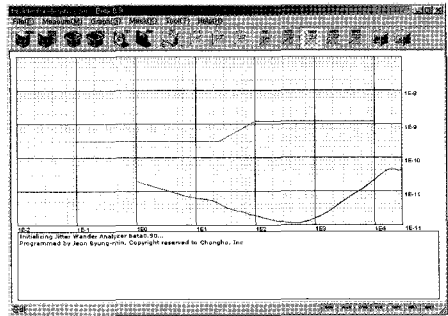


그림 16. ITU-T G.812 F-2 Wander (TDEV) 측정결과

3.4 Timing Reference 동기 기능 및 선택 기능
그림 17은 망동기장치에서 제공하는 클럭(8KHz, 19.44MHz)이 정상적으로 출력되는 것을 측정한 결과를 보여준다.

- Ch1 : REF_8KHz
- Ch2 : OUTPUT_8KHz
- Ch3 : OUTPUT_19.44MHz

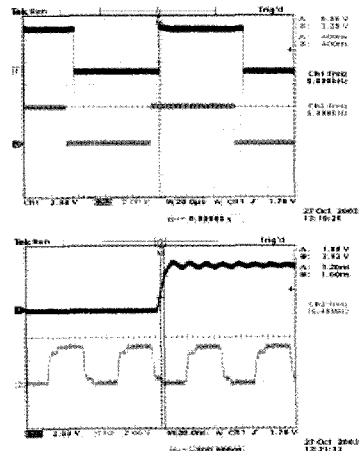


그림 17. Timing Reference 동기 기능 및 선택 기능 측정결과

3.5 유도클럭 출력지터

그림 18은 유도클럭 출력지터를 측정된 결과, 규격 20 Hz~100 KHz에서 0.05 UI 규격을 만족하는 0.005 UI 수준을 보였다.

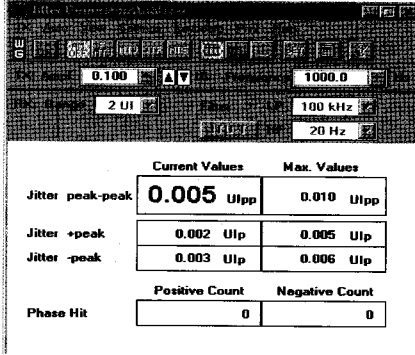


그림 18. 유도클럭 출력지터 측정결과

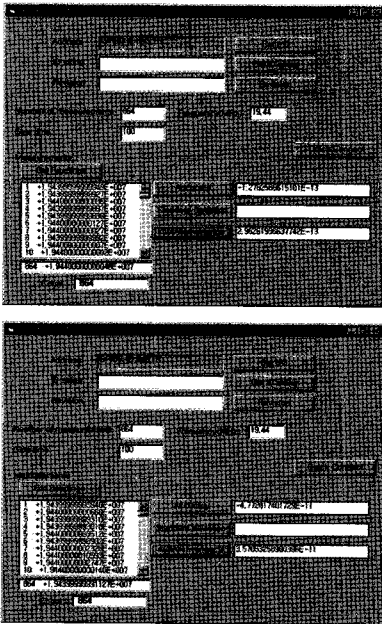


그림 19. 망동기 장치의 클럭 정확도 및 안정도 측정결과

3.6 망동기장치의 클럭 정확도 및 안정도

그림 19는 1계위 수준의 망동기장치의 정확도 및 안정도를 만족하는 측정결과를 보여준다. 24시간 Lock 시에 정확도 및 안정도는 다음과 같다.

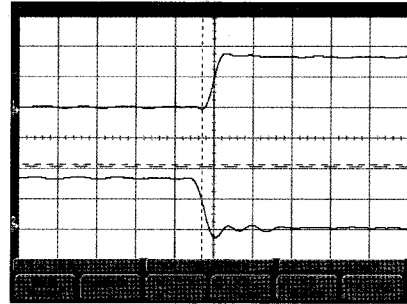
- 정확도 : $-1.276256851510E-13$ (Spec : $\pm 1 * 10-11$ /day)
- 안정도 : $2.96261936637742E-13$ (Spec : $\pm 1 * 10-11$ /day)

또한, 24시간 Holdover 시에 정확도 및 안정도는 다음과 같다.

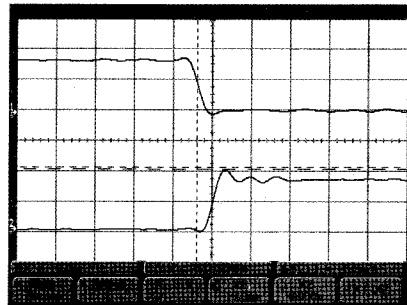
- 정확도 : $-4.772817401729E-11$ (Spec : $\pm 1 * 10-10$ /day)
- 안정도 : $3.57053258900396E-11$ (Spec : $\pm 5 * 10-10$ /day)

3.7 이중화 절체 및 탈장 시험결과

그림 20에서 보여주는 것과 같이 망동기 장치 a (또는 b)를 탈장하여 power fail을 주면 장치 b(또는 a)로 절체된다. 이 때 동기를 잡는 시간은 시간적으로 인지할 수 없이 거의 순간적으로 이루어져야 한다. 운용자석에서 소프트웨어적으로 절체를 하여도 정상적으로 절체되어야 한다.



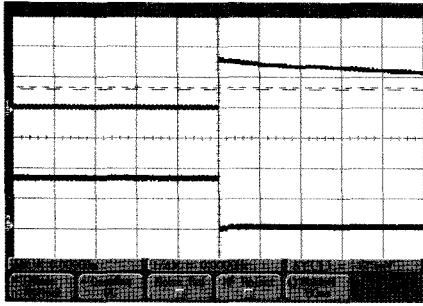
(active side)



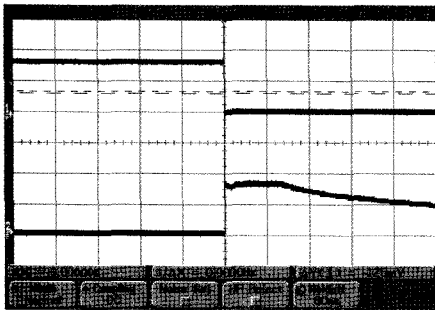
(stby side)

그림 20. 망동기장치 power fail시 이중화 절체기능 측정결과

시스템에 실장되어 이중화 동작중인 working, protection 카드를 각각 절체(switch off 후 on)하였을 때 active, stby 동작이 20~30 ns에 하드웨어적으로 상태바뀔을 보여주고 있다. 그림 21은 망동기 장치가 시스템에 실장되어 이중화 동작중인 working, protection 카드를 각각 탈장(ejection)하였을 때 active, stby 동작이 거의 순간적으로 하드웨어적으로 상태바뀔을 보여주고 있다.



(active side)



(stby side)

그림 21. 망동기장치 탈장시 이중화 절제기능 측정결과

IV. 동기클럭 모델링

4.1 원더 (Wander)

망동기모듈에서 원더는 장비의 운용 중에 발생할 수 있다. 시스템 및 전송로의 온도 변화, 망동기를 포함한 시스템의 절체(회선, 유니트 포함), 망동기 자체 발전 특성, 시스템 입출력부의 PLL 특성 등 여러가지의 요소에 의해 원더는 발생한다. 이러한 원더는 DOTS 등을 통해서만이 필터링할 수 있다. DOTS 는 자체 특성이 낮은 주파수의 저대역통과필터이며, 여러 개의 입력클럭에 대해 품질을 감시하면서 이후 노드에 안정된 클럭을 공급하는 기능이 구비되어 있다.

전송장비의 망동기 규격은 전체 노드의 성능을 규정한 것이 아니고 1개 노드의 출력 원더만을 규정한 것이다. 따라서 노드가 다단으로 연결되었다면 각 노드의 출력 원더가 누적되어 최종 노드에 출력될 수 있다. 물론 DOTS가 체인으로 설치된다 하더라도 다단 노드의 수는 ITU-T에서 10을 넘지 않도록 규정하고 있다. 만약 노드가 10을 넘을 때는 동기클럭공급장치(SSU, DOTS)를 중간에 연결해서 사용하도록 권고 하고있다. 실제 네트워크에서 DOTS 들은 1개의 체인이 길게 형성되는 것이 아니고 피라미드처럼 형성되므로 노드 수는 10을 넘지 않는다.

SDH 기반 디지털 망에서 데이터와 타이밍이 링크를 통해 전송되면서 타이밍 content는 지터와 원더에 의해 열화되는데 높은 주파수 필터는 필터링에 의해 감소될 수 있는 반면 원더는 저 주파수 스펙트럼이기 때문에 제거되기 어렵다. 최대 원더 진폭은 바이트 슬립과 관련 데이터 오염을 막기위해 필요한 원더버퍼 크기를 결정하는 중요한 설계과라미터이다. 그러나 망노드에서 동기클럭공급장치(SSU, DOTS)를 사용할 경우 각 노드를 거치면서 출력되는 원더는 거치면서 DOTS에서 필터링 된다. 다시 말해 전송장비의 망동기가 10Hz에서 1Hz 사이의 저 대역통과필터 특성을 가진다면, 동기클럭공급장치는 0.1Hz 미만의 저 대역통과필터 특성을 가지기 때문에 원더에 대해서 필터링이 가능한 것이다.

KRF에 동기된 DOTS 신호는 3계위 장비들의 노드를 거치면서 전국으로 망동기 정보가 전달된다. 3계위 망동기장치에 나타나는 원더는 여러 망 노드를 거치면서 축적된다. 규격은 1개 노드에서의 입력 대비 출력 원더를 규정하므로 노드가 다단을 거치면서 원더가 축적되더라도 3계위 규격에는 만족할 수 있다. 하지만 노드가 다단을 거치면서 2계위 성능에는 만족하지 못할 수 있으므로 노드 중간에 DOTS 를 사용하여 원더를 필터링 한다. DOTS 를 사용하면 이후 출력 원더는 2계위 품질로 보정된다. 실 예로, KRF -> DOTS 1 -> 3계위 노드 1 -> 3계위 노드 2 -> ... -> 3계위 노드 20(max) -> DOTS 2 -> 3계위 노드 21 -> 3계위 노드 22 -> ... -> 3계위 노드 40(max) -> DOTS 3 -> ...

예에서 SSU(DOTS)를 거친 클럭의 품질정보는 1계위로 표시되는데 이전 동기정보(KRF, 1계위)가 계속이어지기 때문이다. SSU가 holdover로 동작되면 그때 품질정보가 2계위로 표시된다.

4.2 동기클럭분배

동기식 전송망에 공급되는 동기클럭은 KRF를 중심으로 총괄국(DOTS1), 중심국(DOTS2)과 단국 등 3계위로 구성된 동기클럭 분배망을 통해 공급받는다. 종전에는 KRF의 클럭특성은 분배망을 거치는 동안에 NE와 DOTS의 자체 원더 및 지터 등 여러 요인의 영향을 받음에 따라 전송망의 동기원으로 제공되는 클럭 특성은 나빠지게 되었다. 이중 지터 성분은 NE나 DOTS 의 협대역 PLL 에 의해서 어느정도 흡수될 수 있었으나 원더성분은 다단 연결된 노드에 의해 누적되기 때문에 클럭의 안정도에 영향을 주었다. 그러나 최근에 사용하고 있는 DOTS

는 그 역할중에서도 NE에서 누적인 원더를 필터링하는 부분이 부각되고 있다. 따라서 NE와 DOTS를 거치면 클럭안정도가 나빠진다는 것은 최근의 경향과 부합되지 않는다. 그리고 DOTS 들이 품질을 확인하여 NE에 각자 확인한 품질정보를 제공하며 이러한 정보가 삽입된 동기원이 NE로는 여러곳의 DOTS에서 전달되므로 NE에서는 충분히 좋은 품질을 확보할 수 있다. 국내에서 전송장비를 운용하는 사업자는 DOTS에서 수신되는 망 동기 신호를 이용한 종속동기방식에 의해서 망을 관리운영하기 때문에 실제 망 운용에서 wander는 문제가 되지 않는다. 단일 유닛 상태에서는 앞장에서 설계구현한 망 동기장치 실험결과에서 보여준 바와 같이 wander의 영향은 그다지 크지 않은 것으로 입증하였다. 따라서 클럭잡음 노드 모델링에서 원더 잡음성분은 배제한다.

4.3 동기클럭 모델링

앞에서 NG-SDH시스템의 동기기능 실현을 위한 하드웨어적인 설계 및 구현을 하였다. 본 논문에서는 망을 구성하고 있는 NG-SDH 노드클럭의 클럭 특성을 분석하고자 한다. 동기클럭잡음모델^{[1],[12],[13]}에 적용하여야 할 파라미터는 원더, 차단주파수, 망 노드 수, 클럭상태, 홀드오버 유지시간(holdover hold time) 등이 있다. 원더는 입력 클럭잡음이 없다고 가정할 때 장치 내부에서만 발생하는 클럭잡음^[4] 성분을 말한다. 차단주파수는 노드모델이 PLL 기능도 수행하기 때문에 입력되는 잡음성분을 차단할 수 있다. 이는 식(1)과 같이 LPF 전달함수로 표시된다.

$$H(s) = \frac{2\zeta\omega_n + \omega_n^2}{s^2 + 2\zeta\omega_n + \omega_n^2}$$

$$\omega_n = 2\pi f_{3dB} / \sqrt{1 + 2\zeta^2 + \sqrt{2 + 4\zeta^2 + 4\zeta^4}}$$

$$\approx \pi f_{3dB} / \zeta \tag{1}$$

여기서, LPF의 차단주파수(f_{3dB})는 일반적으로 계층별 동기클럭공급장치(SSU)일 경우 0.01에서 0.1Hz, 전송노드장치 클럭(SEC)일 경우 0.1에서 1Hz를 ITU-T에서 권고하고 있고, 감쇠지수(damping factor)인 ζ 는 5로 설정한다.

클럭상태는 정상상태와 단기 위상변위 과도상태 그리고 장기 위상변위 과도 상태로 구분되며 각각 클럭 특성(MTIE, TDEV)에 미치는 영향이 다르다.

클럭의 특성변화는 이상적인 클럭신호와 실제의 클럭신호 간의 시간적인 편차로 나타낼 수 있다. 주어진 클럭의 시간함수 $T(t)$ 와 이상적인 시간함수 $T_{ref}(t)$ 사이의 시간오차 $x(t)$ 는

$$x(t) = T(t) - T_{ref}(t) = x_0 + y_0 t + \frac{D}{2} t^2 + \frac{\phi(t)}{2\pi f_0} \tag{2}$$

로 쓸 수 있다. 여기서, x_0 는 초기 시간오차 오프셋이며, 주파수변동 $y(n)$ 는 시간 2차 함수를 미분하여 구할 수 있다. $T_{ref}(t)$ 에 관련된 퇴화성분들은 무시한다. 정상상태에서는 동기원의 특성, wander와 노드 수 등에 따라 영향을 준다. 식(2)의 $\frac{\phi(t)}{2\pi f_0}$ 로 나타낸다. 단기 위상변위 과도상태에서는 정상상태의 요소와 동기원 상실에 따른 위상변위 성분으로서 식(2)의 x_0 와 $y_0 t$, 그리고 홀드 오버상태가 지속되는 시간 등이 영향을 미친다. 장기 위상변위 과도상태에서는 단기위상변위과도상태의 요소와 holdover 상태에 대한 드리프트로서 식(2)의 $\frac{D}{2} t^2$ 로 나타낸다.

MTIE는 클럭의 시간오차를 이용하여 임의의 관측시간에서 가장 큰 시간오차와 가장 작은 시간오차간의 차이인 최대 시간간격 편차, 즉 측정주기 내에서 모든 관측시간(τ)에서의 최대 TIE를 말한다. ITU-T에서 MTIE는 식(3)과 같이 정의하고 있다^{[2],[5]}.

$$MTIE(n\tau_0) \cong \max_{1 \leq k \leq N-n} \left[\max_{k \leq i \leq k+n} x_i - \min_{k \leq i \leq k+n} x_i \right]$$

$$n = 1, 2, \dots, N-1 \tag{3}$$

여기서, τ 는 관측시간으로 $n\tau_0$ 와 동일하고, n 은 관측시간에 대한 sampling 구간의 수이다. 그리고 τ_0 는 시간오차의 샘플링 구간, N 은 샘플링의 총 수, x_i 는 샘플링의 시간오차를 말한다. TDEV는 샘플링 시간편차를 이용하여 지정된 횟수로 여러 번 측정된 분산을 평균한 것 말한다. TDEV의 정의식은 식(4)와 같다.

$$TDEV(n\tau_0) \cong \sqrt{\frac{1}{6n^2(N-3n+1)} \sum_{j=1}^{N-3n+1} \left[\sum_{i=j}^{n+j-1} (x_{i+2n} - 2x_{i+n} + x_i) \right]^2}$$

$$\tag{4}$$

노드 수는 최초 동기원과 계층별 동기클럭공급장치(SSU) 혹은 전송노드장치(SEC)와 전송노드장치^[10] 사이의 전송노드장치 노드 수인 동기망의 노드 수, 그리고 전송망을 구성하고 있는 전송노드장치 노드 수를 말하며, 이와 같은 노드 수에 따라 클럭 잡음 특성이 누적되어 나타남에 따라 클럭성능에 매우 크게 영향을 주게 된다.

그 밖에 holdover 상태로 머물러 있는 holdover 유지시간과 동기원의 상태변화를 인식한 다음 이를 송신 동기상태 메시지에 적용하기까지의 걸리는 시간으로 표시되는 클럭상태 즉, 동기상태 메시지 처리시간(ITU-T에서는 200ms를 권고)이 동기클럭 시뮬레이션을 수행할 때 적용해야 한다.

동기상태에서 각 전송노드장치(SEC)는 PLL 시스템에 의하여 업스트림 데이터로부터 복구된 기준 타이밍 신호에 locked되기 때문에 현재 내부 잡음 소스의 전송노드장치의 필수적인 동작을 나타내기 위해 기준모델은 일반 시스템 모델에서 유도할 수 있다^{[11],[12]}. NG-SDH 시스템을 선형망으로 구성하여 클럭 특성을 분석하기 위해서 계층별 동기클럭공급장치(SEC)와 전송노드장치(SSU)에 적용되는 간략화된 클럭잡음 노드 모델을 그림 22에 나타내었다. 본 모델은 저역통과 필터와 덧셈기, 그리고 wander와 위상변위 성분으로 구성된다.

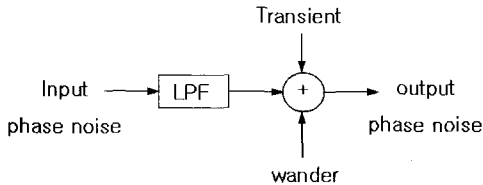


그림 22. 클럭잡음 노드모델

NG-SDH 망의 동기방식은 주로 ring 망이나 mesh 망 형태로 구성된다. ring 망은 동기원 분배 관점에서 볼 때 선형과 동일한 형태로 볼 수 있으나, 선형에 비하여 시작과 끝노드에서의 잡음 누적이 일어나지 않는다. 본 논문에서는 동기망의 구성 형태와 동일하고, 또한 동기원 관점에서도 여러 가지의 망구성 형태를 포괄적으로 수용하고 있기 때문에 선형모델을 적용한다.

그림 22의 모델을 활용하여 NG-SDH 전송망의 모델을 수식으로 표현하면 (6)식으로 표현할 수 있다.

$$N_o^{(1)}(s) = H_1(s)N_{IN}(s) + N_{PT}^{(1)}(s) \quad (5)$$

$$N_o^{(2)}(s) = H_1(s)N_o^{(1)}(s) + N_{PT}^{(2)}(s) \\ = (H_1(s))^2 N_{IN}(s) + H_1(s) N_{PT}^{(1)}(s) + N_{PT}^{(2)}(s) \dots$$

$$N_o^{(k)}(s) = (H_1(s))^k N_{IN}(s) + \sum_{n=1}^k (H_1(s))^{k-n} N_{PT}^{(n)}(s) \quad (6)$$

여기서, $N_{IN}(s)$ 는 첫번째 노드로 입력되는 입력클럭 잡음이고 $N_o^{(1)}(s)$ 는 첫 번째 노드에서의 출력클럭 잡음, $H_1(s)$ 는 노드의 LPF 전달함수이다. 그리고 $N_{PT}^{(k)}(s)$ 는 위상변위 성분으로, 단기 및 장기 위상변위 과도상태가 있을 때만 적용된다. 이렇게 하여 k 개 노드로 연결하면 k 번째 노드에서의 출력클럭 잡음은 $N_o^{(k)}(s)$ 이 되어 식(6)과 같이 된다. 여기서 모든 노드의 필터 전달함수를 $H_1(s)$ 로 가정하였다. 궁극적으로 망의 입력 동기원으로 작용할 수 있는 $N_{IN}(s)$ 만 결정이 되고 그림 16 동기클럭특성규격(MITE, TDEV)의 wander와 클럭상태만 결정되면 NG-SDH 망노드의 클럭 특성을 알 수 있다.

동기망의 전달특성모델링은 식(6)의 $N_{IN}(s)$ 에 적용되는 DOTS의 동기원을 발생시키기 위한 것이다.

DOTS에 입력되는 동기원을 $N_s(s)$ 라 하고, DOTS의 전달함수를 $H_2(s)$ 라 하면 DOTS의 클럭 전달특성은 식(7) 같다. 그리고 동기망에서는 위상변위를 적용하지 않는다면 입력동기원인 $N_s(s)$ 가 $N_{IN}(s)$ 을 동기원으로 하고 i 개의 전송노드를 통과한다면 식(8)과 같이 쓸 수 있다.

$$DT_o(s) = H_2(s)N_s(s) + DT_{wg}(s) \quad (7)$$

$$DT_o(s) = H_2(s)(H_1(s))^i N_{IN}(s) \\ + H_2(s) \sum_{n=1}^i (H_1(s))^{i-n} + DT_{wg}(s) \quad (8)$$

이 $N_{IN}(s)$ 은 PRC가 되고 $DT_o(s)$ 는 i 개 노드를 거친 동기망의 DOTS1 출력 클럭 특성이 된다. $N_{IN}(s)$ 가 DOTS1이 된다면 $DT_o(s)$ 는 DOTS2의 출력 클럭 잡음이 된다. 여기서 구한 DOTS의 출력클럭을 식(6)의 $N_{IN}(s)$ 에 적용하면 동기망을 통해 전달되어 온 동기클럭에 의하여 NG-SDH 망의 노드클럭 특성을 알 수 있게 된다.

식 (6), (7) 및 (8)의 전달특성 모델은 PRC, DOTS

와 전송노드(NE)의 클럭잡음이 주어진다면 컴퓨터 시뮬레이션을 수행하여 클럭상태에 따른 NG-SDH 노드별 클럭특성(MTIE, TDEV)을 구할 수 있고, ITU-T 규격을 만족하는 최대 노드 수를 도출할 수 있다.

원더를 고려한 시뮬레이션 결과분석^[15]에서는 정상상태 클럭에서 누적되는 원더성분에 의해 노드 수가 급격히 감소함을 보였다. 그리고 단기 위상 변위에서 클럭노이즈 성분이 오프셋성분보다 영향을 작게 미치고 또한 표준 규격값보다 누적되는 값이 적기 때문에 노드 수는 완만하게 변화하는 것으로 분석되었다. 장기위상변위에서도 역시 홀드오버 상태의 드리프트 성분이 클럭 노이즈 성분에 비해 우세하게 나타나기 때문에 역시 노드 수는 완만하게 변화하는 것으로 분석되었다. 이런 관점에서 보면 본 논문에서 원더성분을 무시한 시뮬레이션 결과에서는 노드 수가 완만하게 더 늘어날 것으로 예상된다.

V. 결론

본 논문에서는 국내 전송망이 2010년까지 동기식 전송망 구축을 완성하는 것을 목표로 설정됨에 따라 향후 전송망에서의 동기클럭모델링 구조가 부분적으로 달라질 전망이다. 이에 따른 동기망의 잡음성분을 정의하고 새로운 노이즈모델을 제시하고자 하였다.

NG-SDH 시스템에서의 망동기 기법과 망동기장치를 설계하고 구현하였으며 NG-SDH 시스템에서 망동기장치의 이중화도 동시에 구현하였다. 그리고 망동기장치의 클럭 및 안정도에 관한 성능측정결과를 제시하고 규격을 만족하는 것을 보였다. 또한, 이 성능측정결과를 바탕으로 NG-SDH 망노드 클럭 특성을 시뮬레이션할 수 있도록 동기클럭 모델링을 위한 수식을 도출하였다. 이 NG-SDH 노드 클럭의 클럭 특성 분석결과로부터 ITU-T 규격을 만족하는 최대 노드 수를 도출할 수 있다.

서론에서 언급하였듯이 국내 모든 전송망은 KRF를 기준으로 하는 클럭으로 망동기가 실현되고 있으며 이 KRF는 전송노드를 거치는 동안 DOTS 자체의 원더와 지터 등 여러 가지 잡음의 영향을 받게 된다. 지터 성분은 전송노드나 PLL에 의해 어느 정도 흡수될 수 있으나 원더는 복수 노드를 거치는 동안 누적되어 클럭안정도에 영향을 주기 때문에 규격으로 제한하고 있다. 이러한 이유로 본 논문에서는 NG-SDH 시스템의 동기 동기클럭의 정확도와

안정도를 보장하기 위한 망동기장치를 설계 제작하고 성능을 검증하였다. 따라서 본 논문에서 제안하는 동기클럭모델에서는 원더의 잡음 성분을 배제하였다. 본 연구에 이어 계속적으로 위 결과를 반영한 NG-SDH 망동기 클럭특성 시뮬레이션을 수행하고자 한다.

참고 문헌

- [1] 이동훈, "디지털 통신망 동기기능 조사분석", *ETRI 조사분석지*, pp. 72-80, 1997
- [2] 김진권, "동기식 전송망의 동기 클럭원 공급방안에 관한 고찰", *정보통신연구지*, 제11권 1호, 1997.4.
- [3] Guowei Shi, "The Research on SDH Network Synchronization," *Circuits and systems, IEEE APCCAS 2000*, pp. 841-844," *The 2000 IEEE Asia-Pacific Conference*, 4-6 Dec. 2000.
- [4] ITU-T Rec. G.825, "The Control of Jitter and wander within digital networks which are based un the Synchronous digital hierarchy." Nov., 1999.
- [5] ITU-T Recommendation G.8251, "The control of jitter and wander whin the optical transport networks (OTN)," 2001.
- [6] ITU-T Recommendation O.172, "Jitter and wander measuring equipment for digital systems which are based on the synchronous digital hierarchy (SDH), 1999.
- [7] ITU-T Draft Recommendation G.7041, "Generic framing procedure(GFP)," Dec. 2001.
- [8] ITU-T Recommendation G.811, "Timing requirements of premary reference clock," Sep., 1997.
- [9] ITU-T Recommendation G.812, "Timing requirements of slave clocks suitable for use as node clocks in synchronization networks," June, 1998.
- [10] ITU-T Recommendation G.813, "Timing characteristics of SDH equipment slave clocks(SEC)," August 1996.
- [11] ITU-T G.781, "Synchronization layer functions," 1999.
- [12] KTS-ITU-G812-03, 디지털 네트워크 동기기준, 한국통신 1996.10.

- [13] Venceslav F. Kroupa, "Noise Properties of PLL Systems," IEEE Transactions on communications, vol. com-30, no. 10, pp 2244-2252, Oct. 1982.
- [14] ITU-T Recommendation G.810, Definition and terminology for synchronization networks," Sept., 1997.
- [15] 이창기, "동기식 선형망에서의 망동기 클럭 특성분석에 관한연구", 한국통신학회논문지, 97-9, vol. 22, No. 9, pp. 2062-2072.

양 총 열 (Choong-reol Yang)

정회원



1983년 2월 건국대학교 전자공학
학과(학사)
1998년 8월 충남대학교 대학원
전자공학과(석사)
2004년 8월 충남대학교 대학원
전자공학과(박사수료)
1997년~현재 한국전자통신연구

원, 책임연구원

<관심분야> 신호처리, 디지털통신

이 종 현 (Jon-hyun Lee)

정회원



1981년 2월 성균관대학교 전자
공학과(학사)
1983년 2월 성균관대학교 대학
원 전자공학과(석사)
1992년 2월 성균관대학교 대학
원 전자공학과(박사)
1983년 3월~현재 한국전자통신

연구원, 광전달망연구팀 팀장, 책임연구원

<관심분야> 광통신 시스템, 전송시스템

김 환 우 (Whan-woo Kim)

정회원



1977년 2월 서울대학교 전자공
학과(학사)
1979년 2월 한국과학기술원 전
기전자공학과(석사)
1988년 6월 University of Utah,
USA (Ph. D)
1979년~현재 충남대학교 전자공

학과 교수

<관심분야> 신호처리, 디지털통신, 이동통신