

PECL을 이용한 소형 세라믹 VCXO 개발

정회원 이재경*, 윤달환**

Development of Small-sized Ceramic VCXO using the PECL

Jae-Kyung Lee*, Dal-Hwan Yoon** *Regular Members*

요 약

본 논문에서는 통신소자의 경박·단소화 추세에 따라 적응 세라믹 SMD(surface mounted device) 패키지기술을 통하여 소형화한 5×7mm의 크기의 VCXO를 개발한다. 이때 안정된 입력신호를 공급하기 위하여 양의 이미터결합논리(PECL)를 이용하고, 역메사형 HFF(high frequency fundamental) 기법을 이용하여 제작한 수정소자로 IC에 설계함으로써 동작전압은 3.3 V, 저전력하에서 120MHz-180MHz 범위의 주파수에서 발진하며, Q인자는 5 K이상, 3.5 ps rms의 낮은 지터(Jitter)와 위상잡음 특성 및 일정기간의 경화실험에서도 안정된 출력특성을 보인다.

Key Words : PECL, VCXO, inverted mesa HFF, jitter, phase noise

ABSTRACT

In this paper, we have developed the miniature ceramic PECL(positive emitter-coupled logic) VCXO of the 5×7mm size for gratifying the requested specifications and the multilayer ceramic SMD(surface mounted device) package technology. The ceramic SMD PECL VCXO designed by the inverted Mesa type HFF is operating at the 3.3 Voltage and have the frequency range of 120MHz-180MHz. The Q factor is over 5K and it has the low jitter characteristics of 3.5 ps and low phase noise.

1. 서 론

최근 정보통신 시스템은 소형, 경량화 및 저전력화와 더불어 안정적인 품질의 통신을 위한 높은 주파수대의 소형 수정진동자의 개발을 요구하고 있다. VCXO에 사용되는 수정 진동자는 원하는 주파수에 맞추어 얇게 가공한 후 전압을 인가하기 위한 전극을 구축하고, 외부 회로와 연결하기 위해 외부 패키지(package)를 사용하거나 직접회로에 적용할 수 있다^[1,2].

기존에 사용되는 50 MHz이상의 수정진동자는 ASIC 및 회로기술에 힘입어 수정 진동자의 3차 상음(overtone)을 이용하여 발진 주파수를 형성하고 있으나 점차 발전하는 IC 방식의 발진은 세계시장

의 진화에 품질이 적응하지 못하는 실정이다^[3].

발진기 설계에 공통적으로 사용되는 인터페이스 논리는 PECL(Positive Emitter-Coupled Logic), LVDS(Low-Voltage Differential Signals) 및 CML(Current Mode Logic) 등이 있다. 이에 구형 HFF 수정(high fundamental frequency crystal)을 사용하는 PECL(positive emitter coupled logic) 전압제어 수정발진기는 기본모드의 발진을 통하여 안정적인 고주파수를 발진 시키며, 높은 주파수에 신호 처리를 위한 고부가가치 전자통신 제품에 응용되고 있다^[4,5]. 특히, 신호를 제공하는 TTL의 경우 지연시간은 10 ns정도인데 비해 PECL의 동작지연 시간은 2ns이하에서 동작하여 고속 연산 IC에 적합한 기준 주파수를 제공 한다. 이러한 논리동작은 비포화 동

* 세명대학교 전자공학과 DSP연구실 (ds2guf@nate.com)

** 세명대학교 전자공학과 DSP연구실 (yoondh@semyung.ac.kr)
논문번호 : KICS2004-07-073, 접수일자 : 2004년 6월 8일

작을 하고, 출력 레벨은 상위측이 2.3 V 이상이고 하위측은 1.68V 이하를 사용한다⁶⁾.

본 연구에서는 역메사에칭(inverted mesa etching) 방법을 도입하여 150 MHz 영역의 수정진동자를 개발하고, 안정한 IC 패키지에 실장하여 그 특성을 실험한다.

II. 발진기 설계 이론

발진기 설계의 핵심인 수정진동자는 절단 각도에 따라 여러 가지 특성이 결정되며, 압전효과(piezoelectric effect)에 의해 공진기로 사용된다. 이때 축과 각도의 선택은 공진기의 물리적·전기적 변수들을 결정한다. 수정진동자의 진동주파수는 식 (1)과 같이 결정된다^{7,8)}.

$$f(\text{MHz}) = \frac{K \times N}{\text{두께}} \quad (1)$$

여기서 K는 수정진동자의 두께상수로 AT-절단일 경우 1670 kHz/mm이고, BT-절단 일 경우 2560 kHz/mm 값을 갖는다. N은 발진 방식(1, 3, 5, 7)에 따른 기계적인 진동의 체배를 나타낸다. AT-절단은 Z-Y로 면이 형성 되어 있고, Y축을 길이 방향, Z축을 폭으로 형성하여 설계되어 진다. 이때 Y-축 변수를 고정으로 하고 주파수에 따라 Z-축의 변수를 조정하여 설계 되어진다.

수정진동자에 교류전압을 인가하면 진동이 발생하고, 진동 형태는 수정이 절삭되는 방식에 따라 좌우된다. 이러한 수정의 진동은 고조파와 비고조파 신호를 발생시키며, 주파수 또는 진동율은 절삭 크기 및 공진의 형태에 의해서 결정된다⁹⁾.

수정발진기는 전기적인 등가회로로 분석하며, 커패시터, 인덕터 및 저항으로 구성된다. 커패시터는 증착된 전극의 크기와 수정편의 두께에 의하여 결정되는 용량성 커패시턴스 성분이고, 인덕터는 수정의 유도성 인덕턴스으로써 진동시 수정의 기계적 질량으로 결정되므로 측정이 매우 어렵다.

등가회로 구성에서 직렬성분 C_1 , L_1 및 R_1 과 병렬성분 C_0 을 가정하여 구성할 수 있다. 이때 수정발진기 등가회로는 저항성분 $R_e(f)$ 와 리액턴스성분 $X_e(f)$ 이 직렬로 연결된 등가회로를 얻을 수 있으며, 주파수함수로 $R_e(f)$ 와 $X_e(f)$ 에 대한 수식을 구하면 다음과 같다¹⁰⁾.

$$R_e(f) = \frac{R_1}{\left(\frac{R_1}{X_0}\right)^2 + \left(\frac{X_m}{X_0} - 1\right)^2} \quad (2)$$

$$X_e(f) = \frac{X_m \left(1 - \frac{X_m}{X_0} - \frac{R_1^2}{X_m X_0}\right)}{\left(\frac{R_1}{X_0}\right)^2 + \left(\frac{X_m}{X_0} - 1\right)^2} \quad (3)$$

여기서 $X_0 = \frac{1}{wC_0}$, $X_m = wL_1 - \frac{1}{wC_1}$ 이다. 위 식

(2)와 (3)을 이용해서 R_1 을 고려함에 따라 임계주파수를 구할 수 있다. 첫째, 저항 R_1 을 무시했을 경우, 수정 임피던스의 허수부분이 0이 되는 주파수로 직렬공진주파수(f_s)와 병렬공진주파수를 얻을 수 있다. 둘째, 저항 R_1 을 고려한 주파수로써 어드미턴스 성분 중 서셉턴스가 0이 되어 임피던스가 실수인 저항 성분만으로 이루어지는 경우로서 공진조건인 허수부를 0으로 둔 경우이다. 두 가지의 주파수로써 낮은 주파수를 공진주파수(f_s)라 하고 그보다 높은 주파수를 반공진주파수라 한다. 아래 식은 직렬공진주파수 f_s 와 f_r 를 나타낸다.

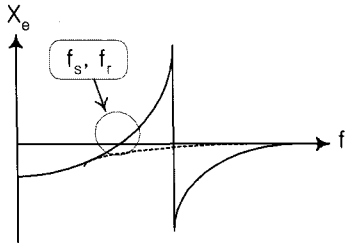
$$f_s = \frac{1}{2\pi\sqrt{L_1 C_1}} \quad (4)$$

$$f_r = f_s \left(1 + \frac{\gamma}{2Q^2}\right) \quad (5)$$

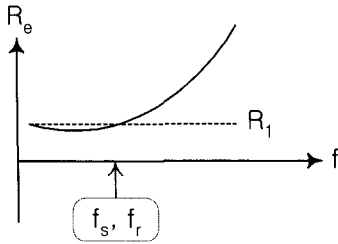
여기서 $\gamma = \frac{C_0}{C_1}$ 이고, $Q = \frac{wL_1}{R_1} = \frac{1}{wR_1 C_1}$ 이다.

그림 1(a)는 주파수(ω)에 대한 리액턴스(X_e)의 특성이고, 점선은 X_{C_0} 특성을 나타낸다. 여기서 원형은 주파수 f_s 와 f_r 성분의 요소 구간을 나타낸다. (b)는 주파수(ω)에 대한 저항(R_e)의 특성과 주파수 f_s 와 f_r 성분의 요소 구간을 나타낸다.

발진회로는 교류신호를 지속적으로 발생하며, 그 원리는 부저항에 의해서 발진회로의 손실을 보상하고 지속발진을 유지시키는 방법과 귀환 증폭회로에서 최대 증폭을 허용하는 특성을 유지함으로써 지속발진을 얻는 방법이 있다. 그러나 이 두 가지는 서로 등가 환산을 할 수 있으므로 회로의 종류에 따라 편리한 방법으로 해석하고 설계한다¹¹⁾. 그림 2는 부성저항 발진기에 대한 등가회로망 해석을 나타낸다. 여기서 A는 진폭이고, T는 반사계수를 나타낸다.



(a) 리액턴스 변화율



(b) 저항 변화율

그림 1. 주파수에 대한 리액턴스와 저항변화율
Fig 1. The ratio of and to the frequency

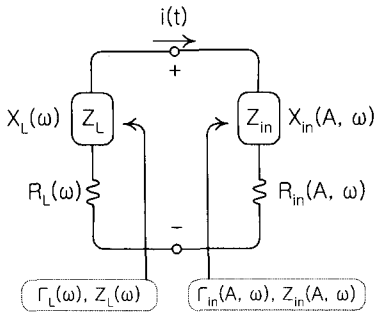


그림 2. 부정저항 발진기의 등가 회로망
Fig 2. The equivalent circuit of the negative resistor oscillator

회로의 입력부를 입력전류의 진폭(A)과 주파수의 입력임피던스로 나타낼 수 있으며, 능동소자의 입력 임피던스가 입력전류의 진폭과 주파수에 달려있다. 발진조건이 성립하기 위해서는 입력임피던스 $R_{in}(A, w)$ 는 발진주파수 w 에서 부정저항을 가져야 한다. 발진기의 입력과 부하 임피던스는 다음과 같다.

$$Z_{in}(A, w) = R_{in}(A, w) + jX_{in}(A, w) \quad (6)$$

$$Z_L(w) = R_L(w) + jX_L(w) \quad (7)$$

회로의 전류진폭이 A_0 일 경우 주파수 w_0 에서 발진이 일어나기 위해서는 입력 및 출력 반사계수에 대해 다음 조건을 만족한다.

$$\Gamma_{in}(A_0, w_0)\Gamma_L(w_0) = 1 \quad (8)$$

반사계수를 임피던스로 나타내면

$$\Gamma_{in}(A_0, w_0) = \frac{Z_{in}(A_0, w_0) - Z_0}{Z_{in}(A_0, w_0) + Z_0} \quad (9)$$

$$\Gamma_L(w_0) = \frac{Z_L(w_0) - Z_0}{Z_L(w_0) + Z_0} \quad (10)$$

식(9)와 (10)을 식(8)에 대입하여 정리하면 발진 조건은 다음과 같다.

$$Z_{in}(A_0, w_0) + Z_L(w_0) = 0 \quad (11)$$

귀환회로에 의한 발진의 기본 블록도는 그림 3과 같다. 출력전압이나 전류의 일부를 입력측으로 귀환하는 방법에 따라 직렬전압귀환, 직렬전류귀환, 병렬전압귀환 및 병렬전류귀환 등 4가지의 유형이 있다^{[10],[11]}.

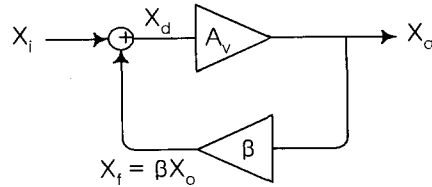


그림 3. 귀환회로
Fig 3. Feedback circuit

그림 3에서 A_v 는 귀환경로가 없는 경우의 증폭기의 입력신호 X_i 와 출력신호 X_o 간의 전달이득으로서 개방루프이득(open loop gain)이라고 하며, β 는 귀환회로의 역전달함수이다. 정귀환회로는 귀환신호 X_f 와 입력신호 X_i 가 가산동작을 하고, 부귀환회로는 감산동작을 한다. 따라서 정제환과 부귀환회로는 입력신호와 귀환신호의 합류지점에서의 위상차에 의해 결정된다. A_v 가 음이면 증폭기 출력에서 위상편이가 180° 일 경우이며, 이때 귀환회로를 통과한 위상이 180° 혹은 $180^\circ \pm 360^\circ$ 의 정수배가 되어야 귀환회로와 입력신호간의 합류지점에서의 위상편차가 0° 혹은 360° 의 정수배가 되어 정귀환회로를 형성하게 된다. 그림 3에서 X_d , X_o 및 X_f 로부터 페루프 이득 A_{vf} 를 구하면

$$A_{vf} = \frac{X_o}{X_i} = \frac{X_o}{X_d - X_f} = \frac{A_v}{1 - \beta A_v} \quad (12)$$

발진이 일어나기 위해서는 입력신호가 인가되지 않아도 출력신호가 존재하므로 위의 식(15)에서 페루프회로의 이득 A_{v_f} 는 무한대의 값을 갖고, 우변의 분모항은 0이면 $1 - \beta A_v = 0$ 이 성립된다.

III. 발진기 설계

3.1 역메사형 HFF형 발진자

발진기 수정편은 외부 충격으로부터 보호하기 위해 진동부와 보호부로 나누어 제작된다. 보호부는 전극을 구성하며, 전극반경이 0.8ϕ , 1.0ϕ 및 1.2ϕ 로 클수록 주파수편차특성이 불안정하다. 따라서 0.8ϕ 인 경우 온도에 대한 주파수 편차가 작다. 그림 4(a)는 역메사형 HFF 구조와 (b)는 이를 집착한 등근형 HFF 수정편을 나타낸다.

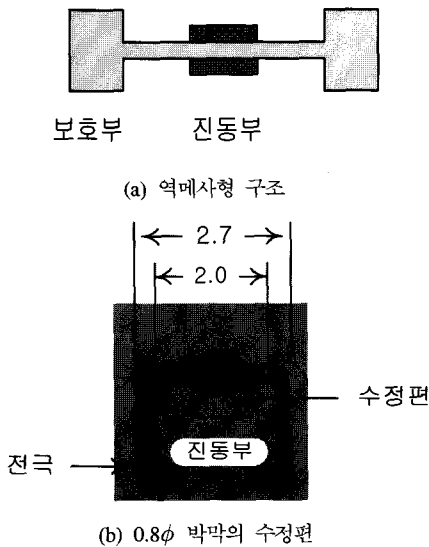
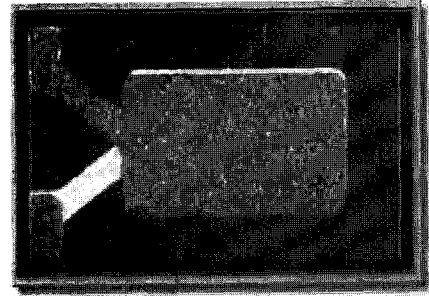


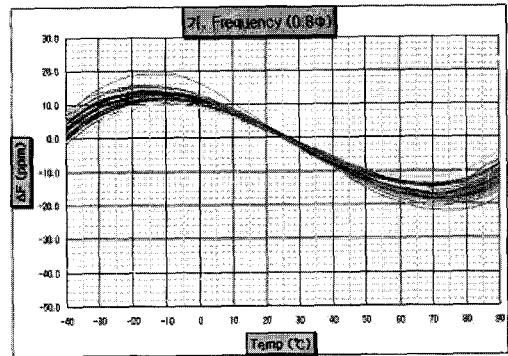
그림 4. 역메사형 HFF 구조와 수정편 구조
Fig 4. The component of an inverted MESA type HFF and crystal structure

HFF 소자의 온도에 대한 주파수 변화를 확인하기 위해 $3^{\circ}00'00'' \pm 1$, $2^{\circ}58'30'' \pm 1$ 및 $2^{\circ}56'00'' \pm 30$ 의 각도를 실험한다. $3^{\circ}00'00'' \pm 1$ 와 $2^{\circ}58'30'' \pm 1$ 각도는 주파수에 대한 온도 특성이 10°C 이하에서 지속적으로 감소하고, $+40^{\circ}\text{C}$ 이상에서 지속적으로 증가하여 상온에서는 양호 하나 극한 온도 지점에서는 부적합하다. 따라서 설계기준에 적합한 $2^{\circ}56'00'' \pm 30$ 를 선택한다.

그림 5(a)는 사용 특성에 적합한 각도 및 치수로 절단한 진동 소자 및 전계를 인계하기 위하여 브랭



(a) 브랭크(Blank) 및 전극



(b) 온도에 대한 주파수특성

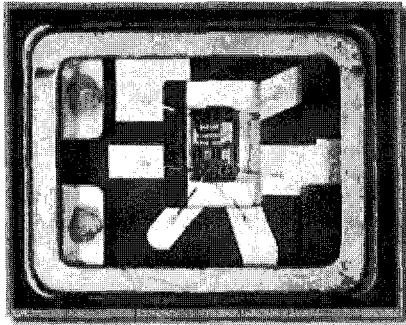
그림 5. 전극반경 0.8ϕ 수정발진자의 특성
Fig 5. The characteristics of an electrode radius 0.8ϕ crystal

크 표면에 부착시킨 금속 박막을 나타내고, (b)는 주파수 편차가 작은 전극 반경 0.8ϕ 의 주파수 특성 실험결과이다. 전극 설계는 수정편에 압전현상을 발생시키는 금속전극을 형성한다. 실제 제품 제작에 있어 온도에 대한 출력신호는 전극크기에 민감하다.

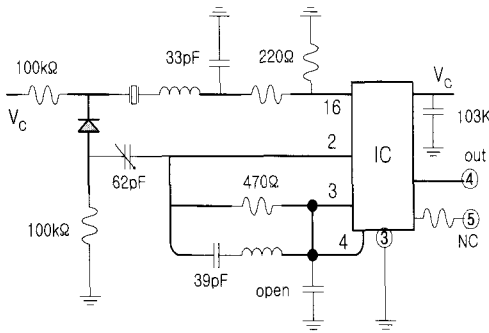
이때 회로분석기(network analyzer)를 통해 에칭이 끝난 HFF 소자의 기생 발진을 검사한 결과 주파수는 178 MHz 로 최대 형성 전압이 6 dB 이상이 되고, 실제 규격 3 dB 보다 양호한 특성을 갖는다.

3.2 PECL형 IC

세라믹 패키지 (Package) 및 IC는 그림 5의 브랭크 (blank)를 외부회로와 연결하기 위한 구조로 수정진동자를 발진시키는 회로가 내재되어있는 집적회로이다. 그림 6(a)는 세라믹 패키지이고, (b)는 내부회로도를 나타낸다. 이때 설계된 패키지의 크기는 $5 \times 7\text{ mm}$ 로 세라믹 PECL VCXO와 IC를 연결하고 회로특성을 실험한다. 전극형성 물질로는 은(Ag)을 가장 많이 사용하며, 제품에 따라서는 금(Au), 알루미늄(Al), 크롬(Cr), 니켈(Ni), 또는 두가지 이상의 혼합층도 사용되고 있다.



(a) 세라믹 패키지와 IC



(b) 회로도

그림 6. 세라믹 패키지와 회로도
Fig 6. Package and circuit diagram

회로의 PCB는 FR-4, $t=1.0\text{mm}$ 를 사용하였으며 전송선로의 특성임피던스를 50Ω 을 기준하여 설계한다. 그림 7은 제작된 발진기를 나타낸다.

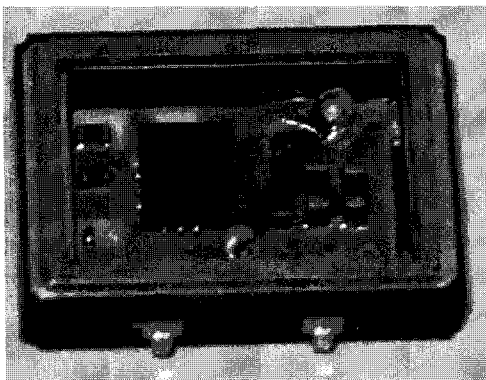


그림 7. $5 \times 7\text{mm}$ 크기의 VCXO
Fig 7. VCXO of $5 \times 7\text{mm}$ size

IV. 실험결과

표 1은 PECL 세라믹 VCXO의 요구규격과 실험 측정치를 나타낸다.

표 1. 규격과 실험 특성

Table 1. The specification and an experimental characteristics

항 목	규격	측정 결과
주파수	155.52 MHz	155.52 MHz
온도범위	-40°C ~ 85°C	
안정도	$\pm 50 \text{ ppm}$	$\pm 40 \text{ ppm}$
소모전류	100 mA_{max}	48 mA
V_{oh}	$2.275 V_{\text{min}}$	2.35 V
V_{ol}	$1.680 V_{\text{min}}$	1.35 V
$T_{\text{risingtime}}$	2 nS	400 pS
$T_{\text{fallingtime}}$	2 nS	358 pS
DutyCycle	60 %	50.0 %
Jitter	3.5 ps	58.45 fS

그림 8은 출력주파수 155.518 MHz이고 루프대역 93.7 Hz인 위상잡음특성을 나타낸다.

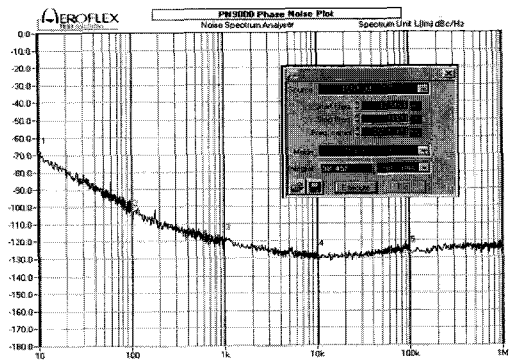
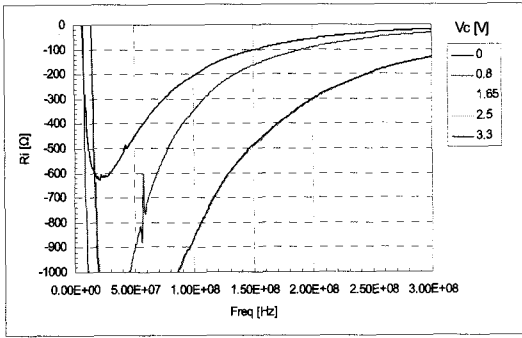


그림 8. 위상잡음 특성
Fig 8. The characteristics of phase noise

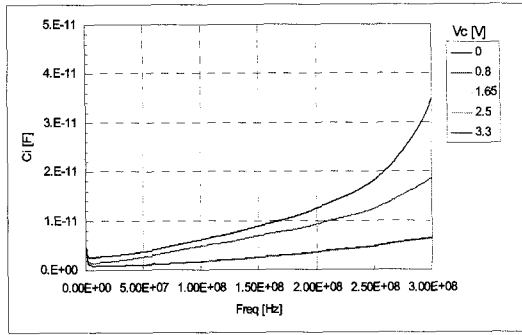
세라믹 패키지에 PECL칩을 장착 후 덤집착 및 결선을 완료한 제품은 그 길이 및 패키지 내부의 패턴 등에 의하여 기생 인덕턴스 및 커패시턴스가 발생한다. 이것은 칩 자체의 발진부 입력 임피던스에 영향을 주기 때문에 칩이 패키지에 장착된 상태에서 발진부 입력임피던스 및 내부 가변용량의 범위를 제어전압을 가변하며 측정한다.

그림 9(a) PECL VCXO 칩의 내부 발진부의 부성저항과 (b) 제어전압을 0~3.3 V까지 0.8 V 스텝으로 가변하면서 측정한 발진부 리액턴스 특성을 나타낸다.

부성저항은 155.52 MHz에서 가변용량 제어전압을 0~3.3V로 가변할 경우 $-96 \Omega \sim 466 \Omega$ 까지 변화하는 것을 나타내고 있다. 또한 제어전압에 대한 가변용량은 2.5~9.0 pF까지 변화특성을 보였다.



(a) 부정저항 특성



(b) 리액턴스 특성

그림 9. 발진부 특성
Fig 9. The characteristics of an oscillation part

그림 10은 제어전압에 대한 가변용량이 수직축에 대하여는 부하용량으로 보이므로 이 주파수에 대한 인덕턴스 용량변화를 나타낸다.

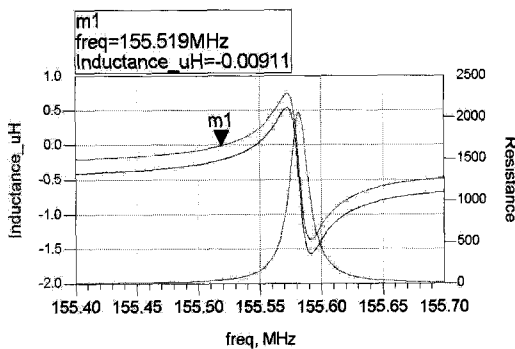


그림 10. 주파수변화 실험
Fig 10. An experiment of frequency variation

그림 11은 180.000MHz 최종 PECL VCXO의 출력파형으로 상승시간(rising time)은 345 ps이고 하강시간(falling time)은 312 ps로서 설계규격 2 ns 이하 대비 대단히 양호한 특성을 나타내며, Duty Cycle은 약 50%인 특성을 나타낸다.

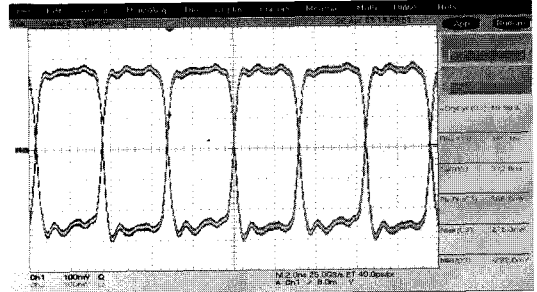


그림 11. PECL VCXO 출력파형
Fig 11. The output waveform of the PECL VCXO

그림 12는 180 MHz에서 $-40^{\circ}\text{C}\sim 85^{\circ}\text{C}$ 범위내 VCXO온도특성을 나타낸다. 온도 주파수 곡선변화 폭은 10 PPM 이내로 상온에서뿐만 아니라 낮은 온도와 높은 온도에서도 좋은 특성을 나타낸다

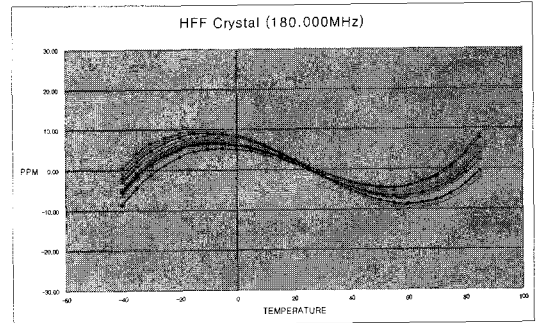


그림 12. PECL VCXO 온도특성
Fig 12. The thermal characteristics of the PECL VCXO

신뢰성 시험은 환경변화에 대한 주파수의 변화를 관찰함으로써 제품의 결함 여부를 판단한다. 지금까지 온도변화 $-40^{\circ}\text{C}\sim 85^{\circ}\text{C}$ 에 대한 안정된 출력 주파수 변화를 얻었고, $\pm 20\text{ppm}$ 이내의 안정된 온도를 가졌다. 내구성에 대한 가속수명 시험은 85°C 고온 챔버(Chamber)에서 30일 동안 노화에 대한 주파수 변화를 실험하였다. 그림 13은 155.520MHz 발진기를 고온저장 정확실험 결과를 나타낸다.

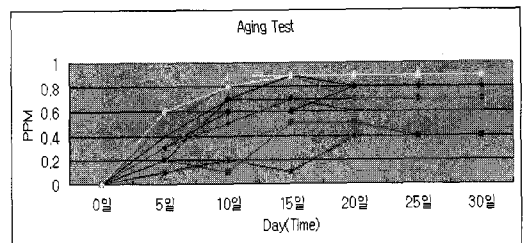


그림 13. 정확실험
Fig 13. Aging experiment

V. 결 론

본 연구에서는 발진기의 소형화 및 경량화 추세에 따라 신호전달의 기준으로서 PECL을 이용한 $7 \times 5 \text{ mm}$ 크기의 세라믹 SMD VCXO를 개발하였고, 155.52 MHz에서 제어전압을 0~3.3V로 가변할 경우 부성저항은 $-96 \Omega \sim -466 \Omega$ 까지 변하고, 가변용량은 2.5~9.0 pF까지 변화는 특성을 얻었다.

또한 180 MHz 실험에서 출력파형의 상승시간(rising time)은 345 ps이고, 하강시간(falling time)은 312 ps로서 설계규격 2 ns이하 대비 대단히 양호한 특성을 얻었고, $-40^\circ\text{C} \sim 85^\circ\text{C}$ 범위내 VCXO 온도 특성은 변화폭이 $\pm 20 \text{ ppm}$ 이내로 상온에서뿐만 아니라 낮은 온도와 높은 온도에서도 좋은 특성을 얻었다. Duty Cycle은 50%와 주파수 안정도면에서도 우수한 특성을 얻었다.

참 고 문 헌

- [1] B. Leonard and K. Lear, "Saw-based ECL VCO provides Low-Jitter Performance for SONET Applications," Applied Microwave & Wireless,
- [2] R. W. Rhea, *Oscillator Design and Computer Simulation*, Noble, 1995
- [3] (주)K.Q.T, "Technical Information for Crystal Oscillator & VCXO," 2002
- [4] www.conexant.com
- [5] www.vectron.com
- [6] NPC Nippon Precision Circuits Inc., 330 MHz PECL-output Oscillators ICs, CF5034 Series
- [7] U. L. Rohde, "Nonlinear Effects in Oscillators and Synthesizers," IEEE MTT-S, pp. 1-23, May 2001
- [8] www.kqt.co.kr, www.temex.com
- [9] R. L. Filler, "The Effect of Vibration on Frequency Standards and Clocks," Proc. 35th Annu. Symp. Freq. Control, pp. 31-39, May 1981
- [10] D. R. Leeson, "A Simple Model of Feedback Oscillator Noise Spectrum," Proc. of the IEEE, pp. 329-330, April 1966
- [11] W. Boyles, "The Oscillator as a Reflection Amplifier : an Intuitive Approach to Oscillator Design," Microwave Journal, pp. 83-98, June 1986
- [12] Conexant System, Inc., Phase Noise Appli-

cation Note, 2001

[13] www.vectron.com, Jitter in Clock Sources

이 재 경(Jae-Kyung Lee)

정회원



2002년 세명대학교 전자공학과 학사 졸업.

2004년 세명대학교 전자공학과 석사 졸업.

2004년~현재 세명대학교 전자공학과박사과정

<관심분야> 통신 및 신호처리,

모바일 및 마이크

윤 달 환(Dal-Hwan Yoon)

정회원



1984년 한양대학교 전자공학과 학사 졸업.

1986년 한양대학교 전자공학과 석사 졸업.

1994년 세명대학교 전자공학과 박사 졸업.

1995년~현재 세명대학교 전

자공학과 교수

<관심분야> 통신 및 신호처리, 의용전자, 모바일 및 마이크