

HVDC 시스템의 주파수 신호검출 위치 변경에 따른 새로운 주파수 제어기 특성 연구

朴鍾廣[†], 金燦起, 韓秉誠

A Study on the Characteristics of New Frequency Controller According to
Changing the Frequency Measurement Position of HVDC System

Jong-Kwang Park, Chan-Ki Kim, and Byoung-Sung Han

요 약

본 논문은 해남에서 제주로 연결되어 운전중인 HVDC 시스템의 새로운 주파수 제어기에 대하여 연구하였다. 연구의 첫 번째 목적은 현재의 동기조상기를 제거하기 위하여 새로운 주파수 제어기를 개발하고, 평가를 수행하는 것이다. 모의실험 케이스를 만들기 위하여 PSCAD/EMTDC와 PSS/E를 혼합하여 사용하였고 주 시스템 연구는 과도 상태 분석을 위하여 PSCAD/EMTDC를 사용하였다. 연구 케이스는 3상과 1상 지락 그리고 부하탈락에 대한 사고를 모의하였고 연구결과를 나타내었다. 결론적으로 AC 네트워크로부터 검출되는 새로운 주파수 측정 방법은 유효한 주파수 제어와 동적 성능을 나타냄을 알 수 있었다.

ABSTRACT

This paper deals with the new frequency controller of the HVDC scheme linking Haenam to Cheju Island. The primary aim of the study is to develop and evaluate a new frequency controller after the removing of the present synchronous compensators. The simulation methods are the mix of PSCAD/EMTDC and PSS/E, the main system studies are done for the transient state analysis using PSCAD/EMTDC. The study cases are completed involving 3 phase, single phase trip and load tripping events and study plots presented. In conclusion, the new frequency measurement from the AC network gives effective frequency control and dynamic performance.

Key Words : HVDC, Frequency Control, Phase Loop Locked(PLL)

1. 서 론

HVDC 시스템은 강한 계통의 전력을 약한 계통으로 전송하기 위한 전력전송법으로 주파수 제어를 통해 약

한 계통의 외란 발생시 발전기 운전보다 빠르게 계통 주파수를 안정적으로 유지시킬 수 있는 장점이 있다. 제주계통에 설치되어 운전되고 있는 HVDC 시스템은 사이리스터를 전력변환 소자로 사용하고 있어 강제전류방식으로 운전되고 있다. 이러한 전류형 HVDC 시스템은 사이리스터의 점호각에 의하여 전송전력(유효전력)의 60%에 해당하는 무효전력을 인버터 계통으로부터 흡수하고 있다^[1]. 일반적으로 HVDC 시스템에 공급하는 무효전력은 콘덴서에 의해서 공급하여주고 있다. 하지만 제주와 같이 약한 계통은 일정용량의 콘덴

[†]교신저자 : 정회원, 한전전력연구원 전력계통연구소 연구원
E-mail : bigtree@kepco.co.kr
정회원, 전력연구원 차세대전력기술그룹 선임연구원
정회원, 전북대 전자정보공학부 교수
접수일자 : 2005. 8. 8 1차 심사 : 2005. 8. 29
심사완료 : 2005. 9. 3

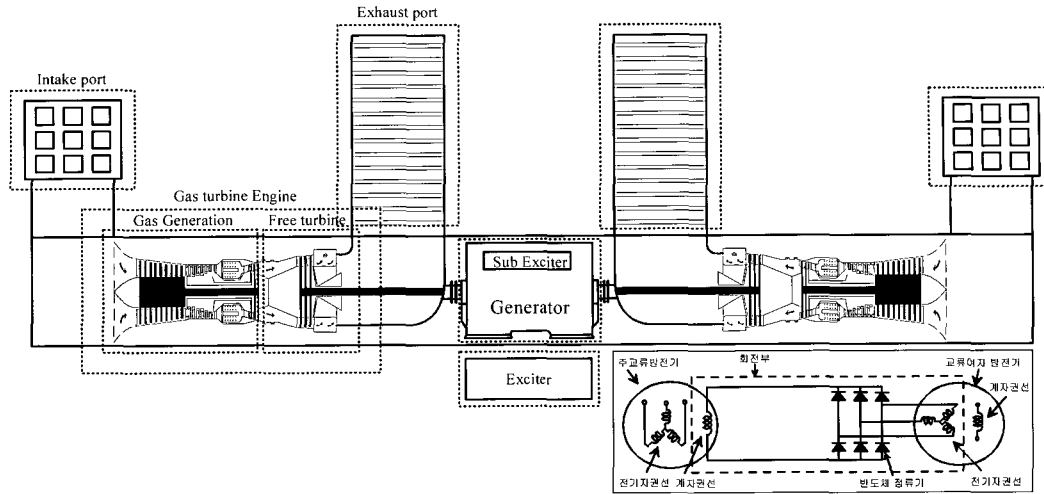


그림 1 동기조상기 구조
Fig. 1 Structure of Synchronous Compensator

서 투입/개방에 의해 계통에 외란을 일으킬 수도 있으므로 콘덴서와 리액터의 교차투입으로 계통에 미치는 영향을 최소로 운전하고 있다^[4]. 하지만 일정용량의 콘덴서는 HVDC 시스템의 순간적인 수전부하 변화에 대하여 선형적으로 무효전력을 공급할 수 없다. 또한 갑작스런 HVDC 시스템의 공급중단으로 콘덴서 충전에 의한 무효전력의 과잉공급으로 발생하는 순간과전압 상승을 억제하는 보상장치가 필요하게 된다^[2]. 따라서 제주와 같이 약한 계통에 설치된 HVDC 시스템에서는 동기조상기의 활용이 절대적으로 요구되어 진다^[5].

제주 HVDC 시스템에 동기조상기를 사용하게 되면 다음과 같은 이점을 얻을 수 있다.

- 계통의 단락용량(SCR) 증대- 과도시 무효전력 보상
- 계통의 관성력 증대
- 안정된 주파수 신호검출
- HVDC 시스템 시 충전(Black Start)

제주 계통의 안정적인 주파수 유지를 위하여 제주-해남 HVDC 시스템은 주파수 운전을 시행하고 있다. HVDC 시스템의 주파수 제어신호는 제주 동기조상기의 발전기에 부착되어 있는 부여자기(PMX:Permanent Magnet Exciter)로 부터 검출하여 사용하고 있다^[1]. 하지만 운전중인 동기조상기는 사용기한 경과로 고장에 노출되어 있고, 계통부하의 급격한 증가로 인하여 발전기 운전이 검토하고 있어 주파수 제어기 신호원을 보다 안정적인 신호원으로 변경할 필요성이 대두되고

있다. 따라서 본 논문에서는 현재 HVDC 시스템의 안정적 주파수제어를 위하여 사용되고 있는 주파수 신호원을 동기조상기의 기계적 신호에서 제주 AC계통 전압으로 변경하여 제주 전체의 계통주파수 신호를 HVDC 시스템의 주파수 신호원으로 대체 공급함으로써 제주 전력계통을 안정적으로 유지시키는데 있다.

본 논문에서 적용된 주파수 제어기의 운전 신뢰성을 검증하기 위하여 전력계통 과도현상 프로그램(PSCAD/EMTDC)을 이용하여 HVDC 시스템을 구현하고, 시뮬레이션을 수행하였다^[3]. 또한 제주 HVDC 시스템의 주파수 검출 방법 변경에 따른 주파수 제어기 제어 효과를 비교/검증하기 위하여, 계통의 외란에 따른 제어기의 과도상태 시 응답특성을 분석하였다.

2. 연구배경

2.1 현재의 HVDC 시스템의 주파수 제어 시스템

제주-해남 HVDC 시스템의 수전용량은 제주계통의 발전용량에 비해 상대적으로 크므로 제주 계통의 주파수를 유지시키는 데 주로 사용되고 있다. 제주-해남 HVDC 시스템의 주파수 제어를 위하여 사용 중인 동기조상기의 외형은 그림 1에 나타나있다. 동기조상기의 설비용량은 70[MVA] (G/T×2기)로 구성 되어있으며 가스터빈은 효율이 높고 신속한 기동 특성을 가지고 있기 때문에 초창기에 도입되었다.

일반적으로 동기조상기로부터 주파수 신호를 검출하는 방법은 제어의 정밀도를 높이기 위해서 주파수 채택 회로나 분해능이 높은 센서를 이용한다. 그림 2는

현재의 제주-해남 HVDC 시스템의 주파수 검출 방법을 나타내고 있는 것으로 부여자기 회전축에서 동기조상기의 주파수인 60Hz에 대한 8채배 값인 480Hz가 검출되며 검출된 신호는 트랜스듀서를 통하여 60Hz의 안정된 주파수 신호를 결정하고 HVDC 시스템의 주파수 제어기에 입력된다.

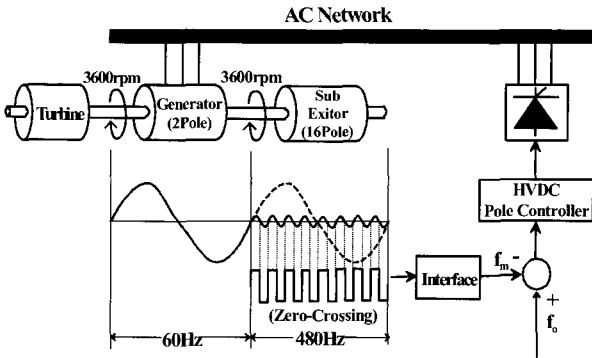


그림 2 동기조상기에서 주파수 검출 방법
Fig. 2 Frequency Detection Method in Synchronous Compensator

제주-해남 HVDC 시스템은 발전력이 부족한 제주계통의 주파수 유지를 주 목적으로 설계되었기 때문에 발전기와 함께 부하를 분담을 할 수 있도록 그림 3과 같이 Speed Droop 특성을 가지고 있다. 제주에 설치되어 있는 대부분의 화력발전기는 HVDC시스템에 비하여 소 용량이기 때문에 속도 변화에 민감한 Speed Droop을 가지고 있으나 HVDC는 제주계통의 50% 부하 그리고 극단적으로는 제주 전 부하를 감당할 수 있기 때문에 Speed Droop을 영(零)으로 운전된다^[5].

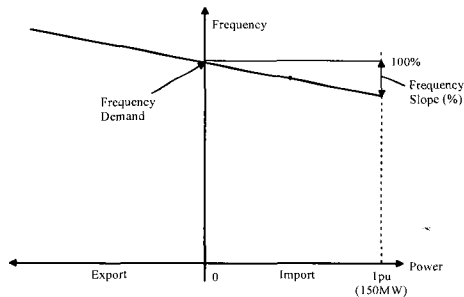


그림 3 HVDC 시스템의 Speed Droop 특성
Fig. 3 Speed Droop Characteristic of HVDC System

HVDC시스템은 정 주파수, 정 전력, 그리고 정 전류 제어모드를 가지고 운전되고 있다. 이 중에서 제어의 가장 기본이 되는 것은 정전류 제어모드로써, HVDC

시스템이 전류원 시스템이기 때문에 전류 제어기를 기본으로 하여 여러 가지 제어모드(전압 제어모드, a제어모드 그리고 v제어모드)를 결합하여 HVDC시스템의 동작 알고리즘을 구성하고 있다^[6]. 주파수 제어모드의 출력과 정전력 제어모드의 출력은 최종적으로는 전류 지령값으로 변환되어야 한다. 이러한 전류제어기는 HVDC 시스템의 전류지령값을 발생시키는 부분으로서 제주 인버터 변환소의 주 제어기로 운전되고 있다.

그림 4는 간략화 시킨 HVDC 주파수 제어기의 전달 함수 블록도이다. 신호 앞단에 설치되어 있는 필터는 불필요한 잡음에 HVDC시스템이 동요하는 것을 막기 위해 HVDC시스템의 주파수 제어기 피드백 입력단자부에 잡음제거용 필터가 설치되어 있다.

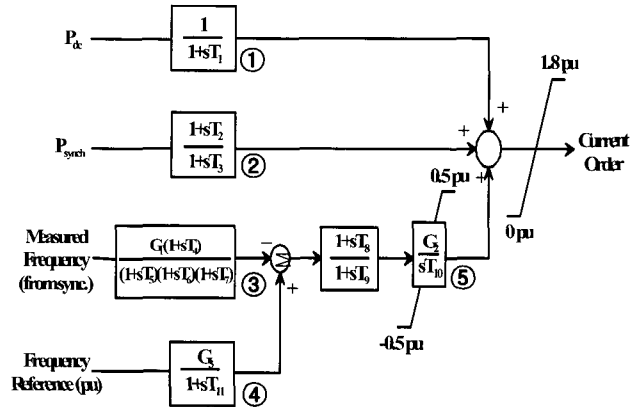


그림 4 현재의 HVDC 시스템 주파수 제어기 블록도
Fig. 4 Existing HVDC System Frequency Controller Block

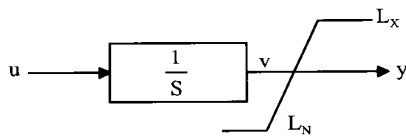
그림 4에서 보여주는 각 블록의 전달함수는 다음과 같다.

- ① 직류전력(Pdc) : $G = \frac{1}{(1+sT_1)}$, ($T_1=0.005$)
- ② 동기조상기 전력(Psync) : $G = \frac{sT_2}{(1+sT_3)}$, ($T_2=5, T_3=10$)
- ③ 측정주파수(Measured Frequency)
 $G = \frac{G_1(1+sT_4)}{(1+sT_5)(1+sT_6)(1+sT_7)}$
여기서 $G_1 = 2.2, T_1 = 0.385, T_2 = 0.035,$
 $T_3 = 0.022, T_4 = 0.022$
- ④ 주파수 지령값(Frequency Reference)
 $G = \frac{G_3}{(sT_{11})}$, ($G_3=2.2, T_{11} = 0.022$)
- ⑤ 적분기 : $S = \frac{G_2}{sT_{10}}$ ($G_2=0.38, T_{10} = 0.052$)

HVDC 도입 당시 제주 AC계통은 발전력이 부족하여 한 교류계통에 전력을 전송하는 HVDC 시스템에서

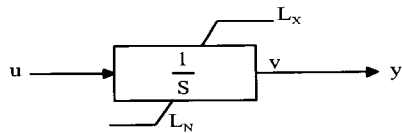
주파수 제어기의 구성은 적분 제어기를 기본으로 사용하고 있는데, 이러한 이유는 HVDC 시스템이 고립계통에 대해서 독립(Isochronous) 모드로 동작하는 것을 기본으로 하기 때문이다.

그림 5의 (a)의 Windup 적분기는 제어기 포화에 의해 응답의 오버슈트 및 느린 정착시간을 초래하여 과도응답특성이 저해되는 문제점이 존재한다. 이러한 적분기의 Windup은 위치변화가 빈번한 운전조건에서 심한 경우 응답의 불안정을 유발하여 시스템의 잦은 Trip의 원인이 되기도 한다. 따라서 현재의 HVDC 시스템의 적분기는 출력이 포화되는 것을 막고 현재의 값을 유지하게 하기 위하여 그림 5의 (b)와 같이 Anti-Windup을 적용하여 주파수 제어기의 적분기에 대한 문제점을 최소화하였다.



If $LN < v < LX$, then $y = v$
 If $v \geq LX$, then $y = LX$
 If $v \leq LN$, then $y = LN$

(a) Windup 적분기



If $LN < v < LX$, then $\frac{dy}{dt} = u$
 If $y \geq LX$ and $\frac{dy}{dt} > 0$, then set $\frac{dy}{dt} = 0$, $y = LX$
 If $y \leq LN$ and $\frac{dy}{dt} < 0$, then set $\frac{dy}{dt} = 0$, $y = LN$

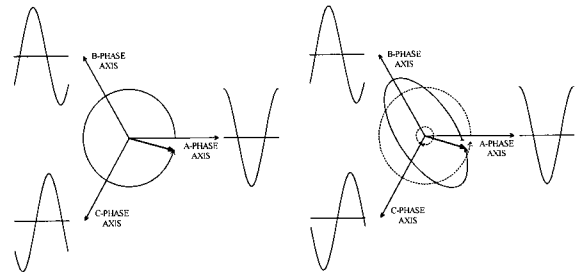
(b) Anti-windup 적분기

그림 5 Windup 적분기와 Anti-Windup 적분기 개념
 Fig. 5 Concept of Windup and Anti-windup Integrator

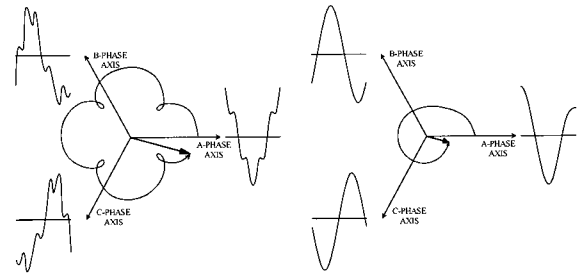
3. 새로운 주파수 측정방법 검토

3상, 1상 지락에 의한 AC 계통변화 시 동기조상기로부터 검출되는 주파수 신호원은 변압기에 의하여 분리되고 기계적 회전자 측으로 입력됨으로 계통변화에 민감하게 동작하지 않는다. 하지만 모선전압으로부터 직접 입력되는 경우에는 그림 6과 같이 계통전압이 지락, 단락사고, 그리고 주파수를 측정하는 인근에서 변압기나 리액터 또는 콘덴서를 가압하는 경우에는 3상

전압이 심하게 왜곡되기 때문에 정확한 위상이나 주파수를 측정하는 것이 불가능하여 계통변화에 민감하게 동작된다. 따라서 주파수 검출위치를 모선으로 변경시 외란에 대한 계통변화를 고려해야한다.



(a) 정상상태 (b) 3상 불평형(고장 발생)



(c) 3상 불평형(고조파 함유) (d) 3상 불평형(단조 감소)

그림 6 외란에 의한 3상 전압 왜곡
 Fig. 6 3 Phase Voltage waveform by Disturbance.

3.1 AC 주파수 측정방법

AC 전압으로부터 검출할 수 있는 주파수 측정 방법들은 여러 가지가 있기 때문에 각각의 AC 주파수 측정법들의 장단점을 비교하여 제주 HVDC 시스템에 적합한 AC주파수 측정법을 비교하고자 한다. 검토된 AC 주파수 측정방법은 Zero Crossing Period Measurement, Correlation Based Estimator, Single-Delay Multiplication Method, 위상동기루프(Phase Locked Loop Method)이며 이들의 잡음, 왜곡, 응답의 속도, 샘플링 필요조건, 계산의 복잡성 그리고 위상 변화 검출에 관하여 비교 검토하였다.

3.1.1 Zero Crossing Period Measurement

영교차 주기 측정법은 AC 주파수의 반주기와 입력되는 주기신호의 주파수에 의하여 검출된다. 입력신호는 단상이나 3상의 벡터 조합을 사용할 수 있으며, 전압파형의 Positive와 negative 사이의 영교차 시간을 측정한다. DC 오프셋을 제거하기 위하여 정파 음 반주기를 합하고, 평활된 반주기에 대한 전체시간을 평균

하여 계산한다. 레벨과 시간 보호기들은 신호의 3차 고조파로 인한 잡음 또는 왜곡으로부터 잘못된 검출을 방지하기 위하여 영교차 검출에 대체로 내장시킨다. 영교차 주기 측정법은 잡음에 의해서 영교차 검출이 잘못된 측정을 방지하지 못하기 때문에 낮은 신호대 잡음비(SNR) 환경에서는 적합하지 않다. 그러나 AC 계통전압 신호는 일반적으로 높은 SNR을 가지며 주된 문제점은 레벨과 시간 보호가 사용될 수 있는 파형의 고주파 왜곡이다. 측정 주파수는 매 반주기마다 측정될 수 있으며 평균화되고, 필터링이 필요하게 되며, 응답 시간은 200ms 이내이다. 따라서 디지털 구현 시 영교차는 샘플링 시간 이내에 해당되지 않을 수도 있다. 그럼으로, 높은 샘플링 비율이 요구된다. 계산은 복잡하지는 않지만 위상변화에 대해서는 검출이 부적합하다.

3.1.2 correlation Based Estimator

추정에 근거한 관계법은 관계된 벡크의 출력에서 최대 에너지를 찾는 방법을 적용하여 주파수를 검출하게 된다. 입력신호는 다른 주파수들의 참조신호들의 장치와 관계되며 검색에 의하여 관계된 출력에 최대 에너지를 검출하며 상호관계된 신호와 검색된 신호를 병렬로 처리하게 된다. 식 (1)의 입력신호와 식 (2)의 Correlation 추정 참조신호의 곱으로 전체 시간의 평균치에 의해 유도된다.

$$\chi(t) = Ae^{j2\pi f_0 t + \phi} \quad (1)$$

여기서 f_0 는 추정 주파수, ϕ 는 신호의 위상변화

$$r(t) = e^{-j2\pi f t} \quad (2)$$

여기서 f : 참조신호 주파수

$$E(t) = \chi(t) \quad (3)$$

$$r(t) = Ae^{j2\pi(f_0 - f)t + j\phi} \quad (4)$$

이렇게 유도된 식을 시간 t 에서 $(t+T)$ 로 적분을 수행하면 식 (7) 다음과 같다.

$$\int_t^{t+T} C(t) dt = \int_t^{t+T} Ae^{j2\pi(f_0 - f)t + j\phi} dt = AT \text{sinc}((f_0 - f)T) (e^{j\pi(f_0 - f)T + j2\pi(f_0 - f)t + j\phi}) \quad (5)$$

기저주파수(f_0)가 50Hz일 때 상관관계함수의 진폭은 다양한 샘플링 주기로 아래와 같이 검출할 수 있다.

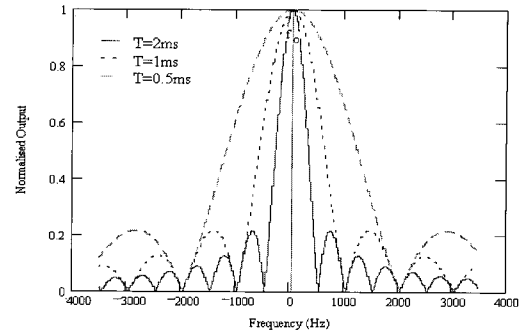


그림 7 샘플링 주기에 의한 주파수 고정범위
Fig. 7 Frequency Rock Range for Sampling Periods

3.1.3 Single-Delay Multiplication 측정법

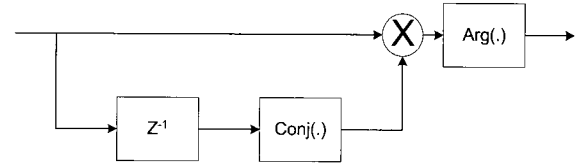


그림 8 Single-Delay Multiplication 검출방법
Fig. 8 Detection method of Single-Delay Multiplication

단일지연 곱셈법은 직접적으로 이산적인 각주파수(ω)를 검출한다. 위쪽에 그림에서 볼 수 있듯이 식 8의 샘플링된 복합신호는 자신의 이전 샘플(식 6)을 Conjugate한 값(식 7)으로 곱한 것으로, 독립변수를 설정함으로 생성되는 출력에서 이산적인 각 주파수를 복구하여 주파수를 검출할 수 있다.

$$\chi(n) = Ae^{j2\pi f n + j\phi} \quad (6)$$

$$\chi(n-1) = Ae^{j2\pi f (n-1) + j\phi} \quad (7)$$

$$C(t) = r(n) \cdot \overline{r(n-1)} = A^2 e^{j2\pi f T_s} \quad (8)$$

여기서 이산적인 각 주파수 : $\omega = 2\pi f T_s$

낮은 신호대 잡음비(SNR)에서 곱셈기 출력은 독립변수가 이산적인 각 주파수를 검출하기 위하여 검출 전에 평균기능을 보강하여 사용한다. 이 기법은 높은 SNR과 끊임없이 계속적으로 이어지는 파형에 적용하는 것이 매우 좋다. 그러나 SNR의 갑작스런 감소와 신호의 순간적인 위상변화가 발생하기도 한다. 이 방법은 낮은 샘플링 주파수에서 동작할 때 좋은 성능을 나타내며, 계산은 복잡하지 않다. 또한 위상 변화에 대한 정보는 오직 샘플들 사이의 위상 변화를 통하여 얻을 수 있다.

3.1.4 위상 고정 루프법(PLL)

PLL(Phase Locked Loop)법은 식 (9)의 입력 신호와 식 (10)의 내부 페이저 사이의 위상 오차에 의해 주파수를 검출 할 수 있다^[7].

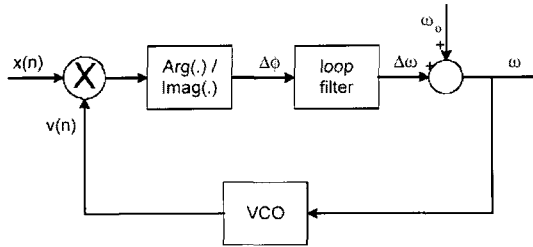


그림 9 위상 고정 루프(PLL) 검출방법
Fig. 9 Detection method of Phase Locked Loop(PLL)

$$\chi(n) = A e^{j\pi f n + \phi} \tag{9}$$

$$\nu(n) = A e^{-j\omega n} \tag{10}$$

$$\Delta\phi = \chi(n) \cdot \nu(n) = A^2 e^{j2\pi f n - \phi} \tag{11}$$

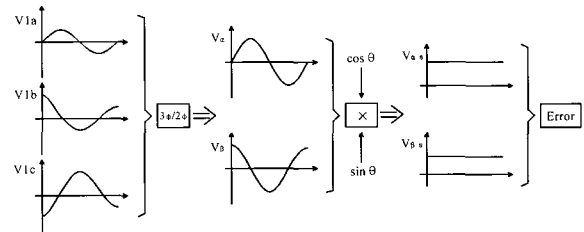
출력의 독립변수 또는 허수부분은 추정되는 주파수 오프셋($\Delta\omega$)을 주는 루프 필터에 의해 공급된다. 주파수 출력(ω)은 참조 페이저를 위해 만들어지는 발진기 이용 한다. 위상 동기 루프(PLL)의 주파수 검출방법은 적절한 신호대 잡음비에서 운전할 수 있으며, 중간에 샘플링 주파수가 필요하며, 계산의 복잡성은 낮다. 정상 상태의 잡음은 루프 대역폭이 줄어들 때 감소하며, 넓은 대역폭은 포착시간을 단축시켜 빨라지게 한다. 따라서 루프 대역폭에 의하여 정상상태 위상 지터와 응답시간은 서로 상대적인 관계가 된다. 위상 동기 루프(PLL)의 주파수 검출 범위는 루프 이득을 낮게 제한한다. 또한 위상이 변화되는 정보는 위상오차신호($\Delta\omega$)로부터 쉽게 검출 할 수 있다.

3.2 AC 주파수 측정방법 선택

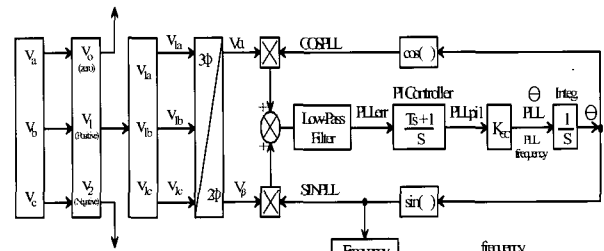
AC 전압으로부터의 주파수 검출 방법을 검토한 결과 Zero-Crossing Period Measurement는 위상변화에 대해서 검출 불가능 하며, Correlation Based Estimator는 계산이 복잡하며, Single-Delay Multiplication은 잡음과 왜곡 제거를 위한 충분한 평활 기능 추가 요구 되는 단점이 나타났다. 따라서 여러 가지 주파수 검출 방법 중 제주와 같이 낮은 관성계통에서 빠른 주파수 응답시간을 나타낼 수 있는 디지털 위상 고정 루프법(PLL)을 현재의 제주-해남 HVDC 시스템에 주파수운전을 위한 AC 주파수 신호원으로 적용하여 사용하고 자 한다.

4. 제안된 HVDC 주파수 제어기 모델링

주파수신호 위치를 변경하는 것은 단순히 위치만을 변경하는 것이 아니라 신호검출위치를 변경함으로써 생길 수 있는 문제점을 파악하고 이를 해결해야 할 필요성도 대두되고 있다. 예를 들어 동기조상기에서 검출한 신호는 AC계통에서 단상사고나 3상 사고가 발생하는 경우에는 영향을 받지 않으나, 계통에서 검출한 주파수 신호는 계통사고에 대단히 취약하다. 따라서 이러한 점을 고려한 주파수 신호 검출 알고리즘이 필요하게 되었다.



(a) 벡터 PLL의 원리



(b) α-β PLL 방식

그림 10 α-β PLL 방식을 이용한 주파수 제어기
Fig. 10 Frequency Controller in Use α-β PLL Methode

그림 10은 154kV 모선으로부터 주파수 신호를 검출하는 방식의 개선된 α-β PLL 제어 흐름도를 보여주고 있다. α-β PLL방식은 계통의 지락이나 사고 시에도 주파수 검출 신호가 상실되지 않고, 정확한 주파수가 검출되며, 주파수 검출신호에 고조파가 함유되어도 주파수검출에 영향을 받지 않은 방법이다.

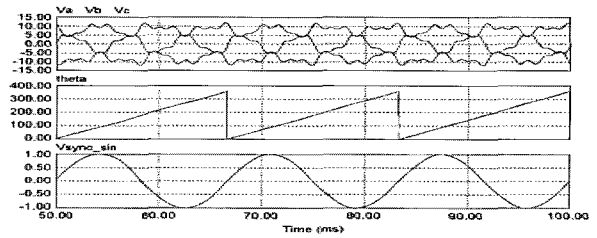
모선을 통하여 입력된 전압에 대한 정상, 역상, 영상 신호에서 식 (12), (13) 같이 정상분 신호만을 사용하게 된다. 식 (14)와 같이 변환된 파형에 대한 정상분의 3상을 2상인 정지형 α신호와 β신호로 변환한 다음 PLL의 출력을 sin함수와 cos함수를 이용하여 회전형 α신호와 β신호로 변환한 다음 이 신호를 PI 제어기와 적분함수를 이용하여 3상 계통 신호의 속도와 위상을 찾는 방식이다.

$$\begin{pmatrix} V1a \\ V1b \\ V1c \end{pmatrix} = \frac{1}{3} \begin{pmatrix} 1 & a & a^2 \\ a^2 & 1 & a \\ a & a^2 & 1 \end{pmatrix} \begin{pmatrix} Va \\ Vb \\ Vc \end{pmatrix} \quad (12)$$

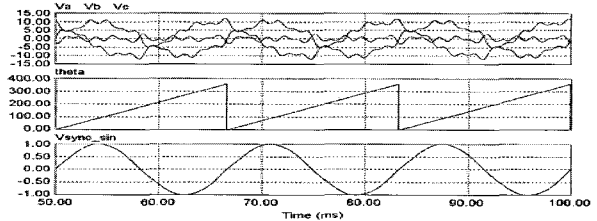
$$\begin{pmatrix} V1a \\ V1b \\ V1c \end{pmatrix} = \frac{1}{3} \begin{pmatrix} Va - \frac{1}{2}Vb - \frac{1}{2}Vc \\ Vb - \frac{1}{2}Vc - \frac{1}{2}Va \\ Vc - \frac{1}{2}Va - \frac{1}{2}Vb \end{pmatrix} \times \begin{pmatrix} \frac{1}{2\sqrt{3}j}(Vb - Vc) \\ \frac{1}{2\sqrt{3}j}(Vc - Va) \\ \frac{1}{2\sqrt{3}j}(Va - Vb) \end{pmatrix} \quad (13)$$

$$\begin{pmatrix} V\alpha \\ V\beta \end{pmatrix} = \sqrt{\frac{2}{3}} \begin{pmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & \frac{\sqrt{3}}{2} \end{pmatrix} \begin{pmatrix} V1a \\ V1b \\ V1c \end{pmatrix} \quad (14)$$

그림 11, 12, 13은 개선된 α - β PLL방식을 적용하여 얻어지는 모의실험 결과를 보여준다. 그림 11의 3상 불평형 조건에 대한 검토 시 (a)의 정상상태의 주파수 신호와 비교하여 (b) (c)의 상전압 상실과 (d)의 3상 전체의 불평형 조건에 대한 α - β PLL방식 적용 결과 외란에 의한 계통변화에도 안정적으로 주파수 신호가 검출됨을 확인할 수 있었다.



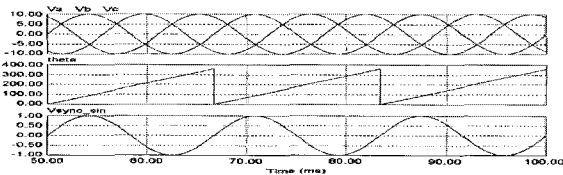
(a) Harmonics Injected Case
(5th, 7th and 11th harmonics are 10% each other)



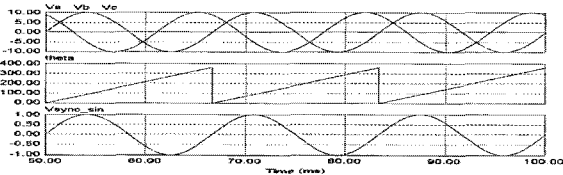
(b) Harmonics plus Unbalanced Condition
(Vb=0, 5th, 7th and 11th harmonics are 10% each other)

그림 12 고조파 주입에 의한 영향 검토
Fig. 12 Effect Investigation by Harmonic Injection

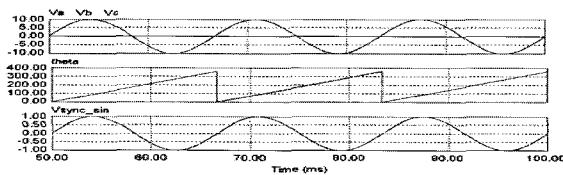
그림 12와 13은 개선된 α - β PLL방식을 적용한 주파수 신호 검출 알고리즘이 고조파와 주파수 변동 시에도 잘 추종하고 있음을 보여주고 있다.



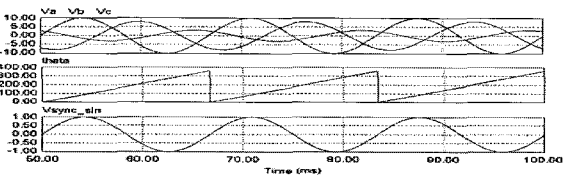
(a) 3-Phase Balanced Condition



(b) 3-Phase Unbalanced Condition(Vb=0)

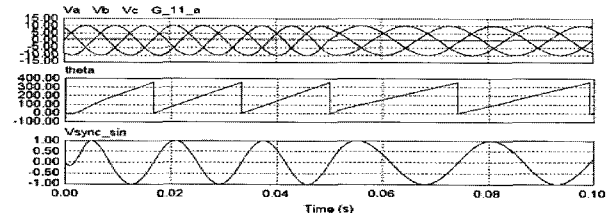


(c) 3-Phase Unbalanced Condition(Vb=0 and Vc=0)

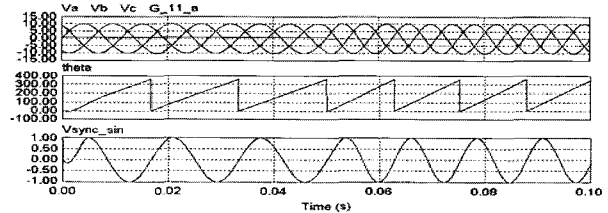


(d) 3-Phase Unbalanced(Va≠ Vb≠ Vc≠ 0)

그림 11 입력전압 외란에 의한 영향 검토
Fig. 11 Effect Investigation by Input Voltage disturbance



(a) Frequency Changed Case(60Hz to 40Hz)



(b) Frequency Change(60Hz to 80 Hz)

그림 13 계통 주파수 변동에 의한 영향 검토
Fig. 13 Effect Investigation by System Frequency Change

그림 14는 새롭게 제안된 HVDC 주파수 제어의 전달함수를 나타내고 있는 것으로, 주파수 제어가 동기 조상기(G/T)가 존재하지 않고 많은 발전기가 존재하기 때문에 그림 5에서 보여주는 주파수 제어기와는 많

은 차이가 존재하게 된다. 따라서 새로운 주파수 제어는 단순화되고, 주파수 오차 신호에 의하여 제주계통의 주파수가 조정된다.

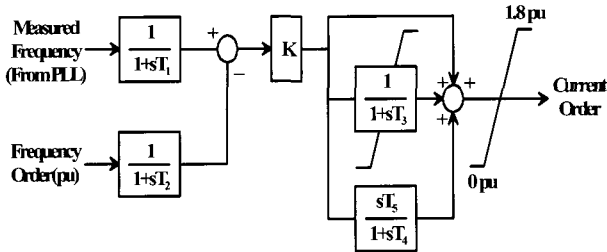


그림 14 새로운 주파수 제어기
Fig. 14 New Frequency Controller

키는데 사용된다.

새로운 주파수 제어 컨트롤은 오직 계통전체 주파수를 담고 있기 때문에, 적분기는 전체 전류지령치를 제공하기 위하여 존재 하여야 한다. 이처럼, 적분기의 제한치는 0에서 1.8pu로 설정되고, Anti-windup 특성을 적분기에 포함하여 구현되었다.

5. 제주-해남 HVDC 연계 시스템 모델링

그림 15는 시뮬레이션에 사용되는 HVDC 연계계통을 보여주는 것으로 전력조류는 육지 정류기 단(해남 C/S)에서 인버터 단(제주 C/S)으로 공급되며 정류단의 계통은 단락용량이 대단히 큰 관계로 기본적인 무한대

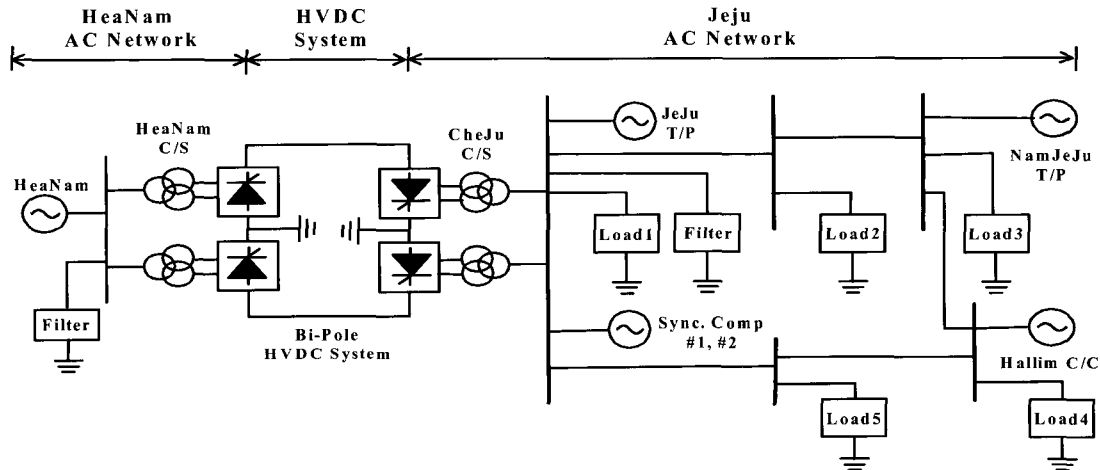


그림 15 제주-해남 HVDC 연계 계통
Fig. 15 Cheju-Haenam HVDC linked Network

주파수 측정값은 위에서 언급된 α - β PLL로부터 검출되고 주파수 참조 값과 비교된다. 주파수 참조 값은 직류전력 흐름에 관계없이 정주파 제어 운전을 위해 설정되며, 발전기의 Droop 특성과 유사한 특성으로 제주도의 기존의 발전기들과 부하를 분담을 허락한다.

그림에서 측정된 주파수(Measured Frequency) 신호는 154kV 모선으로부터 입력된 PLL신호를 이동 평활 필터(Moving Average Filter)를 이용하여 평활시키고 이것을 pu단위로 변환하여 입력되는 신호이다. 주파수 오차 신호는 PI제어에 의하여 유도되며, 출력 값은 HVDC Pole 제어기의 전류 지령값으로 사용된다. 사용된 PI 제어기의 이득은 실제 제주 네트워크와 매칭시키기 위하여 조정되며 신규 발전기수와 계통관성의 증대에 의하여 PI이득을 변경시키는 것이 필요하다. 제어기의 미분기는 추가적인 외란에 의한 영향을 감소시

모선으로 처리하였으며 인버터 단은 발전기와 154[KV]변압기단의 P/Q부하를 고려하여 HVDC 연계 계통을 구성하였다. 모의시험에서 사용된 제주 계통 상황은 다음과 같다.

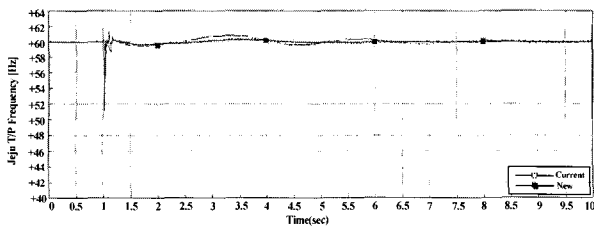
- 제주 부하량 : 408[MW]
- 제주 발전량 : 258[MW]
- HVDC 전송량 : 150[MW] (75[MW] × 2 Pole)
- 고려된 발전기 : 제주 화력(제주 T/P #1/#2/#3), 남 제주 화력(T/P #1/2와 D/P/2/3/4), 한림복합(G/T #1,2 와 S/T #1) 동기조상기 #1과 #2
- 고려된 부하 : Load 1 : 제주 S/S 부하, Load 2 : 성산, 한라, 신서귀 S/S 부하, Load 3 : 남 제주 S/S 부하,

- Load 4 : 신제주 S/S와 한림 S/S 부하,
- Load 5 : 산지 와 동제주 S/S 부하
- HVDC 연계선 : 11차/13차의 DTF 필터
23차 이상의 HPF 필터

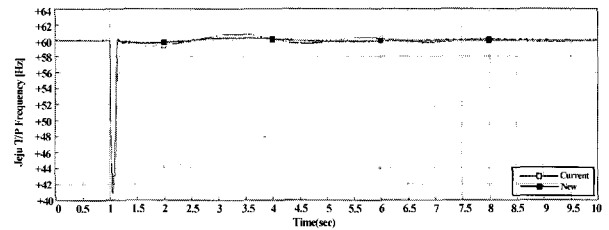
6. 모의실험 결과

본 논문에서 모의실험의 목적은 기존의 주파수 제어기 즉, 동기조상기로부터 주파수신호를 검출 받고 그림 5와 같은 제어방식을 갖는 제어기에 대하여 인버터

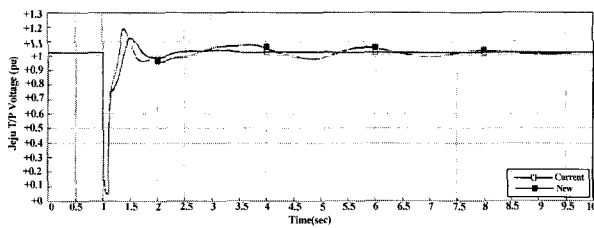
측 AC계통의 1상 지락과 3상 지락 그리고 부하 탈락 시에 시스템의 안정도와 회복특성(Recovery Characteristics)시뮬레이션하고 이를 근거로 실제 사고파형과 비교하여 AC계통의 모델링의 정밀성과 HVDC 제어기의 정밀도를 확인하고, 새로이 제안하는 주파수 검출 방식을 적용하여 앞서 수행한 인버터 측 AC계통의 1상 지락과 3상 지락 그리고 부하 탈락에 대한 시뮬레이션을 동일하게 수행하여 새로이 제안한 주파수 검출 방식에 대한 타당성 및 정밀도 그리고 안정성을 확인하는 것이다.



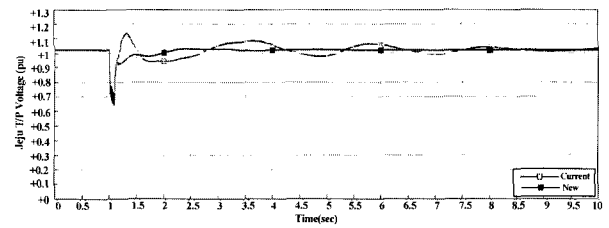
(a) 제주T/P의 모선 주파수[Hz]



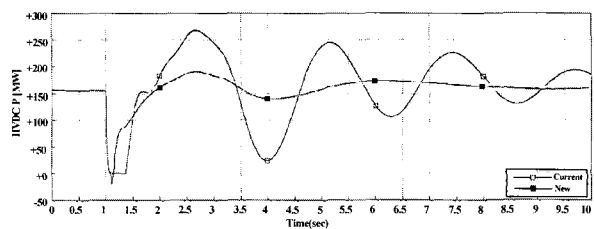
(a) 제주T/P의 모선 주파수[Hz]



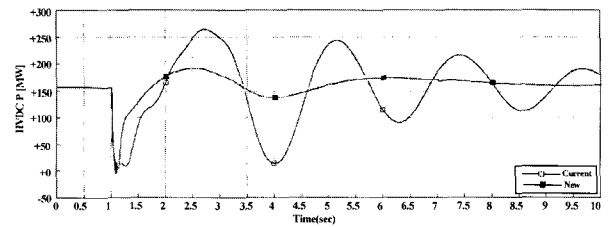
(b) 제주T/P의 모선 전압[pu]



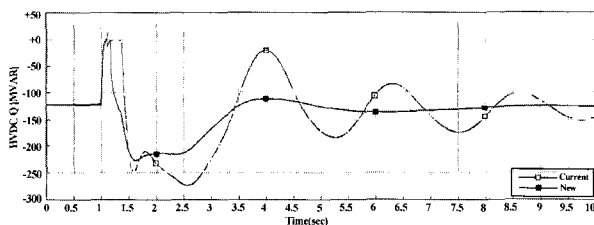
(b) 제주T/P의 모선 전압[P.U]



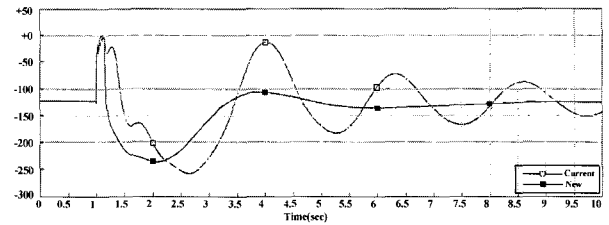
(c) HVDC 시스템 유효전력[MW]



(c) HVDC 시스템 유효전력[MW]



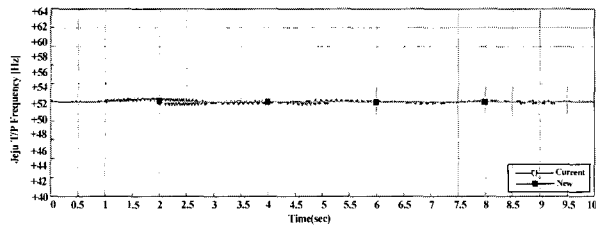
(d) HVDC 시스템 무효전력[MVAR]



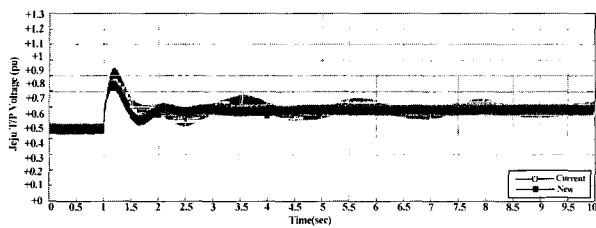
(d) HVDC 시스템 무효전력[MVAR]

그림 16 3상 지락시 HVDC 주파수 제어기 응답
Fig. 16 Responses Curve of HVDC Frequency Controller in Case of 3 Phase Fault

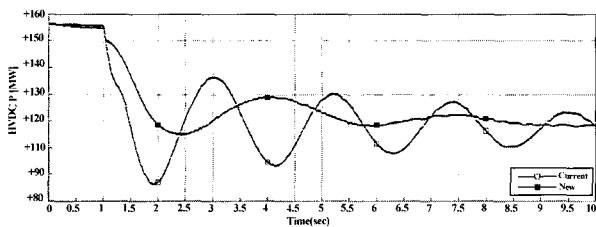
그림 17 1상 지락 시 HVDC 주파수 제어기 응답
Fig. 17 Responses Curve of HVDC Frequency Controller in Case of Single Phase Fault



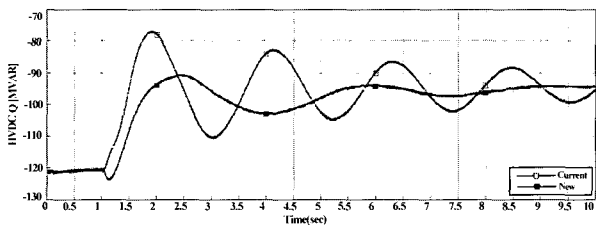
(a) 제주T/P의 모선 주파수[Hz]



(b) 제주T/P의 모선 전압[pu]



(c) HVDC 시스템 유효전력[MW]



(d) HVDC 시스템 무효전력[MVAR]

그림 18 부하 탈락 시 HVDC 주파수 제어기 응답
Fig. 18 Responses Curve of HVDC Frequency controller in case of Load Tripping

그림 16과 17 그리고 18은 기존의 주파수 제어기와 새롭게 제안된 주파수 제어기에 대한 모의실험 결과를 나타내고 있다. 인버터모선과 제주화력 측 변압기 1차 측에 100ms 동안 1상, 3상 지락 고장 모의와 Load2의 신서귀 변전소의 부하 탈락시의 HVDC 제어기의 응답 특성을 보여주고 있다. 시뮬레이션 결과로부터 새로운 주파수 제어기는 동기조상기로부터 검출되는 주파수 신호원에 비하여 우수한 동적 성능을 나타낸다. 하지만 그림 18에서와 같이 동기 조상기가 제거된 상태에서 부하 탈락에 의한 계통변화가 발생하는 경우에는

HVDC 인버터 단의 154[kV]모선에 과전압 상승이 관찰되기 때문에 이에 대한 전압보상장치의 검토가 요구되어진다.

6. 결 론

본 논문은 현재 사용되고 있는 제주-해남 HVDC 시스템의 주파수 제어신호 검출방법에 대한 문제점을 분석하여 AC계통으로부터 주파수 제어신호를 검출하는 방법을 다루었다. 본 논문의 결론은 다음과 같다.

- AC 계통의 주파수 검출 방법 중에 PLL이 가장 적합하다.
- AC 계통의 고장으로부터 안정적인 신호를 얻기 위해 정상분 역상 분을 고려한 수정된 PLL이 사용되었다.
- 새로운 주파수 제어기는 동기조상기로부터 검출되는 주파수 신호원에 비하여 우수한 동적 성능을 나타낸다.
- 동기조상기의 제거로 인한 계통 과전압이 확인되었다.

본 연구결과를 제주-해남 HVDC시스템에 적용하기 위하여서는 154kV 모선검출 기기 설계와 HVDC 제어 프로그램 변경이 필요하며, 전력계통과 HVDC 시스템 간의 상호협조를 고려한 보호프로그램 적용을 고려한 연구가 계속되어야 한다.

참 고 문 헌

- [1] 제주-해남 HVDC 매뉴얼, GEC Alstom, 1993.
- [2] 남상천, "송배전공학", 조원사, pp.64-65, 1998.
- [3] PSCAD/EMTDC 매뉴얼, 1993.
- [4] High-Voltage Direct Current Handbook, EPRI TR-104166S, 1994.
- [5] P. Kundur, "Power System Stability and Control", McGraw-Hill, 1996.
- [6] F. Karlecik-Maier, "A New Closed Loop Control Method for HVDC Transmission", IEEE Trans. on Power Delivery, Volume: 11 4, Page(s): 1955-1960, Oct. 1996.
- [7] 김찬기, "약한계통에서 동기조상기의 여자시스템에 따른 HVDC 시스템의 과도성능분석", 전력전자학회 논문지, 제5권 4호, Page(s): 318-326, Oct. 2000.
- [8] 김찬기, 양병모, 정길조, "Double Tuned Active Filter 기능을 갖는 Single Thned Active Filter", 전력전자학회

논문지, 제9권 6호, Page(s): 544-552, Dec. 2004.

- [9] 김찬기, “제주-해남 HVDC 시스템의 EMTDC 모델링”,
 전력전자학회 논문지, 제6권 1호, Page(s): 1-12, Feb.
 2001.

저 자 소 개



박종광(朴鍾廣)

1971년 12월 2일생. 1997년 호원대 전자공학과 졸업. 1999년 전북대 대학원 전기공학 졸업(석사). 2001년 동 대학원 전기공학과 박사과정 수료. 2001년 한전 전력연구원 입사. 2003~현재 한전 전력연구원 연구원.



김찬기(金燦起)

1968년 12월 17일생. 1991년 서울산업대 전기공학과 졸업. 1993년 중앙대 대학원 전기공학과 졸업(석사). 1996년 동 대학원 전기공학과 졸업(공학). 1996년~현재 한전 전력연구원 선임연구원. 당 학회 편집위원.



한병성(韓秉誠)

1951년 12월 22일생. 1988년 프랑스 루이 파스퇴르대학 박사학위 취득. 1988년 프랑스 CNRS(프랑스 국립과학연구소) 연구원. 2005년 현재 전북대 전자정보공학부 교수.