

나노 CMOS 소자 적용을 위한 질소 분위기에서 형성된 질화막을 이용한 폴리실리콘 적층 구조

A Stacked Polusilicon Strucutre by Nitridation in N₂ Atmosphere for Nano-scale CMOSFETs

호원준¹, 이희덕^{1,a}

(Won-Joon Ho¹ and Hi-Deok Lee^{1,a})

Abstract

A new fabrication method is proposed to form the stacked polysilicon gate by nitridation in N₂ atmosphere using conventional LP-CVD system. Two step stacked layers with an amorphous layer on top of a polycrystalline layer as well as three step stacked layers with polycrystalline films were fabricated using the proposed method. SIMS profile showed that the proposed method would successfully create the nitrogen-rich layers between the stacked polysilicon layers, thus resulting in effective retardation of dopant diffusion. It was observed that the dopants in stacked films were piled-up at the interface. TEM image also showed clear distinction of stacked layers, their plane grain size and grain mismatch at interface layers. Therefore, the number of stacked polysilicon layers with different crystalline structures, interface position and crystal phase can be easily controlled to improve the device performance and reliability without any negative effects in nano-scale CMOSFETs.

Key Words : Stacked polysilicon, Nitridation, Retardation of dopant diffusion, Boron penetration, Nano CMOSFET

1. 서 론

Deep-submicron CMOS technology부터 적용되기 시작한 surface channel PMOS는 단채널 효과를 억제하기 위해 p+ polysilicon 게이트가 반드시 필요하지만 polysilicon의 p+ 게이트로부터 채널 영역으로의 boron penetration 문제가 대두되었고 이를 해결하기 위해 stacked polysilicon 구조가 제안되었다[1]. 특히 CMOS 소자의 크기가 작아짐에 따라 게이트 절연막의 두께도 감소하여 PMOS의 boron penetration 문제는 점점 더 심각해지고 있

다. stacked polysilicon 구조를 형성하는 방법으로는 단순 증착 stack 비정질 층을 증착 후 연속해서 다결정 층을 증착 혹은 역순 증착 방식에서부터 적극적인 방법으로 암모니아 (NH₃) gas를 이용하여 층 사이의 polysilicon 표면에 얇은 nitrogen-rich 층을 형성하여 stacked polysilicon 구조를 만드는 방법 등이 발표되었다[2]. 특히 후자의 방법은 nitrogen-rich layer가 붕소의 확산을 억제시키는 특성을 고려한 것이며, 암모니아 가스는 비교적 쉽게 고온에서 polysilicon과 직접 반응하여 얇은 silicon nitride 박막을 형성하는 것으로 알려져 있다. stacked polysilicon 구조에 대한 또 다른 연구방향은 polysilicon doping 효율을 극대화 하도록 grain size의 최적화를 갖도록 하면서 dopant channeling 특성과 poly-silicide의 면저항 특성 개선을 위한 것으로 다층의 stack 구조가 적용되거나 제안되었다[3]. 그러나 단순 amorphous/polycrystalline

1. 충남대학교 전자공학과

(대전시 유성구 궁동 220)

a. Corresponding Author : hdee@cnu.ac.kr

접수일자 : 2005. 8. 26

1차 심사 : 2005. 9. 7

심사완료 : 2005. 9. 23

의 적층 구조에서는 층간의 구분이 명확히 이루어지지 않아서 amorphous layer가 다시 polycrystalline 층으로 재성장하는 등 정확한 층간 제어가 어렵고, 암모니아 가스를 이용하는 경우에는 고온의 열처리 조건 부담과 공정구현의 복잡성 등의 단점이 있으며 특히 polysilicon 내부로 다량의 수소원자가 침투하여 그 중 일부가 게이트 절연막 경계부위로 확산 및 적층되어 절연막의 interface trap으로서 작용하여 소자특성에 나쁜 영향을 미칠 수 있는 문제점을 갖고 있다.

본 연구는 이러한 polysilicon 적층 구조의 형성에 관한 것으로 특히 기존 방법과는 달리 LP-CVD 방식의 polysilicon 증착 과정을 그대로 활용하면서 순수하게 nitrogen gas만을 이용해서 polysilicon 층간에 nitrogen-rich 층을 형성하는 방법을 제안하였으며, nitrogen-rich 층위에 증착된 polysilicon 층이 아래층과는 단절된 증착 형태를 나타냄을 증명하였다. 즉, 기존의 polysilicon 증착 기술만을 이용해서 추가의 열처리나 source gas의 도움 없이 자유로운 층간 위치 조정 및 독립적인 결정구조(amorphous/polycrystalline)의 다층 박막 형성 및 그에 따른 grain size를 조절할 수 있는 방법을 제안하였다.

2. 실험 방법

본 연구에 이용된 기판은 p-type의 8" (100) 실리콘 웨이퍼이며, polysilicon gate의 적층구조는 일반적인 LP-CVD(Low Pressure-Chemical Vapor Deposition) furnace를 이용하여 SiH₄ gas를 600~640 °C 온도에서 흘려주면서 1~3 step으로 증착하였으며 증착된 전체 polysilicon 두께는 약 2000~2500 Å이다. 실험에 사용한 polysilicon gate 구조는 다음과 같이 3가지이다. 1) 고순도 N₂ 가스를 chamber 안에 흘려주면서 적절한 압력을 약 10분간 유지해서 nitrogen-rich 층을 형성하여 이를 기준으로 polysilicon 층이 나누어지도록 하였다. 이렇게 제작된 시료(Stacked Polysilicon, 이하 SP시료)와 비교를 위해서 2) 각 층을 형성하는 step들의 중간에 N₂ 처리 없이 furnace chamber의 압력을 극저압으로 약 10분간 유지한 시료(Vacuum break Polysilicon, 이하 VP시료)와 3) 각 층간을 구분하는 step없이 한번에 전체 polysilicon gate를 구현한 시료(Normal Polysilicon, 이하 NP시료)를

제작하였다. SP와 VP시료 중에서 2 step 시료인 경우에는 하부 층은 polycrystalline layer로 증착하고 층간 layer 형성 후 상부를 530 °C 온도에서 amorphous layer를 형성하는 조건으로 제작되었다. 또한 실제적인 여러 응용을 위해 하부와 상부의 결정 크기를 달리 형성한 구조도 제작하였다. 각 시료는 다시 dopant 이온주입 - n+ 도핑 : As (30 KeV, 5×10¹⁵/cm²) + P(30 KeV, 3×10¹³/cm²), p+ 도핑 : BF₂ (30 KeV, 3×10¹⁵/cm²) + B (30 KeV, 2×10¹³/cm²) - 및 후속 RTP열처리(O₂, 분위기 : 700 °C, 60초 + N₂ 분위기 : 960 °C, 40초의 2-단계 열처리)를 실시한 후에 각 시료에 대한 면저항 (Rs) 측정 및 dopant 분포를 파악하기 위한 SIMS profile을 측정하였다. 또한 각 시료의 물리적 구조를 TEM (Transmission Electron Microscope) 및 XRD (X-ray Diffraction)로 분석하였다.

3. 실험결과 및 토의

3.1 폴리실리콘 적층구조의 물리적 특성

그림 1은 각 시료에 대한 as-deposited 상태에서의 TEM 사진이다. SP시료인 경우에는 각 층간의 경계가 뚜렷하게 구분되어 있고 또한 각층은 독립적인 grain 구조를 갖는, 즉 층간 grain mismatch를 명확히 보여주고 있다. 반면 VP시료에서는 NP시료와 동일하게 일반적인 columnar grain 구조를 보이고 있으며 어떠한 층간 경계도 보여주지 못하고 있다. 그림 2는 각 층의 crystalline phase를 달리하여 증착한 경우로 SP시료인 경우에는 아래 polycrystalline 층과 위 amorphous 층이 완벽하게 독립적으로 분리할 수 있음을 보이고 있다. 반면에 이러한 층간 분리막을 적용하지 않을 경우에는 그림 2(b)와 같이 상부의 amorphous 층은 하부의 polycrystalline grain의 영향을 받아서 as-deposited 상태 및 후속열처리 공정 후 하부의 grain 방향으로 성장됨을 알 수 있다.

그림 3은 각 시료에 대한 XRD pattern을 나타내며 polysilicon 주배향 조성의 비는 각 시료간에 약간의 차이를 보이며 NP구조에서 상대적으로 (220) 배향이 많이 함유되어 있는 반면에 SP인 경우에는 (111) 배향이 증가하여 단층이 아닌 다층이 형성되었음을 나타내고 있다.

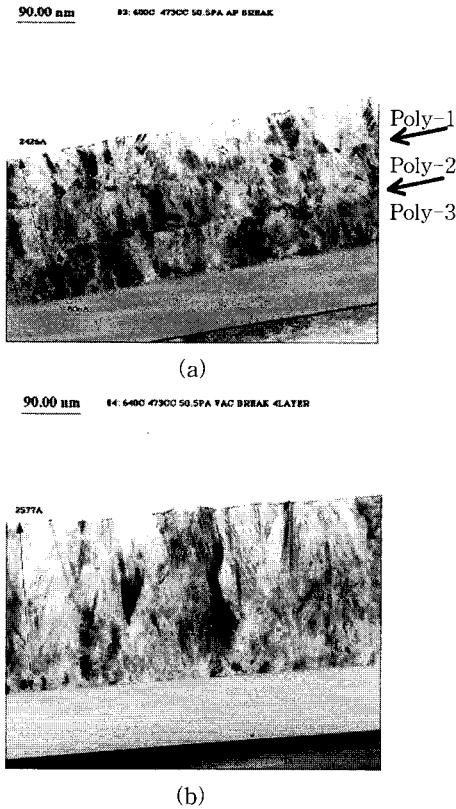


그림 1. 시료별 단면 TEM 사진. (a) N₂ anneal을 적용한 stacked polysilicon 구조 (3층 구조, SP시료)와 (b) 층간에 vacuum-break (2회)를 적용한 polysilicon 구조 (VP시료).

Fig. 1. TEM cross-sectional profiles. (a) Stacked polysilicon structure utilizing N₂ anneal (3-layers, SP) and (b) stacked polysilicon structure with 2 times vacuum-break (VP).

또한 SP구조의 시료에서 각 층에서의 grain size를 평면 방향에 대한 TEM image를 분석하여 그림 4에 나타내었다. 하부층은 높이가 약 200 Å 정도로 이는 통상의 LP-CVD polysilicon 증착방법에서 구현할 수 있는 최소의 박막 두께이다. 이 두께 이하에서는 표면이 매우 거친 상태의 박막 또는 박막이 형성되기 직전의 dot(박막형성을 위한 seed 형성 단계)형태를 보인다. TEM 단면사진에서 알 수 있듯이 하부층의 grain size는 약 28 nm 내외이며 상부층은 약 60 nm의 grain size를 보이

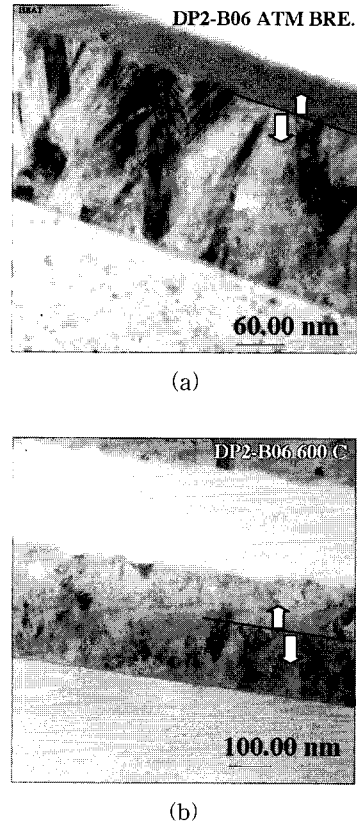


그림 2. Polysilicon과 amorphous silicon 증착을 순차적으로 진행한 경우에 증착 방법에 따른 polysilicon 구조의 의존성. (a) SP시료 및 (b) VP 시료의 TEM 사진.

Fig. 2. Dependence of polysilicon structure on the deposition methods in case of the sequentially deposited polysilicon and amorphous silicon layers. TEM images of (a) SP sample and (b) VP sample.

고 있다. 실제 소자에서 중요한 부분은 트랜지스터의 gate 절연막과 경계를 이루는 하부층의 polysilicon grain 구조이다. 특히 p+ polysilicon gate 구조를 갖는 PMOS에서 붕소의 게이트 절연막 침투없이 충분한 dopant 활성화를 갖기 위해서는 하부층의 grain size가 작을수록 좋다[4]. 따라서 본 기술의 적층구조 polysilicon으로 좀더 낮은 온도범위와 열처리시간 최소화로 dopant 캐리어의 활성화 효율 극대화 및 게이트 절연막으로의 붕소 침투를 방지할 수 있다.

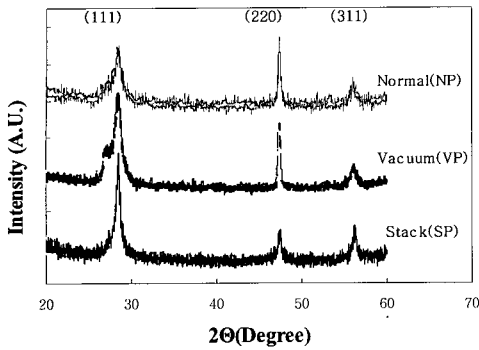


그림 3. 시료별 XRD pattern. NP인 경우 상대적으로 (220) 배향이 많은 반면 SP인 경우에 (111) 배향이 증가하여 여러 층이 잘 형성되었음을 나타내고 있다.

Fig. 3. XRD patterns versus split conditions. In NP sample, (220) direction peak is relatively strong while in case of SP sample, (111) direction is major, which means well formation of multi-layer stack.

3.2 폴리실리콘 적층구조의 dopant profile 및 전기적 특성

그림 5는 각 시료에 대한 dopant SIMS profile을 나타내고 있다. SP시료에서는 각 층간 계면에서 dopant profile의 변화를 보이며 또한 nitrogen 농도의 분포에서 층간 계면에 많은 양의 nitrogen이 pile-up 되어있음을 알 수 있다. 따라서, 이러한 nitrogen-rich layer가 dopant 확산에 대한 지연 및 층간의 격리를 유발하였다고 할 수 있다. 특히 n-형 및 p-형 dopant들인 As, P, B source는 모두 층간 경계에서 pile-up이 되어 게이트 절연막과 polysilicon 경계근처로 접근할수록 점점 농도가 조금씩 감소함을 알 수 있다. 즉, 전체적으로 dopant 확산이 지연되었음을 나타낸다. 반면 VP시료의 SIMS profile을 비교해보면 그림 5(b)와 같이 모든 dopant가 polysilicon 전 영역에 걸쳐 균일한 분포를 갖고 있음을 확인할 수 있다. SIMS profile에 대응해서 전기적 특성으로 각 시료의 면저항(sheet resistance, R_s (Ohm/□))값을 표 1에 나타내었다. SIMS profile에서 보였듯이 SP시료가 dopant 확산의 지연으로 가장 높은 면저항 특성을 보이며, 다음으로 NP시료 그리고 VP시료 순으로 낮은 값을

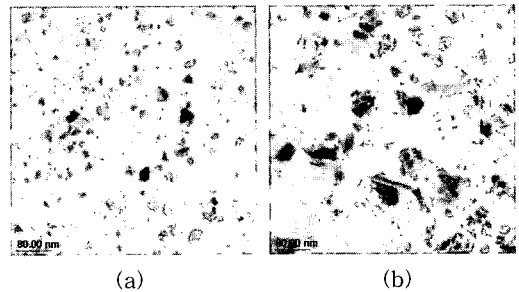
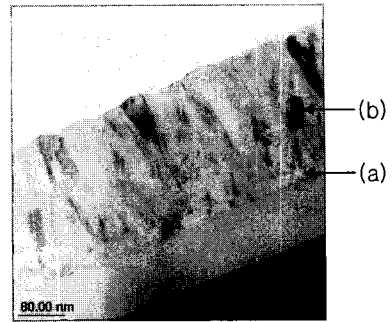


그림 4. Stacked polysilicon 층들의 평면 TEM image. (a) 두께 200의 하층에서의 grain image (평균 grain size : 약 28 nm)와 (b) 상층의 grain image (평균 grain size : 약 60 nm).

Fig. 4. TEM plan images of stacked polysilicon layers. (a) Grain image of 200 thick bottom layer (average grain size : about 28 nm) and (b) grain image of top layer (average grain size : about 60 nm).

보인다. 특히 VP시료가 NP 시료보다 낮은 면저항 특성을 보이는 이유는 그림 3에서와 같이 두 시료간 crystalline phase의 조성비 차이로 설명될 수 있으며, 일반적으로 crystalline phase가 많이 함유된 film에서 (111)배향이 강하고 또한 면저항 값도 상대적으로 낮은 값을 갖는다.

3.3 폴리실리콘 적층구조의 질화막 형성 방법

이러한 적층 polysilicon의 층간 nitrogen rich 층의 형성은 비교적 불활성 기체로 알려진 N_2 가스에 의해서 상대적으로 저온인 $600\text{ }^\circ\text{C} \sim 640\text{ }^\circ\text{C}$ 부근에서는 이루어 질 수 없는 것으로 알려져 왔고, 따라서 대부분 NH_3 가스나 N_2 plasma를 이용한 nitridation이 보고되었다. 하지만 본 연구에서는 단순히 기존 LP-CVD 시스템에서 N_2 만을 이용하여

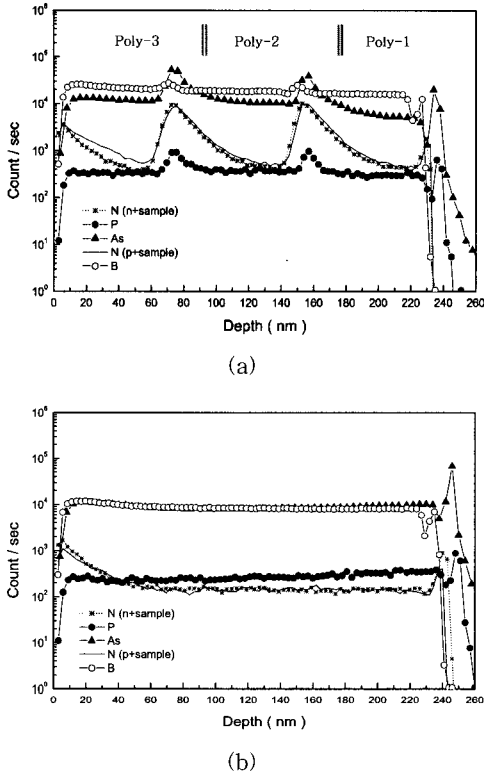


그림 5. (a) SP 구조와 (b) VP 구조인 경우의 dopant SIMS profile 비교(Nitrogen/Boron/Arsenic/Phosphorus). SP인 경우 각 dopant 가 층간 interface에 pile-up 되어 있음을 보여준다.

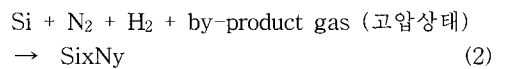
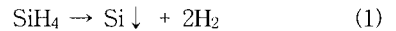
Fig. 5. Dopant SIMS profile comparison of (a) SP sample with (b) VP sample (Nitrogen/Boron/Arsenic/Phosphorus). In SP sample, all dopant are well piled-up at interface.

표 1. 시료별 면저항 특성(N+).

Table 1. Sheet resistance (N+) dependence on the split conditions.

Split	Item	Rs (Ohm/Sq.)	STD(%)	Comment
	SP	677	2.3	Stacked Poly
	VP	427	2.83	Vacuum Break Poly
	NP	453	2.1	Normal Poly

nitrogen-rich silicon layer를 형성하였다[5]. 형성 메카니즘은 기본적으로 반도체 공정용 고순도 N₂ 가스를 polysilicon 증착 chamber 내부에 SiH₄ 가 열분해된 상태에서 흘러주면 식 (2)와 같이 안정적인 Si/N₂ 반응계도 주변의 고압의 gas 상태의 불순물 분위기에서는 더 이상 안정한 상태를 유지할 수 없으며 결국 매우 얇은 nitrogen rich silicon 박막이 형성된다고 할 수 있다.



이러한 유사현상은 다른 연구자들의 실험에 의해서도 관찰되었고 두께는 Ellipsometry와 TEM 등으로 약 1.2 nm 이하로 측정되었다[6].

4. 결론

N₂ gas를 이용하여 기존 LP-CVD system에서 nitrogen-rich silicon을 형성하여 여러 층으로 적층된 polysilicon 게이트를 구현하였다. 이러한 stacked polysilicon 형성기술은 추가의 장치나, NH₃ 등의 source gas를 필요치 않으며 또한 기존 공정온도에서 구현이 가능하였다. 따라서 전체 소자-공정상의 특성에 영향 없이 각 층간의 수나 층간의 두께를 쉽게 원하는 대로 조절할 수 있으며 또한 상층과 하층의 서로 다른 결정상태의 박막 증착도 가능하다고 할 수 있다. 즉, 층간을 구분 짓는 nitrogen-rich 층의 위치 및 수를 적절히 배열함으로써 dopant의 확산을 원하는 만큼 지연시킬 수 있으며 상부 층의 두께와 결정상태를 조정하여 cobalt 혹은 nickel등의 silicide 특성을 최적화 하고 또한 polysilicon 게이트의 도핑효율 및 channeling 특성 개선 등이 가능하므로 Nano-scale CMOS technology에 매우 유망하다고 할 수 있다.

감사의 글

본 연구의 일부는 과학기술부에서 추진하는 21세기 프론티어 사업 중 테라급나노소자개발사업단 지원으로 수행되었음.

참고 문헌

- [1] S. L. Wu, C. L. Lee, T. F. Lei, J. F. Chen, and L. J. Chen, "Suppression of the boron penetration induced Si/SiO₂ interface degradation by using a stacked-amorphous-silicon film as the gate structure for pMOSFET", *IEEE Electron Device Lett.*, Vol. 15, No. 5, p. 160, 1994.
- [2] Y. H. Lin, C. S. Lai, C. L. Lee, T. F. Lei, and T. S. Chao, "Nitridation of the stacked poly-Si gate to suppress the boron penetration in pMOS", *IEEE Electron Device Lett.*, Vol. 16, No. 6, p. 248, 1995.
- [3] S. H. Park, Y. G. Kim, H. H. Ji, H. D. Lee, J. S. Kim, S. H. Baek, H. Chang, J. H. Lee, K. C. Kim, B. S. Song, H. K. Bae, M. O. Kim, H. S. Lee, Y. S. Kang, and D. B. Kim, "Gate engineering to prevent nMOS dopant channeling for nanoscale CMOSFET technology", *Jpn. J. Appl. Phys.*, Vol. 43, No. 4B, p. 1709, 2004.
- [4] T. Aoyama, K. Suzuki, H. Tashiro, Y. Tada, H. Arimoto, and K. Horiuchi, "Flatband voltage shift in PMOS devices caused by carrier activation in p⁺-polycrystalline silicon and by boron penetration", *IEEE Trans. Electron Device*, Vol. 49, No. 3, p. 473, 2002.
- [5] W. J. Ho and H. S. Kim, "Method of forming a polysilicon layer", US Patent, 6,234,567, 2002.
- [6] E. P. Gusev, H. C. Lu, E. L. Garfunkel, T. Gustafsson, and M. L. Green, "Growth and characterization of ultrathin nitrided silicon oxide films", *IBM J. Res. Develop.*, Vol. 43, No. 3, p. 265, 1999.