

## 수소 및 중수소가 포함된 실리콘 산화막의 전기적 스트레스에 의한 열화특성

### Degradation of Ultra-thin SiO<sub>2</sub> Film Incorporated with Hydrogen or Deuterium Bonds during Electrical Stress

이재성<sup>1,a</sup>, 백종무<sup>2</sup>, 정영철<sup>3</sup>, 도승우<sup>4</sup>, 이용현<sup>4</sup>  
(Jae-sung Lee<sup>1,a</sup>, Jong-mu Back<sup>2</sup>, Young-chul Jung<sup>3</sup>, Seung-woo Do<sup>4</sup>, and Yong-hyun Lee<sup>4</sup>)

#### Abstract

Experimental results are presented for the degradation of 3 nm-thick gate oxide (SiO<sub>2</sub>) under both Negative-bias Temperature Instability (NBTI) and Hot-carrier-induced (HCI) stresses using P and NMOSFETs. The devices are annealed with hydrogen or deuterium gas at high-pressure (1~5 atm.) to introduce higher concentration in the gate oxide. Both interface trap and oxide bulk trap are found to dominate the reliability of gate oxide during electrical stress. The degradation mechanism depends on the condition of electrical stress that could change the location of damage area in the gate oxide. It was found the trap generation in the gate oxide film is mainly related to the breakage of Si-H bonds in the interface or the bulk area. We suggest that deuterium bonds in SiO<sub>2</sub> film are effective in suppressing the generation of traps related to the energetic hot carriers.

**Key Words** : Hydrogen, Deuterium, Gate dielectric, Reliability, Defect

#### 1. 서론

본문 현재의 CMOS 공정에서는 나노급의 두께를 갖는 실리콘 산화막(SiO<sub>2</sub>)을 MOSFET의 게이트 절연막으로 사용하고 있다. 절연막의 두께가 얇아질수록 소자의 성능은 증가하지만 신뢰성은 매우 취약하게 된다. 게이트 실리콘 산화막의 두께가 5 nm 이하인 submicron 급 MOSFET에서 연구되는 열화 현상으로는 Stress Induced Leakage Current (SILC), Soft Breakdown (SBD), Hot-Carrier (HC) 효과 및 Negative-Bias Temperature Instability (NBTI) 등이 있다[1-6]. 일반적으로

SILC 및 soft breakdown 현상은 trap-assisted tunneling(TAT) 개념을 사용하여 N 및 P 형 MOSFET에서 동일한 이론으로 설명되고 있으며, 이에 대한 많은 연구가 이루어진 상태이다[1,2,7]. 실리콘 산화막의 결함 생성은 막내에 존재하는 수소 결합과 관련이 있다고 알려져 있다. 그러나 수소 관련 제조 공정(passivation 공정)은 CMOS 공정의 기본이므로, 수소 관련 다양한 실험 결과를 통해 소자의 전기적 특성과 스트레스에 의한 aging 효과의 상관관계를 밝혀야 한다. 최근에는 대기압 조건에서 중수소(Deuterium)를 사용한 금속 증착 후 열처리 공정(post-metalization anneal : PMA)이 소개되어 MOSFET의 신뢰성 문제를 극복하는 방법으로 제시되었다[2,8-10]. 게이트 산화막내의 결함 생성의 원인이 산화막내의 수소 결합과 관련이 있을 경우, Si-H 결합을 Si-D 결합으로 대체함으로써 게이트 산화막의 결함 생성을 억제할 수 있다. 이러한 현상을 동위원소 효과(Isotope Effect)라 하며, hot-carrier 열화에서 그

1. 위덕대학교 정보통신공학부 (경주시 감동면 유곡리 525)  
2. 대원과학대학 전자정보통신과  
3. 경주대학교 컴퓨터멀티미디어공학부  
4. 경북대학교 전자전기공학부  
a. Corresponding Author : jaesung@uu.ac.kr  
접수일자 : 2005. 8. 24  
심사완료 : 2005. 10. 7

효과를 관찰할 수 있었다[9]. 그러나 hot-carrier 이외의 열화 현상에서 동위원소 효과에 대해서는 아직 연구 중에 있다. 본 연구에서는 CMOS 공정으로 제조된 나노급 크기의 MOSFET를 수소 및 중수소에서 추가적으로 열처리를 행하여 각 소자의 열화 특성을 조사하였다. 소자의 열화는 HC 및 NBTI 스트레스를 통해 각각 진행되었다. 최종적으로 열화의 원인인 결함의 거동을 관찰하여 박막의 실리콘 산화막의 신뢰성을 높이는 방법을 모색하고자 한다.

### 2. 실험

기본적인 CMOS 공정을 사용하여 실리콘 산화막(SiO<sub>2</sub>)의 물리적 두께가 약 3 nm 이고 채널 길이와 폭이 최소 0.13 μm인 MOSFET 소자를 제조하였다. 게이트 산화막은 H<sub>2</sub>-O<sub>2</sub> 분위기에서 성장시킨 후, NO 열처리를 통해 제조되었다. 게이트 전극 물질로는 고농도 도핑된 250 nm 두께의 다결정 실리콘을 사용하였다. 금속 배선 형성 후, 후속 열처리는 수소(H<sub>2</sub>) 분위기에서 행하여졌다. 기본적 후속 열처리 공정을 행한 소자는 두 분류로 나누어, 추가로 수소 및 중수소 열처리를 각각 행하였다. 추가 열처리는 450 °C, 및 1~5 기압의 조건에서 이루어졌다. Negative-bias Temperature Instability (NBTI) 및 Hot-carrier-induced (HCI) 스트레스를 통해 실리콘 산화막을 열화시켰다.

### 3. 실험 결과

그림 1은 실험에 사용된 모든 조건에서 열처리된 소자들의 열화 이전에 측정된 포화 드레인 전류를 나타낸다. 열처리 조건은 다르지만 MOSFET의 전기적 특성은 동일하게 나타나고 있다. P 및 NMOSFET에서 관찰된 드레인 평균 포화 전류값은 각각 64 μA/width 및 288 μA/width 이었다. MOSFET의 carrier 전도 특성은 수소나 중수소 등의 후속 열처리 공정에 무관함을 알 수 있다. 그러나 MOSFET에 포함된 수소나 중수소 결함이 잠재된 결함(latent defect)로써 존재할 경우, 장시간 전기적 스트레스과정을 통해 그 영향이 나타날 수 있다.

그림 2는 NBTI 스트레스를 행함에 따라 나타나는 PMOSFET의 문턱전압 이동 및 포화 전류 감소를 보여 주고 있다. 원시료(FG)에 비해 수소 분위기

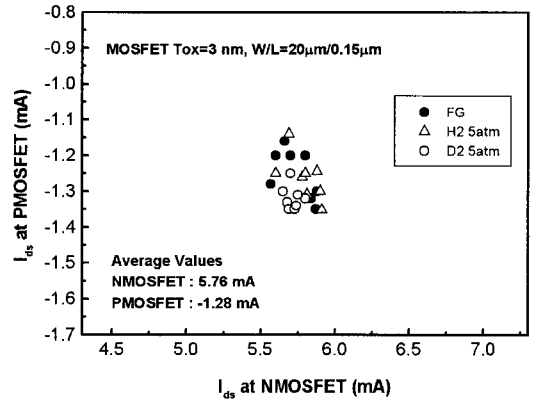


그림 1. 사용된 MOSFET의 스트레스 이전 특성.  
Fig. 1. Electrical performance for the fabricated MOSFETs before electrical stress.

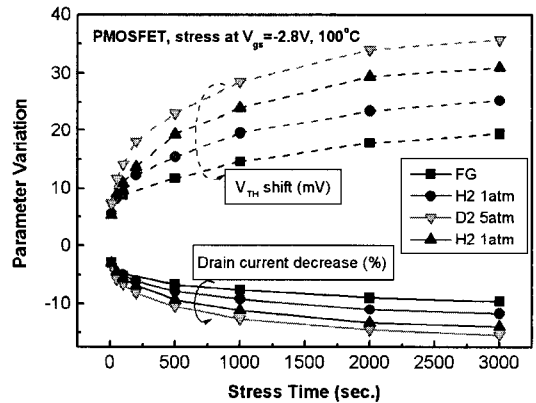
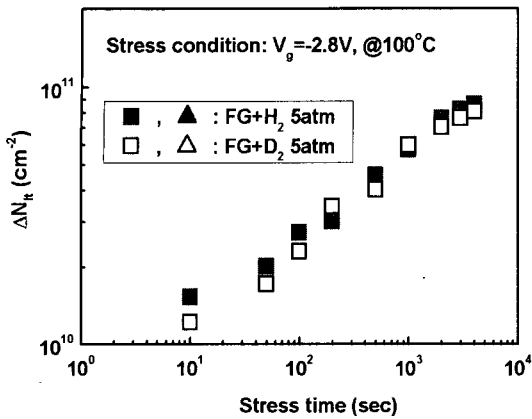
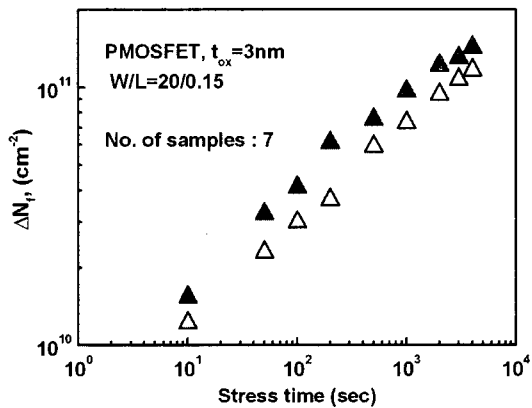


그림 2. 열처리 조건에 따른 PMOSFET 특성 열화 (NBTI 스트레스).  
Fig. 2. The degradation of PMOSFET depending on the condition of annealing (NBTI stress).

의 압력이 증가할수록 실리콘 산화막의 열화가 증가되고 있다. 수소 및 중수소 열처리 효과에서는 같은 조건에서 중수소를 사용함으로써 실리콘 산화막의 열화를 다소 억제할 수 있었다. 그림에서 추가 열처리를 하지 않은 원시료가 추가 중수소 열처리 된 시료보다 열화가 적게 진행됨을 확인할 수 있다. 이는 실리콘 산화막내에 존재하는 과도한 중수소 및 수소는 열화의 원인이 될 수 있음을 나타낸다(bulk 결함 증가).



(a)



(b)

그림 3. 고압 (5 atm.)의 수소 및 중수소에서 각각 열처리된 PMOSFET에서 관찰된 (a)  $\Delta N_{it}$  및 (b)  $\Delta N_f$ 의 증가.

Fig. 3. Time evolution of (a)  $\Delta N_{it}$  and (b)  $\Delta N_f$  for PMOSFETs annealed at hydrogen or deuterium high-pressure condition (5 atm.).

동위원소 효과를 조사하기 위해 각 조건에서 열처리된 실리콘 산화막내에 존재하는  $\text{SiO}_2/\text{Si}$  계면 결함 및 고정 전하 결함(fixed-oxide defect)를 각각 조사하였다. 그림 3은 그림 2와 동일한 스트레스 동안 관찰된 계면 전하( $N_{it}$ ) 및 고정 전하( $N_f$ )의 증가를 나타내고 있다. 동위원소 효과가 실리콘 산화막 계면에서는 미비하게 나타나지만, 실리콘 산화막 내에서는 뚜렷하게 나타났다.

그림 4는 NBTI 스트레스를 행함에 따라 나타나는 NMOSFET의 최대 전달컨덕턴스 및 문턱전압

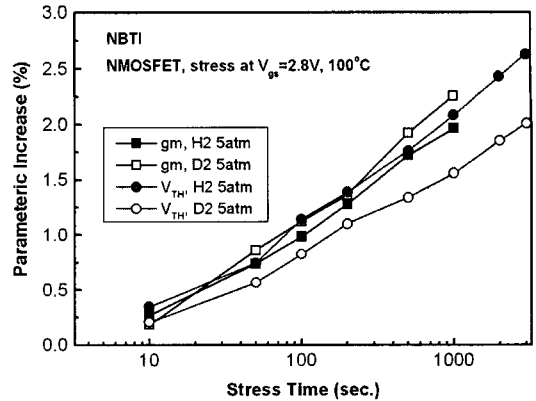


그림 4. NMOSFET의 NBTI 열화 특성.

Fig. 4. Degradation of NMOSFET by NBTI stress.

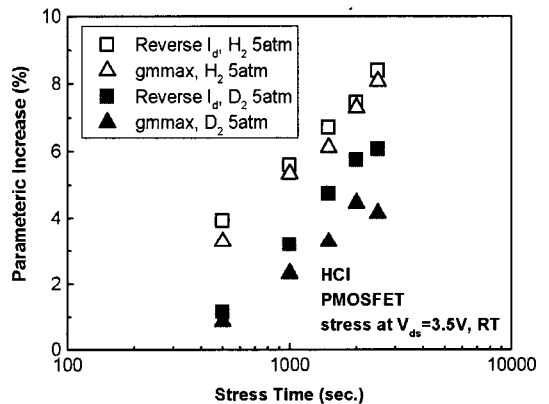


그림 5. PMOSFET의 HCI 열화(상온) 특성.

Fig. 5. Degradation of PMOSFET by HCI stress at room temperature.

의 변화를 열처리 가스 종류에 대해 나타내고 있다. 전달컨덕턴스는 채널(inversion channel)의 선형영역에서, 문턱전압은 포화영역에서 각각 측정되었다. 문턱전압의 결과에서는 동위원소 효과가 관찰되었지만, 전달 컨덕턴스의 결과에서는 수소 및 중수소 열처리에 의한 차이가 나타나지 않았다. 채널의 선형 영역에서는 계면 결함의 영향이 포화영역에 비해 크게 나타나기 때문에 그림 4의 결과는 NBTI 조건과 같은 낮은 스트레스 전계가 인가될 때, 계면 결함의 생성은 수소 및 중수소 열처리에 무관하게 진행된다는 것을 암시한다.

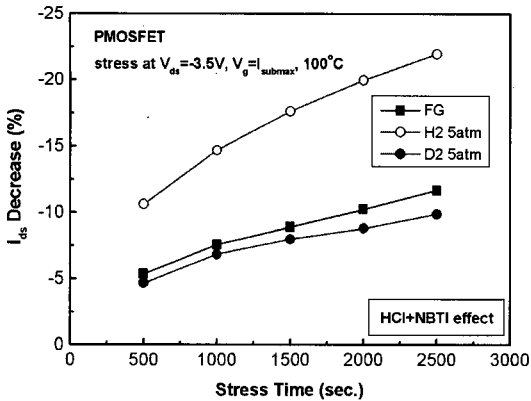


그림 6. PMOSFET의 HCl 열화(100 °C) 특성.  
Fig. 6. Degradation of PMOSFET by HCl stress at 100 °C.

그림 5는 PMOSFET를 상온에서 HCl 스트레스 인가함에 따라 나타나는 소자 파라미터의 변화(역포화 드레인 전류, 전달컨덕턴스)를 보여 주고 있다. 중수소 효과를 관찰하기 위해 동일한 압력 조건(5 atm.)에서 열처리를 각각 행하였다. PMOSFET의 HCl 스트레스동안에는 에너지가 높은 정공이 발생되어 실리콘 산화막을 열화시키게 된다. 이러한 정공을 일반적으로 "hot" 정공으로 명명한다. Hot 정공이 계면에 존재하는 수소 또는 중수소 결합들과 반응하는 정도에 따라 중수소 효과가 나타나게 된다. 같은 조건에서 시험된 NMOSFET의 경우에는 동위원소 효과가 매우 뚜렷하게 관찰되었다.

그림 6는 그림 5의 실험과 같은 조건에서 스트레스 온도를 100 °C로 상승하였을 때 나타나는 실리콘 산화막의 열화(포화 드레인 전류 변화)를 나타낸다. 중수소 열처리 시료(D2 5 atm)가 원시료(FG)에 비해 다소 열화가 억제됨을 알 수 있다. 그림 6의 스트레스 조건은 HCl 뿐 아니라 NBTI 열화(그림 2 결과)가 동시에 진행된다고 판단된다. 즉, HCl에 의한 계면 열화 뿐 아니라, NBTI에 의한 계면 및 bulk 열화가 동시에 발생하게 된다. 그러므로 동위원소 효과가 더욱 뚜렷하게 관찰될 수 있다.

#### 4. 토 의

본 실험은 소자의 metal 1 공정 이후에 forming gas 공정 및 추가 열처리 공정이 이루어졌기 때문

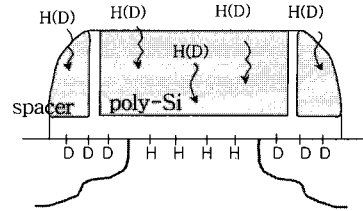


그림 7. 수소 및 중수소의 결합 모델.  
Fig. 7. Hydrogen and deuterium bonds in MOSFET.

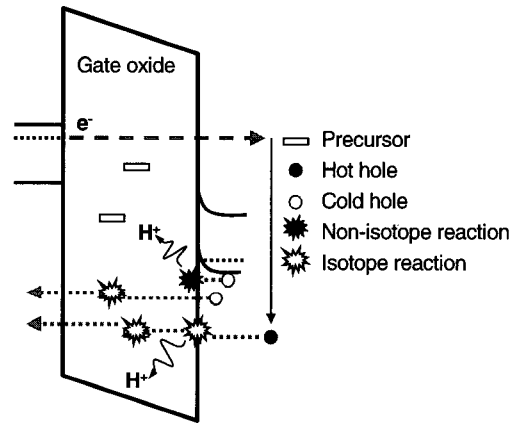


그림 8. 게이트 산화막내에서 발생하는 결함.  
Fig. 8. Illustration of the generation of defects in gate oxide film.

에 수소나 중수소는 게이트 전극용 다결정 실리콘 및 실리콘 질화막(spacer) 등을 통과하여 게이트 산화막인 SiO<sub>2</sub>로 확산되게 된다. 그러나 다결정 실리콘에서 수소의 확산계수가 중수소에 비해 높기 때문에 소자의 반전층 부근에는 수소 결합이 존재할 확률이 높아진다. 반면에 spacer (Si<sub>3</sub>N<sub>4</sub>) 부근에는 중수소 결합이 존재할 수 있게 된다(그림 7 참조). 이러한 상황에서 NBTI 스트레스는 반전층 근처의 결함생성과 관련이 있고, HCl은 spacer(드레인/소오스 overlap 부분) 근처의 결함생성과 깊은 관련이 있다.

그림 8은 수소 및 중수소 결합이 많이 존재하는 게이트용 실리콘 산화막내에서 전기적 스트레스에 의해 생성될 수 있는 결함에 대해 도시하였다. 수소 및 중수소가 산화막내에 존재하게 되면 불안정

한 Si-O을 파괴시켜 잠재된 결함(latent defect=precursor)으로 존재하게 된다. 이러한 precursor는 정공과 반응하여 양전하를 띤 결함 전하로써 존재할 수 있다. 양전하 결함은 전자의 포획을 유도하게 되며, 최종적으로 게이트 산화막의 물성을 열화시키게 된다. PMOSFET의 경우, 채널에 존재하는 에너지가 낮은 정공 ("cold" hole)은 계면에서 반응하여 수소 양이온을 발생시킬 수 있다[6]. 실험 결과(그림 3(a))로부터 cold 정공은 동위원소 효과를 나타내지 않을 것으로 판단된다. 그러나 이러한 정공들이 게이트 산화막을 통과할 때, 게이트 전압으로부터 에너지를 받게 되어 정공 에너지가 증가하게 된다. 이 경우에는 동위원소 효과가 나타날 수 있음을 그림 3(b)로부터 확인하였다. HCl와 같은 스트레스 조건에 발생할 수 있는 "hot" 정공은 게이트 산화막의 계면 및 bulk에서 동시에 반응하여 산화막내에 결함을 생성시킬 수 있다.

### 5. 결론

실리콘 산화막을 게이트 절연막으로 사용한 MOSFET에 추가적으로 수소 및 중수소에서 열처리함으로써 MOSFET에서 발생할 수 있는 열화 원인을 분석하고자 하였다. NBTI 스트레스에 의한 열화는 채널 전 영역에 걸쳐 발생하며, HCl 스트레스의 경우에는 드레인 근처의 좁은 채널 영역에서 열화가 발생하게 된다. 추가 열처리에 의한 수소 및 중수소 결함은 채널 전 영역 및 드레인/소오스의 overlap 영역에서 각각 형성될 확률이 높다. NBTI 스트레스는 실리콘 산화막의 계면특성 뿐 아니라 bulk특성을 동시에 열화시키나, 계면 열화에서는 동위원소 효과가 나타나지 않았다. 여러 종류의 열화 실험을 통해 게이트 산화막내에 존재하는 수소 결함이 MOSFET 동작 열화에 직접적인 원인이 됨을 확인하였으며, 수소 결함을 중수소 결함으로 대체함으로써 게이트 산화막의 계면 뿐 아니라 bulk 특성도 개선시킬 수 있음을 확인하였다.

### 참고 문헌

[1] D. J. DiMaria and E. Cartier, "Mechanism for stress-induced leakage currents in thin silicon dioxide films", J. Appl. Phys., Vol. 78, No. 6, p. 3883, 1995.  
 [2] J. Wu, E. Rosenbaum, B. MacDonald, E. Li, B. Tracy, and P. Fang, "Anode hole

injection versus hydrogen release: The mechanism for gate oxide breakdown", IEEE Int. Reliability Physics Symp., San Jose, CA, p. 27, 2000.  
 [3] Y. Mitani, H. Satake, H. Itoh, and A. Toriumi, "Suppression of stress-induced leakage current after Fowler-Nordheim stressing by deuterium pyrogenic oxidation and deuterium poly-Si deposition", IEEE Trans. Electron Devices, Vol. 49, No. 7, p. 1192, 2002.  
 [4] H. Uchida, S. Inomata, and T. Ajioka, "Effect of interface traps and bulk traps in SiO<sub>2</sub> on hot-carrier-induced degradation", IEEE Int. Conference on Microelectronics Test Structures, p. 103, 1989.  
 [5] T. Yamamoto, K. Uwasawa, and T. Mogami, "Bias temperatre instability in scaled p<sup>+</sup> polysilicon gate p-MOSFETs", IEEE Trans. Electron Devices, Vol. 46, No. 5, p. 921, 1999.  
 [6] K. O. Jeppson and C. M. Svensson, "Negative bias stress of MOS devices at high electric fields and degradation of MNOS devices", J. Appl. Phys., Vol. 48, No. 5, p. 2004, 1977.  
 [7] F. Jimenez-Molinos, F. Gamiz, A. Palma, P. Cartujo, and J. A. Lopez-Villanueva, "Direct and trap-assisted elastic tunneling through ultrathin gate oxide", J. Appl. Phys., Vol. 91, No. 8, p. 5116, 2002.  
 [8] M. H. Lee, C. H. Lin, and C. W. Liu, "Novel methods to incorporate deuterium in the MOS structures", IEEE Electron Device Lett., Vol. 22, No. 11, p. 519, 2001.  
 [9] K. Hess, I. C. Kizilyalli, and J. W. Lyding, "Giant isotope effect in hot electron degradation of metal oxide silicon devices", IEEE Trans. Electron Devices, Vol. 45, No. 2, p. 406, 1998.  
 [10] Z. Chen, K. Hess, J. Lee, J. W. Lyding, E. Rosenbaum, I. Kizilyalli, S. Chetlur, and R. Huang, "On the mechanism for interface trap creation in MOS transistors due to channel hot carrier stressing", IEEE Electron Device Lett., Vol. 21, No. 1, p. 24, 2000.