

논문 2005-42SD-10-2

전력 반도체 p⁺n 접합의 해석적 항복전압

(Analytical Breakdown Voltages of p⁺n Junction in Power Semiconductor Devices)

정 용 성*

(Yong Sung Chung)

요 약

Si, GaAs, InP 및 In_{0.53}Ga_{0.47}As 계단형 p⁺n 접합에서의 항복전압을 위한 해석적 표현식을 유도하였다. 해석적 항복전압을 위해 각 물질에 대한 Marsland의 lucky drift 파라미터를 이용하여 유효이온화계수를 각각 추출하였고, 이의 이온화 적분을 통해 얻은 해석적 항복전압 결과는 $10^{14} \text{cm}^{-3} \sim 5 \times 10^{17} \text{cm}^{-3}$ 도핑 농도 범위에서 실험 결과와 10% 오차 범위 이내로 잘 일치하였다.

Abstract

Analytical expressions for breakdown voltages of abrupt p⁺n junction of Si, GaAs, InP and In_{0.53}Ga_{0.47}As were induced. Getting analytical breakdown voltages, effective ionization coefficients were extracted using lucky drift parameters of Marsland for each materials. The results of analytical breakdown voltages followed by ionization integral agreed well with experimental result within 10% in error for the doping concentration in the range of $10^{14} \text{cm}^{-3} \sim 5 \times 10^{17} \text{cm}^{-3}$.

Keywords : Analytical breakdown voltages, Si, GaAs, InP, In_{0.53}Ga_{0.47}As.

I. 서 론

최근 고전력 소자는 산업 분야뿐 만 아니라 에어컨과 스위칭 전원장치와 같은 가정 전자제품에도 널리 사용되고 있다. 더 나아가 고전력 소자 사용의 확대는 생산 효율성의 증대와 생산비의 절감을 요구하고 있으며, Si은 이와 같은 요구를 충족시키는데 매우 적합한 것으로 알려져 있다.

또한, 높은 속도를 갖는 새로운 유형의 반도체 소자를 개발하려는 시도가 이루어지면서 III-V족 화합물 반도체는 높은 전계-과도 전달(field-transient transport) 특성을 가지며^[1-5], 그에 따라 높은 드리프트 속도를 갖는 것이 확인되어 고전류, 저전력 응용 소자로의 가능성이 한층 더 고조되었다. III-V족 화합물 반도체는 각기 다른 물리적 특성을 갖는 넓은 범위의 다양한 물질

을 이용하며, 이와 같은 다양한 물리적 특성은 높은 전계 전달 동작에 중요한 역할을 하게 된다. 충돌 이온화를 위한 문턱 에너지는 물질의 에너지 밴드갭에 매우 의존적이며, 이것은 화합물에 따라 서로 크게 다르다. InAs와 같은 좁은 밴드갭을 갖는 반도체는 충돌 이온화 문턱이 낮아 낮은 전자 에너지에서도 높은 이온화계수를 갖는 반면, GaAs 및 InP와 같이 더 넓은 밴드갭을 갖는 물질의 충돌 이온화는 단지 전자 에너지가 높을 경우에만 발생된다. 이와 같은 여러 물질은 각기 다른 응용 분야에 이용된다^[6]. GaAs는 높은 스위칭 속도에 따른 고속 동작, 낮은 ON저항으로 인한 적은 전력 손실 및 고온에서의 안정된 동작과 큰 이동도, 넓은 밴드갭 등의 장점으로 인해 전력 반도체 소자로서 매우 우수한 특성을 지니고 있다^[7]. 최근에는 항복전압이 600V인 GaAs 정류소자가 개발되는 등 GaAs 전력소자 분야의 상업적인 개발에 관심이 집중되고 있다^[8].

한편, InP는 적당하게 높은 전자 이동도뿐 아니라 III-V족 화합물 반도체 중 가장 높은 포화속도^[9]와 높은

* 정회원, 서라벌대학 멀티미디어과
(Dept. of Multimedia, Sorabol College)
접수일자: 2005년8월16일, 수정완료일: 2005년9월12일

항복전계 및 항복전압 특성을 갖는 물질로서 고성능 마이크로파 전력 소자에 적합하다^[10]. 또한, InP는 높은 전계에 잘 견딜 만큼 높은 열 전도도를 갖는다^[11].

In_{0.53}Ga_{0.47}As는 고속 소자로서의 가능성을 갖는 물질로 널리 인식되어 왔다. 이 소자가 갖는 높은 전자 이동도, 작은 유효 질량^[12], 인터밸리에서의 큰 에너지 분리^[13] 등의 특징은 GaAs의 경우보다 매우 높은 전자속도를 나타낼 수 있음을 의미하는데, 이것은 Monte Carlo 시뮬레이션^[14-15] 및 실험^[16-18] 등에서 입증된다.

여러 분야의 전자 제품의 전원에는 정류소자가 많이 쓰이고 있는데, 전원회로에 사용되는 다이오드를 비롯하여 BJT, IGBT, Thyristor 등은 pn 접합으로 구성되며, 이러한 전력소자에 있어서 항복전압은 높을수록, 순방향 전압강하는 낮을수록 좋다. 한편, 전력소자의 최적 설계를 위해서는 주어진 항복전압과 ON저항을 만족시키면서 가능한 한 칩 면적을 작게 해야 하는데, 소자의 구조와 농도 등의 변수가 주어질 경우, 그에 따른 항복전압 예측이 가능해야 한다. 이를 위해서 항복전압에 대한 해석적인 식의 필요성이 증대되고 있다. 높은 항복전압 특성을 나타내는 다이오드로는 Si pn 접합 다이오드^[19] 및 쇼트키 다이오드^[20] 등이 이용되고 있고, GaAs^[21], InP^[22] 및 In_{0.53}Ga_{0.47}As^[23]를 이용한 다이오드의 사용도 발표되고 있다.

Si, GaAs, InP 및 In_{0.53}Ga_{0.47}As에서 아발란치 이온화 계수는 IMPATT 다이오드, MESFETs, APDs와 같은 소자 설계시에 기본적인 요소로 사용되며, Si^[24], GaAs^[25], InP^[22] 및 In_{0.53}Ga_{0.47}As^[23] 이온화 계수를 전계 E의 함수로 측정된 결과가 다수 발표되었다. 이와 같은 이온화계수를 통해 수치적 이온화 적분을 이용하여 아발란치 항복전압을 계산할 경우에는 매우 복잡할 뿐 아니라 소자 설계시에 즉시 적용할 수 없는 문제가 있다.

Fulop^[26]은 Si 계단형 접합의 전자와 정공의 이온화 계수를 근사화시킨 유효이온화계수를 이용하여 항복전압을 해석적으로 구하더라도 큰 오차가 발생되지 않고 상당히 정확한 결과를 가져올 수 있음을 입증하였다. 한편, Lee와 Sze^[21]는 GaAs 접합의 결정방향에 따른 항복전압을 수치적 방법을 통해 구하였고, Umebu^[22]와 Armiento^[27] 및 Kao^[28]는 InP 계단형 접합의 항복전압을 수치적 방법에 의해 구하였으며, Pearsall^[23]은 In_{0.53}Ga_{0.47}As의 p⁺n 접합에서의 항복전압을 수치적 방법을 통해 구한바 있으나 해석적인 모형이 아니기 때문에 설계에 적용하기 위해서는 불편한 점이 많다. 여러 해 동안 GaAs와 InP 및 In_{0.53}Ga_{0.47}As에 대해 많은 관

심이 있음에도 불구하고, 이 물질이 갖고 있는 항복전압 특성을 해석적인 방법을 이용하여 유도한 연구 결과는 아직 알려진 바가 없다.

본 논문에서는 Si, GaAs, InP 및 In_{0.53}Ga_{0.47}As에 대한 Marsland의 lucky drift 파라미터를 이용하여 유효 이온화계수를 각각 $\gamma = A \cdot E^m$ (cm^{-1})의 형태로 추출함으로써 계단형 p⁺n 접합의 항복전압을 위한 해석적인 표현식을 유도하였고, 이를 발표된 실험 결과와 비교함으로써 항복전압을 위한 해석적 표현식의 타당성을 검증하였다.

II. 항복전압을 위한 해석적 모델

그림 1에는 역방향 바이어스 된 p⁺n 평면형 접합에서의 공핍층(depletion layer)을 나타냈는데, 접합에서 p⁺ 쪽이 n 쪽보다 도핑 레벨이 더 높으므로 공핍층은 n 영역 쪽으로 확장된다. 아발란치 항복 (avalanche breakdown)은 충돌 이온화(impact ionization) 과정이 무한대로 이루어지는 경우에 발생되며, 이때 충돌 이온화는 공핍층을 통해 캐리어가 이동되는 동안 전자-정공 쌍(electron-hole pair)이 발생하는 원인이 된다.

항복 조건은 전자와 정공의 이온화계수 α 와 β 가 다음 식 (1)을 만족할 때 성립한다^[29]. 여기서, W는 공핍층 폭이고, x는 pn 접합으로부터의 거리이다.

$$\int_0^W \beta \exp\left[-\int_0^x (\beta - \alpha) dx'\right] dx = 1 \quad (1)$$

또한, α 는 전자 이온화계수로서 전자가 전기장 방향

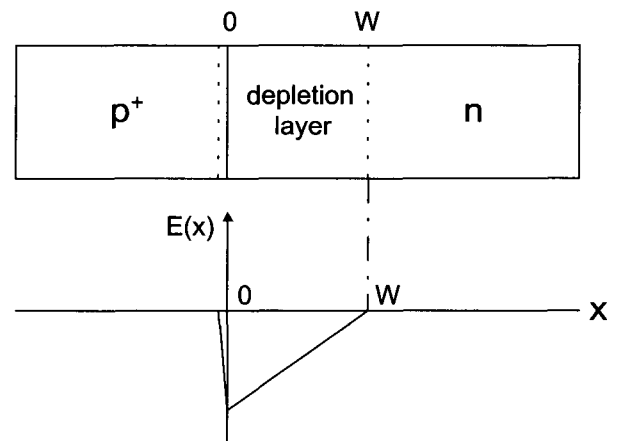


그림 1. 역 바이어스된 p⁺n 접합의 공핍층과 전계 분포
Fig. 1. Depletion layer and electric field distribution of reverse biased p⁺n junction.

을 따라 공핍층 1cm를 이동할 때 생성되는 전자-정공 쌍의 수이고, β 는 정공 이온화계수로서 정공이 전기장의 역방향을 따라 공핍층 1cm를 이동할 때 생성되는 전자-정공 쌍의 수이다.

식 (1)의 이온화 적분을 수행하기 위해서는 α 와 β 는 전계 함수이어야 하며, 항복전압을 구하기 위해 다음의 이온화계수 식 (2)를 이용한다.

$$\alpha, \beta = A \exp\left\{-\left[\frac{b}{E(x)}\right]^m\right\} \quad (2)$$

여기서, A와 b 및 m은 반도체 종류에 따라 다른 이온화계수의 상수이다. 이론적 모델을 이용하여 이온화계수를 구할 경우 일반적으로 Baraff^[30]에 의해 개발된 모델을 적용한다. 이와 같이 아발란치 연구에 Baraff 모델이 널리 사용되었지만 Marsland^[31]에 의해 다층 구조에 Baraff 모델을 적용할 경우 많은 시간과 노력이 소요되는 등 문제점이 확인되었고, 이에 간소화된 해석적 모델의 필요성이 대두되었다. 본 논문에서는 이러한 문제로 Marsland가 개발한 다음의 식 (3)^[31]을 이용하여 전자와 정공의 이온화계수를 유도하였다.

$$\alpha = \frac{\lambda_E f(\lambda_E) - \lambda f(\lambda)}{\lambda_E^2 [1 - f(\lambda_E)] - \lambda^2 [1 - f(\lambda)]} \quad (3)$$

여기서, $f(\lambda)$ 는 식 (4)이고, $f(\lambda_E)$ 는 식 (5)와 같다.

$$f(\lambda) = \exp\left(-\frac{l_0}{\lambda}\right) \left[1 - \pi \frac{(al_0\lambda)^{1/3}}{\lambda} \times \text{Hi}\left(-\frac{(al_0\lambda)^{1/3}}{\lambda}\right)\right] \quad (4)$$

$$f(\lambda_E) = \exp\left(-\frac{l_0}{\lambda_E}\right) \left[1 - \pi \frac{(al_0\lambda_E)^{1/3}}{\lambda_E} \times \text{Hi}\left(-\frac{(al_0\lambda_E)^{1/3}}{\lambda_E}\right)\right] \quad (5)$$

식 (4)와 식 (5)에서 $\text{Hi}(x)$ 는 Airy 함수^[32]로서, 식 (6)과 같은 근사식을 이용한다^[31].

$$1 - \pi s \text{Hi}(-s) \simeq \exp(-s) \quad (6)$$

한편, 식 (3)에서 λ_E 는 에너지 이완을 위한 평균자유행정이며, 식 (7)과 같다.

$$\lambda_E = \frac{eE\lambda^2(2n+1)}{2\hbar w} \quad (7)$$

여기서, $\hbar w$ 는 광양자 에너지, e 는 전자 전하, E 는 전계의 세기, λ 는 광양자 평균 자유 행정, n 은 Bose-Einstein

수로서, 식 (8)과 같다.

$$n = \frac{1}{\exp(\hbar w/kT) - 1} \quad (8)$$

또한, 식 (4)와 식(5)에서 l_0 는 전자나 정공이 이온화되기 위해 도달한 거리를 나타내며, a 는 이온화로 가는 평균자유행정과 관련된 계수로서 각각 식 (9) 및 식 (10)과 같다.

식 (9)에서 E_I 는 이온화 문턱 에너지이고, 식 (10)에서 p 는 상수이다. 식 (3)의 아발란치 모델을 사용하기 위해 필요한 각 반도체에 대한 Marsland의 lucky drift 파라미터^[31]를 표 1에 나타냈다.

$$l_0 = \frac{E_I}{eE} \quad (9)$$

$$a = \frac{\hbar w}{p(2n+1)eE} \quad (10)$$

표 1의 lucky drift 파라미터를 이용하여 구한 이온화계수를 그림 2에 나타냈다. 일반적으로 전계가 증가하면 그림 2와 같이 이온화계수도 증가하게 되는데^[33], 이것은 전력 소자의 항복전압을 분석하는데 중요한 요소가 된다. 그림 2로부터 각 이온화계수의 크기는 전계에 대해 In_{0.53}Ga_{0.47}As, Si, GaAs, InP 순으로 작아지며, 여기서 In_{0.53}Ga_{0.47}As의 이온화계수는 InP와 비교해 매우 큰 것을 알 수 있다. 이로 인해 농도에 따른 항복전압의 결과에서는 그 크기가 InP, GaAs, Si, In_{0.53}Ga_{0.47}As 순으로 작아지며, 이온화계수의 경우와는 반대로 In_{0.53}Ga_{0.47}As의 항복전압이 InP와 비교해 매우 작게 나타난다.

표 1. Lucky drift 파라미터
Table 1. Lucky drift parameters.

이온화 계수	파라미터	Si	GaAs	InP	In _{0.53} Ga _{0.47} As
α	$\hbar w$ (eV)	0.055	0.029	0.025	0.027
	E_I (eV)	1.1	1.7	1.47	1.0
	p	0.011	0.0068	0.00105	∞
	λ (Å)	77.4	50.4	34.0	32.1
β	$\hbar w$ (eV)	0.055	0.029	0.025	0.027
	E_I (eV)	1.8	1.424	1.38	1.0
	p	0.0032	0.0037	0.0012	0.46
	λ (Å)	75.6	45.0	36.2	32.5

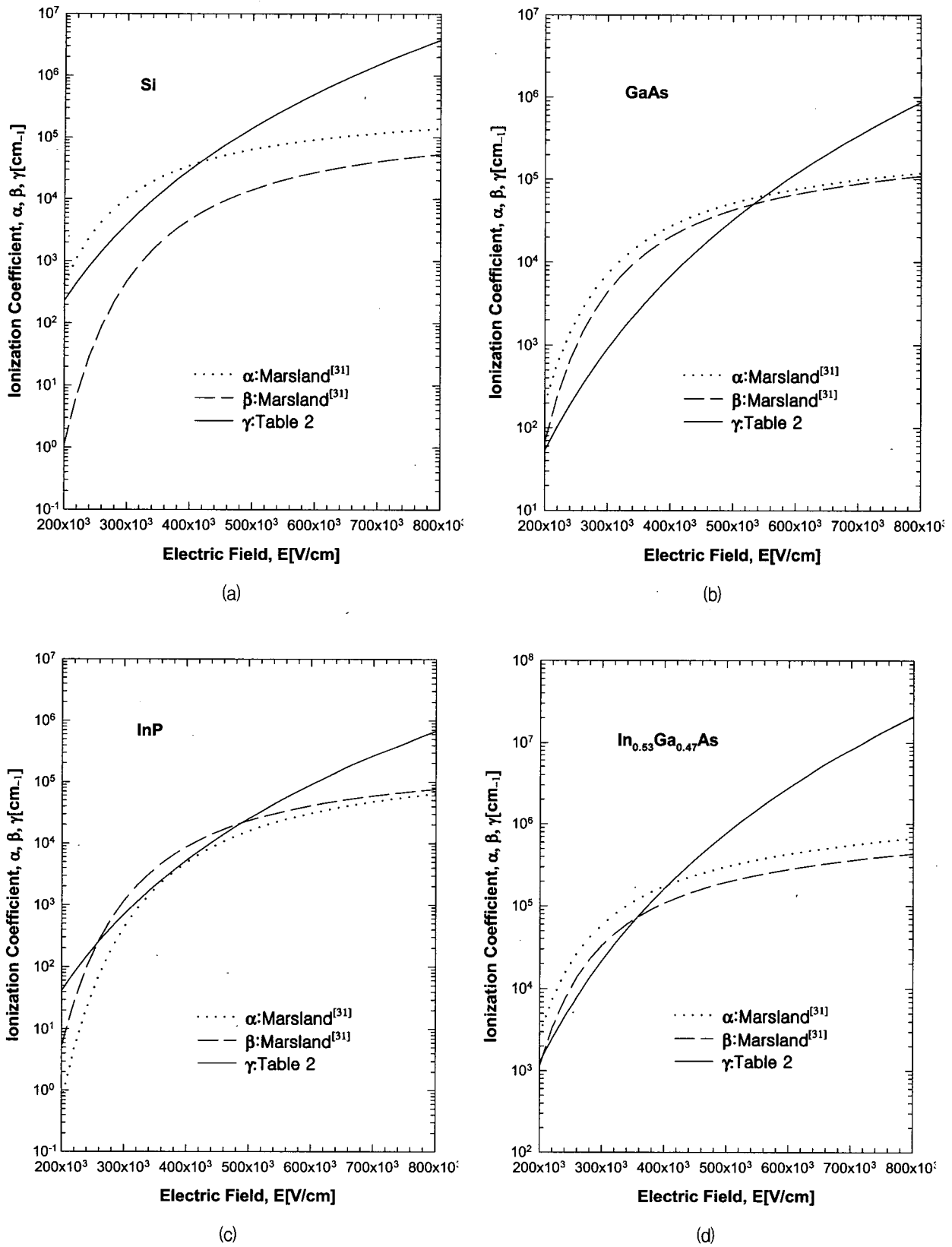


그림 2. 전계 함수의 이온화계수 (a) Si (b) GaAs (c) InP (d) In_{0.53}Ga_{0.47}As

Fig. 2. Ionization coefficients as a function of electric field of, (a) Si (b) GaAs (c) InP (d) In_{0.53}Ga_{0.47}As.

한편, 한쪽 도핑 농도가 다른 쪽에 비해 매우 높고 일정하다고 가정한 계단형 접합의 경우에 공핍층은 얇게 도핑된 쪽으로 확장된다. 역방향 바이어스 전압이 인가된 p⁺n 접합의 경우에는 p⁺ 쪽의 높은 도핑 농도로 인해 공핍층이 n형 쪽으로 확산되므로 1차원적 Poisson 식이 n형 쪽에 적용되어 식 (11)이 된다.

$$\frac{d^2 V}{dx^2} = -\frac{dE}{dx} = -\frac{Q(x)}{\epsilon_s} = \frac{qN_D}{\epsilon_s} \quad (11)$$

여기서, $Q(x)$ 는 공핍층 전하, $\epsilon_s = \epsilon_0\epsilon_r$ 이며, 진공 유전율을 $\epsilon_0 = 8.85418 \times 10^{-14} \text{ F/cm}$ 이고, ϵ_r 는 반도체의 유전 상수, q 는 전자 전하, N_D 는 donor의 도핑 밀도이다. 식 (11)을 적분하고 $E(W)=0$ 의 경계 조건을 이용하면 전계 식 (12)를 구하게 된다.

$$E(x) = \frac{qN_D}{\epsilon_s} (W - x) \quad (12)$$

식 (12)와 같이 거리에 따라 선형적으로 변화하는 전계 분포를 그림 1에 나타냈다. 한편, 식 (12)를 적분하면 전위 분포는 식 (13)과 같이 구해진다.

$$V(x) = \frac{qN_D}{2\epsilon_s} (W - x)^2 \quad (13)$$

전위는 거리의 제곱으로 변화하는데, $x = W$ 에서의 전위는 인가된 역방향 바이어스 전압 V_R 과 같아야 하는 경계 조건으로부터 공핍층 폭은 식 (14)가 된다.

$$W = \left(\frac{2\epsilon_s V_R}{qN_D} \right)^{1/2} \quad (14)$$

계단형 p⁺n 접합 다이오드의 항복전압을 구하기 위해서는 식 (12)의 전계 분포식을 이용하여 식 (1)의 이온화 적분식을 풀어야 하는데, 이 경우 전자와 정공의 이온화계수를 대입하여 수치적으로 계산해야한다.

전자와 정공의 이온화계수 α 와 β 는 서로 다르지만^[34-35], $\alpha \approx \beta$ 로 근사화시킨 유효이온화계수를 이용하여 항복전압을 구하더라도, Si^[26]의 경우, 큰 오차가 발생하지 않고 상당히 정확한 결과를 얻을 수 있다고 알려져 있다.

따라서, 이온화계수를 근사화시키기 위해 $\alpha \approx \beta \approx \gamma$ 인 적절한 두 점을 전계에 대해 구하고, 구해진 전계에 대한 이온화계수 값을 이용하여

표 2. 추출된 유효이온화계수

Table 2. Extracted effective Ionization Coefficients.

단위 (cm^{-1})	Si	GaAs	InP	In _{0.53} Ga _{0.47} As
A	1.8×10^{-35}	4.15×10^{-3}	3.23×10^{-3}	9.95×10^{-3}
m	7			

$\gamma = A \cdot E^m (cm^{-1})$ 형태의 유효 이온화계수를 추출하면, Si, GaAs, InP 및 In_{0.53}Ga_{0.47}As의 유효이온화계수 γ 는 표 2와 같다. 추출된 유효이온화계수에서 특히 Si의 경우에는 Fulop에 의해 이미 발표된 유효이온화계수^[26]와 일치하였다. 표 2의 유효이온화계수 식은 p⁺n 접합의 아발란치 항복전압에 대한 closed-form의 해를 구하는데 유용하게 쓰여진다.

또한, 그림 2에는 $2 \times 10^5 \text{ V/cm} \sim 8 \times 10^5 \text{ V/cm}$ 의 전계 범위에 대한 Si, GaAs, InP 및 In_{0.53}Ga_{0.47}As의 유효이온화계수 γ 를 각각 나타냈다.

그림 2에서 γ 가 이온화계수 α 및 β 와 차이를 나타낸 것은 γ 추출에 있어 경험적 방법을 이용함으로써 나타난 결과로서, 근사화시킨 유효이온화계수를 이용하더라도 항복전압 결과가 실험 결과와 큰 오차를 나타내지 않는 것으로 알려져 있다^[26]. 유효이온화계수 γ 를 사용하면 식 (1)의 항복 조건은 식 (15)와 같이 간소화된^[36].

$$\int_0^W \gamma dx = 1 \quad (15)$$

여기서, W 는 n 영역으로 확산되는 공핍층 폭으로서 이온화 과정이 W 까지 이루어지는 것으로 가정하여 적분을 수행한다. 식 (1)을 이용하여 이온화 적분을 수행할 경우, 복잡한 과정을 거쳐야 하는 것과는 달리, 식 (15)를 이용함으로써 전계 E 만의 함수로 된 표 2의 유효이온화계수를 적분하게 되어, 간단히 항복전압을 구하게 된다.

InP의 경우, 유효이온화계수 γ_{InP} 와 전계 식 (12)를 이온화 적분 식 (15)에 대입하면 식 (16)이 된다.

$$\int_0^W 3.23 \times 10^{-36} \left[\frac{qN_D}{\epsilon_s} (W - x) \right]^7 dx = 1 \quad (16)$$

식 (16)으로부터 평면형 접합에 대한 항복시 공핍층 폭을 $W_{C,pp} = C \cdot N_D^n (cm)$ 의 형태로 구하면 표 3과

표 3. 항복시 공핍층 폭

Table 3. Depletion layer width at breakdown.

단위 (cm)	Si	GaAs	InP	In Ga ^{0.53} As _{0.47}
C	2.6×10 ¹⁰	3.4×10 ¹⁰	3.39×10 ¹⁰	2.38×10 ¹⁰
n	-0.875			

같다.

공핍층 폭 $W_{C,pp}$ 에서 아랫 첨자 C는 임계값을 나타내고, pp는 평면형이나 준 무한대 접합을 의미한다. 그림 3에는 표 3의 해석적 표현식을 이용하여 얻은 Si, GaAs, InP 및 In_{0.53}Ga_{0.47}As p⁺n 접합의 공핍층 폭을 각각 비교하여 나타냈다. 그림 3으로부터 각 소자의 항복시 공핍층 폭이 도핑 농도가 높을수록 점차 감소함을 나타냈는데, 이것은 p⁺n 접합에서 낮은 농도 쪽으로 공핍층 폭이 더 많이 확산되어 감을 의미하는 것이다.

$x=0$ 의 경우, 식 (13)에 공핍층 폭 $W_{C,pp}$ 을 대입하면 계단형 접합 다이오드의 항복전압은 식 (17)로부터 표 4와 같이 $V_{B,pp} = K \cdot N_D^p (V)$ 의 형태로 구해

표 4. 항복전압

Table 4. Breakdown voltages.

단위 (V)	Si	GaAs	InP	In Ga ^{0.53} As _{0.47}
K	5.21×10 ¹³	8.11×10 ¹³	8.35×10 ¹³	3.8×10 ¹³
p	-0.75			

진다^[37].

$$V_{B,pp} = \frac{qN_D W_{C,pp}^2}{2\epsilon_s} \quad (17)$$

그림 4(a)에는 표 4를 이용하여 얻은 Si, GaAs, InP 및 In_{0.53}Ga_{0.47}As p⁺n 다이오드의 해석적인 항복전압을 10¹⁴cm⁻³ □ 5×10¹⁷cm⁻³ 도핑 농도에 대해 비교하여 나타냈다. 그림 4(a)에서 일정 농도에 대한 항복전압의 크기는 앞에 언급한 바와 같이 InP, GaAs, Si 및 In_{0.53}Ga_{0.47}As 순서로 점차 작게 나타났다. 그림 4(b)~(e)에서 실선 — 은 본 논문에서의 해석적 결과이고, 그림 4(b)에서 ●^[36], ■^[29], ▲^[41] 기호는 각각 Si의 실험 결과이다. 그림 4(c)에서 ●^[38] 기호는 GaAs의 실험 결과이고, 그림 4(d)에서 ●^[39], ■^[27], ▲^[40], ▼^[22], ◆^[28] 기

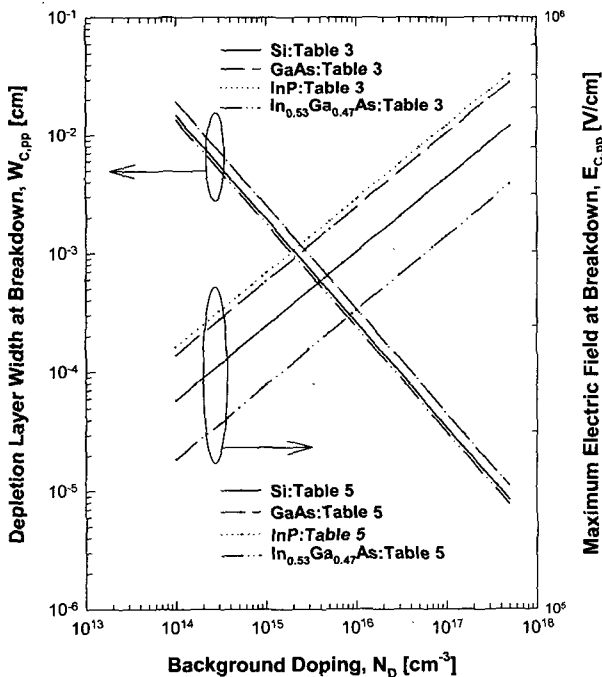
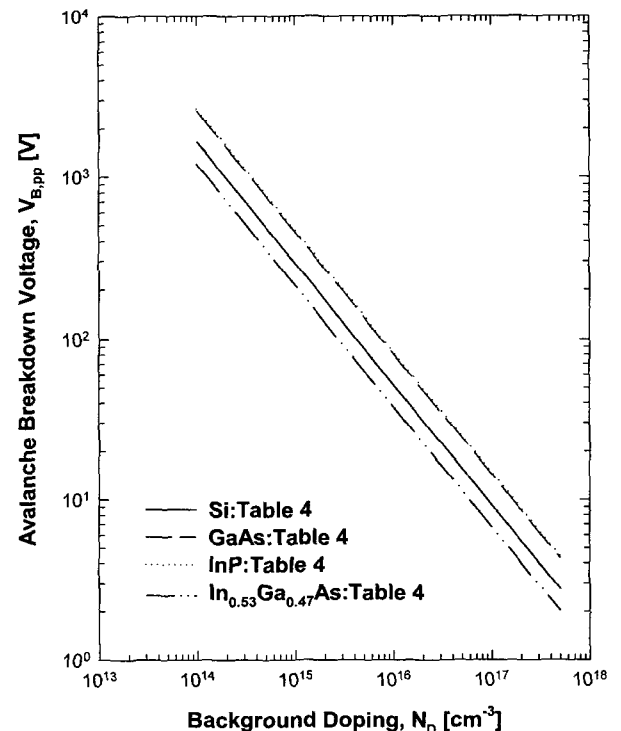
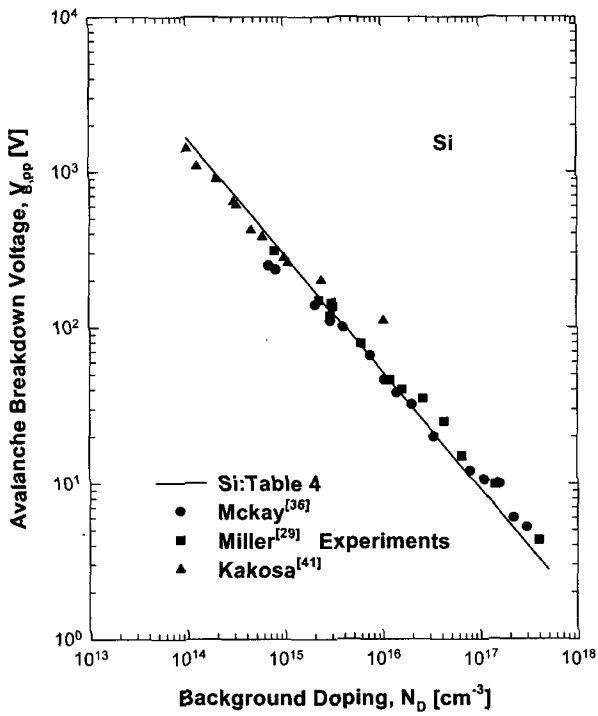


그림 3. p⁺n 접합의 농도에 따른 항복시 공핍층 폭과 최대 전기장

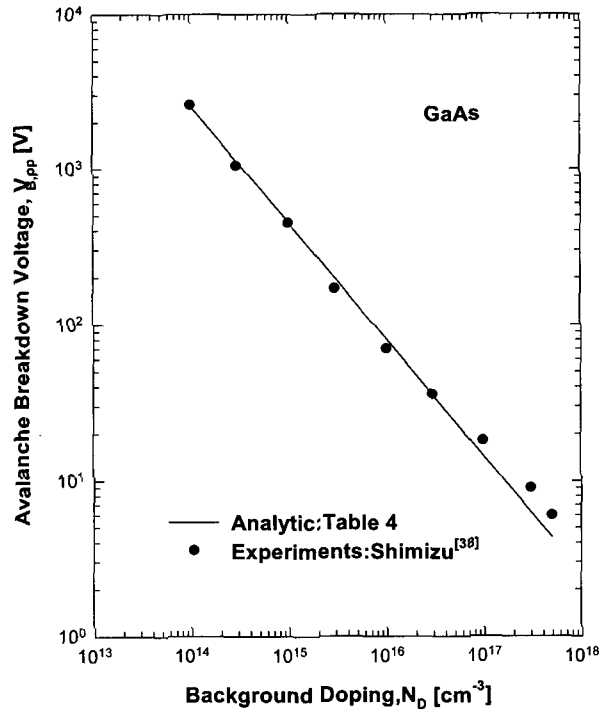
Fig. 3. Depletion layer width and maximum electric field as a function of doping concentration of p⁺n junction.



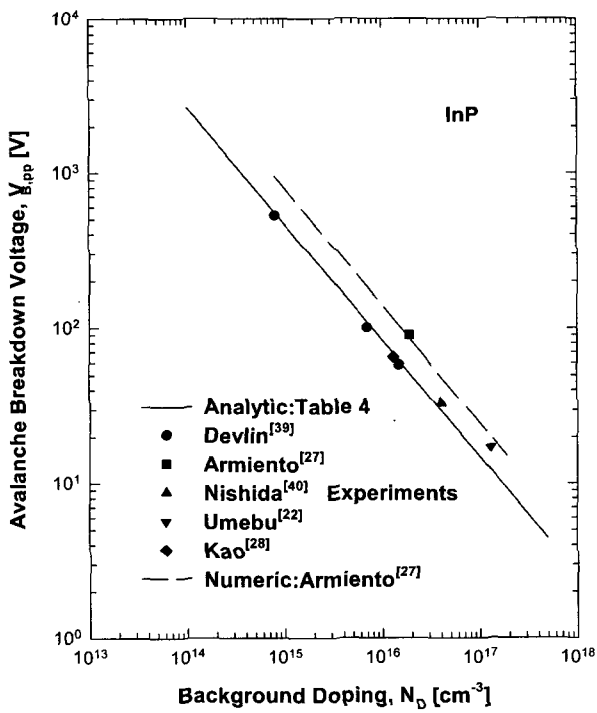
(a)



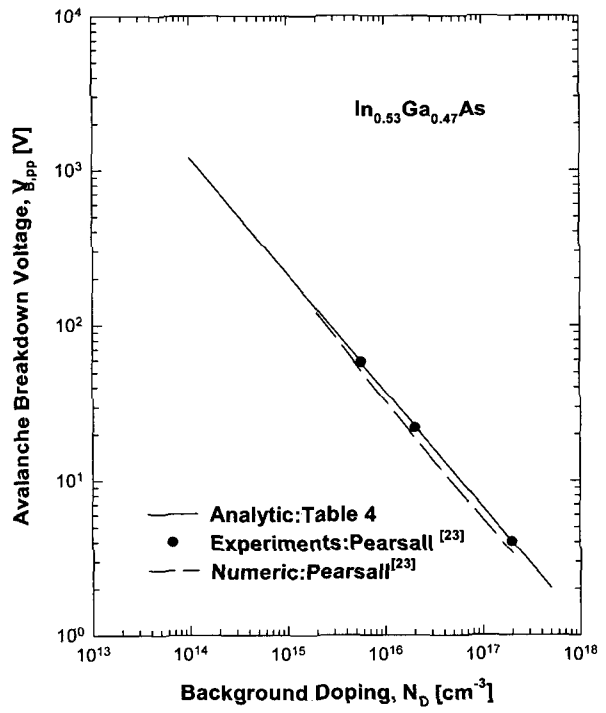
(b)



(c)



(d)



(e)

그림 4. Si, GaAs, InP 및 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ p⁺n 접합의 농도에 따른 아발란치 항복전압 (a) Si, GaAs, InP, $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ (b) Si (c) GaAs (d) InP (e) $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$
 Fig. 4. Avalanche breakdown voltages as a function of doping concentration of p⁺n junction of, (a) Si, GaAs, InP, $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ (b) Si (c) GaAs (d) InP (e) $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$.

표 5. 항복시 최대 전계

Table 5. Maximum electric field at breakdown.

단위 (V/cm)	Si	GaAs	InP	In Ga ^{0.53} As _{0.47}
L	4.01×10 ³	4.77×10 ³	4.92×10 ³	3.19×10 ³
a	0.125			

호는 각각 InP 실험 결과이며, 굵은 점선 — —은 InP의 수치적 결과^[27]이다. 그림 4(e)에서 ●^[23] 기호는 In_{0.53}Ga_{0.47}As의 실험 결과이고, 굵은 점선 — —은 In_{0.53}Ga_{0.47}As의 수치적 결과^[23]이다. 그림 4(d) 및 그림 4(e)의 경우에는 실험 결과와 비교해 볼 때 해석적 결과가 오히려 수치적 결과보다 더 일치함을 나타냈다. 그림 4의 해석적 항복전압 결과로부터 농도가 높아짐에 따라 항복 전압이 낮아짐을 확인할 수 있고, 해석적 결과는 실험 결과와 매우 잘 일치함으로써 해석적 항복전압의 타당성이 입증되었다. 또한, 항복시 최대 전계는 식 (12)로부터 $E_{C,pp} = L \cdot N_D^0$ (V/cm)의 형태로 표 5와 같이 구해진다. 이와 같은 최대 임계전계는 소자의 아발란치 항복을 결정하는 중요한 요소로서, 계단형 접합에 대한 위의 모든 해석적 표현식은 다양한 pn 접합에 대한 기초 변수를 예측하는 데 유용하게 사용된다.

그림 3에는 $10^{14} \text{cm}^{-3} \sim 5 \times 10^{17} \text{cm}^{-3}$ 도핑 농도에 대한 Si, GaAs, InP 및 In_{0.53}Ga_{0.47}As p⁺n 접합의 임계 전계에 대한 해석적 결과를 각각 비교하여 나타냈으며, 농도가 증가함에 따라 임계 전계가 증가함을 알 수 있다. 이것은, 전계가 증가할 경우 항복전압의 저하율이 감소하는 것을 의미하며, 표 5와 같이 농도의 0.2승 이하에 비례하므로 그 정도가 미미하다. 따라서, Si, GaAs, InP 및 In_{0.53}Ga_{0.47}As의 경우, 임계 전계는 농도가 변하더라도 크게 변하지 않음을 알 수 있다.

이상의 해석적인 표현식에 의해 나타낸 그림 2에서 그림 4의 결과는 전력 소자의 항복전압 설계 시 최적의 에피층 농도와 두께를 결정하는데 유용하게 쓰여진다.

III. 결과 및 고찰

Si, GaAs, InP 및 In_{0.53}Ga_{0.47}As에 대한 Marsland의 lucky drift 파라미터로부터 얻은 이온화계수를 $\alpha \approx \beta \approx \gamma$ 로 근사화시켜 유효이온화계수 γ 를 추출하였고, γ 를 이온화 적분식에 대입함으로써 Si, GaAs,

InP 및 In_{0.53}Ga_{0.47}As p⁺n 평면형 접합의 항복전압에 대한 해석적인 식을 유도하였다.

각 소자에서 p⁺n 다이오드의 해석적인 항복전압을 $10^{14} \text{cm}^{-3} \sim 5 \times 10^{17} \text{cm}^{-3}$ 도핑 농도에 대해 실험 결과 및 해석적 결과와 비교하여 잘 일치함으로써, 해석적 항복전압 표현식의 타당성을 입증하였다.

IV. 결론

Si, GaAs, InP 및 In_{0.53}Ga_{0.47}As에 대해 Marsland의 lucky drift 파라미터로부터 유효이온화계수를 근사적으로 추출하여 p⁺n 접합 다이오드의 항복전압을 농도의 함수로 유도하였다. 유도된 항복전압의 해석적 결과는 실험 결과와 잘 일치했다. 본 논문에서 추출한 Si, GaAs, InP 및 In_{0.53}Ga_{0.47}As의 해석적 항복전압 표현식은 전력 반도체 소자의 설계에 매우 유용하리라 기대된다.

참고문헌

- [1] C. V. Shank and D. H. Auston, *Science*, vol. 215, pp. 797-801, 1982.
- [2] J. G. Ruch and G. S. Kino, *Phys. Rev.*, vol. 174, pp. 921-931, 1968.
- [3] W. Fawcett, A. D. Boardman and S. Swain, *J. Phys. Chem. Solids*, vol. 31, pp. 1963-1990, 1970.
- [4] M. A. Littlejohn, J. R. Hauser and T. H. Glisson, *J. Appl. Phys.*, vol. 48(11), pp. 5487-5490, 1977.
- [5] T. J. Maloney and J. Frey, *J. Appl. Phys.*, vol. 48, pp. 781, 1977.
- [6] S. M. Sze, *Physics of Semiconductor Devices*, 2nd Edn. Wiley, New York, 1982.
- [7] B. J. Baliga, "Power Semiconductor Device Figure of Merit for High-Frequency Applications," *IEEE Electron Device Letters*, vol.10, no.10, pp.455-457, 1989.
- [8] Ali S. M. Salih et al., "High Voltage GaAs Power Rectifiers with Low Switching and Conduction Losses," *Proc. PEDS'95*, pp.259-263, Singapore, Feb.21-24 1995.
- [9] M. A. Littlejohn, J. R. Hauser, and T. H. Glisson, "Velocity-field characteristics of $\text{Ga}_{1-x}\text{In}_x\text{P}_{1-y}\text{As}_y$ quaternary alloy," *Appl. Phys. Lett.*, vol. 30, pp. 242-244, 1977.
- [10] L. Aina, M. Burgess, M. Mattingly, J. M. O'Connor, A. Meerschaert, M. Tong, A.

- Ketterson, and I. Adesida, "0.33- μ m gate-length millimeter-wave InP-channel HEMT's with high f_t and f_{max} ," *IEEE Electron Device Lett.*, vol. 12, no. 9, pp. 483-485, 1991.
- [11] J. D. Woodhouse, J. P. Donnelly, M. J. Manfra, and R. J. Bailey, "P-AllnAs/InP junction FET's by selective molecular beam epitaxy," *IEEE Electron Device Lett.*, vol. 9, no. 11, pp. 601-603, 1988.
- [12] T. P. Pearsall, R. Bisaro, P. Merenda, G. Laurencin, R. Ansel, J. C. Portal, C. Houlbert, and M. Quillec, *GaAs and Related Compounds*, St. Louis, pp. 94, 1978(Inst. of Phys., Bristol, 1979).
- [13] K. Y. Cheng, A. Y. Cho, S. B. Christman, T. P. Pearsall, and J. E. Rowe, *Appl. Phys. Lett.*, vol. 40, pp. 423, 1982.
- [14] M. A. Littlejohn, J. R. Hauser, and T. H. Glisson, *Appl. Phys. Lett.*, vol. 30, pp. 242, 1977.
- [15] M. A. Littlejohn, J. R. Hauser, T. H. Glisson, D. K. Ferry, and J. W. Harrison, *Solid-State Electron.*, vol. 21, pp. 107, 1978.
- [16] A. Sasaki, Y. Takeda, N. Shikagawa, and T. Takagi, *Jpn. J. Appl. Phys.*, vol. 16, Suppl. 16-1, pp. 239, 1977.
- [17] J. H. Marsh, P. A. Houston, and R. N. Robson, *GaAs and Related Compounds*, Vienna, pp. 621, 1980(Inst. of Phys., Bristol, 1981).
- [18] W. Kowalsky and A. Schlachetzki, *Electron. Lett.*, vol. 19, pp. 189, 1983.
- [19] V. A. K. Temple, and M. S. Adler, "A substrate etch geometry for near ideal breakdown voltage in p-n junction devices," *IEEE Trans. on Electron Devices*, vol. ED-24, no. 8, pp. 1077-1081, 1977.
- [20] W. T. Ng, S. Liang, and C. A. T. Salama, "Schottky barrier diode characteristics under high level injection," *Solid-State Electron.*, vol. 33, no. 1, pp. 39-46, 1990.
- [21] M. H. Lee and S. M. Sze, "Orientation dependence of breakdown voltage in GaAs," *Solid-State Electron.*, vol. 23, pp. 1007-1009, 1980.
- [22] I. Umebu, A. N. M. M. Choudhury, and P. N. Robson, "Ionization coefficients measured in abrupt InP junctions," *Appl. Phys. Lett.* vol. 36(4), pp. 302-303, 1980.
- [23] T. P. Pearsall, "Impact ionization rates for electrons and holes in Ga_{0.47}In_{0.53}As," *Appl. Phys. Lett.*, vol. 36(3), pp. 218-220, 1980.
- [24] R. V. Overstraeten, and D. Man, "Measurement of the ionization rates in diffused silicon p-n junctions," *Solid-State Electron.*, vol. 13, pp. 583-608, 1970.
- [25] M. Ito, S. Kagawa, T. Kaneda, and T. Yamaoka, "Ionization rates for electron and holes in GaAs," *J. Appl. Phys.*, vol. 49(8), pp. 4607-4608, 1978.
- [26] W. Fulop, "Calculation of avalanche breakdown of silicon p-n junctions," *Solid-State Electron.*, vol. 10, pp. 39-43, 1967.
- [27] C. A. Armiento, S. H. Groves, and C. E. Hurwitz, "Ionization coefficients of electrons and holes in InP," *Appl. Phys. Lett.* vol. 35(4), pp. 333-335, 1979.
- [28] C. W. Kao and C. R. Crowell, "Impact ionization by electrons and holes in InP," *Solid-State Electron.*, vol. 23, pp. 881-891, 1980.
- [29] S. L. Miller, "Ionization rates for holes and electrons in silicon," *Physical Review*, vol. 105, no. 4, pp. 1246-1249, 1957.
- [30] G. A. Baraff, *Phys. Rev.*, vol. 128, pp. 2507, 1962.
- [31] J. S. Marsland, "A lucky drift model, including a soft threshold energy, fitted to experimental measurements of ionization coefficients," *Solid-State Electron.*, vol. 30, no. 1, pp. 125-132, 1987.
- [32] M. A. Abramowitz, and I. A. Stegun, *Handbook of mathematical functions*, eqn. 10.4.44, pp. 448, U.S.Dept. of Commerce, 1964.
- [33] H. Kressel and G. Kupsky, "The effective rate for hot carriers in GaAs," *INT. J. Electronics*, vol. 20, no. 6, pp. 535-543, 1966.
- [34] G. E. Bulman, V. M. Robbins, K. F. Brennan, K. Hess, and G. E. Stillman, "Experimental determination of impact ionization coefficient in (100) GaAs," *IEEE Electron Device Letters*, vol. EDL-4, no. 6, pp. 181-185, 1993.
- [35] T. P. Pearsall, F. Capasso, R. E. Nahory, M. A. Pollack, and J. R. Chelikowsky, "The band structure dependence of impact ionization by hot carriers in semiconductors: GaAs," *Solid-State Electron.*, vol. 21, pp. 297-302, 1978.
- [36] K. G. McKay, "Avalanche breakdown in silicon," *Phys. Rev.*, vol. 94, no. 4, pp. 877-884, 1954.
- [37] P. Mars, "Temperature dependence of avalanche breakdown voltage in p-n junctions," *Int. J. Electronics*, vol. 32, no. 1, pp. 23-37, 1971.
- [38] A. Shimizu and T. Koshimizu, "Avalanche breakdown voltage of GaAs hyperabrupt junctions," *Solid-State Electron.*, vol. 24, pp. 1155-1160, 1981.
- [39] W. J. Devlin, K. T. Ip, D. P. Leta, L. F. Eastman, G. H. Morrison, and J. Comas,

Proceeding of International Conference on Gallium Arsenide and Related Compounds, St. Louis, pp. 510, 1978(Institute of Physics, London, 1979).

- [40] K. Nishida, K. Taguchi, and Y. Matsumoto, "InGaAsP hetero-structure avalanche photodiodes with high avalanche gain," *Appl. Phys. Lett.*, vol. 35, pp. 251, 1979.
- [41] R. A. Kokosa, and R. L. Davies, "Avalanche breakdown of diffused silicon p-n junction," *IEEE Trans. on Electron Devices*, vol. ED-13, no. 12, 1966.

저 자 소 개



정 용 성(정회원)

1978년 2월 아주대학교 전자공학과 학사 졸업

1988년 2월 한양대학교 전기및전자공학계열 석사 졸업

1999년 2월 아주대학교 전자공학과 박사 졸업.

1996년 3월~현재 서라벌대학 멀티미디어과 교수

<주관심분야 : 전력반도체>