

Scanning Probe Microscopy를 이용한 국소영역에서의 실리콘 나노크리스탈의 전기적 특성 분석

論 文

54C-10-2

Characterization of Electrical Properties of Si Nanocrystals Embedded in a SiO₂ Layer by Scanning Probe Microscopy

金 政 民[†] · 許 滋 廷^{*} · 姜 致 中^{**} · 金 容 商^{***}

(Jung-Min Kim · Hyun-Jung Her · Chi-Jung Kang · Yong-Sang Kim)

Abstract - Si nanocrystal (Si NC) memory device has several advantages such as better retention, lower operating voltage, reduced punch-through and consequently a smaller cell area, suppressed leakage current. However, the physical and electrical reasons for this behavior are not completely understood but could be related to interface states of Si NCs. In order to find out this effect, we characterized electrical properties of Si NCs embedded in a SiO₂ layer by scanning probe microscopy (SPM). The Si NCs were generated by the laser ablation method with compressed Si powder and followed by a sharpening oxidation. In this step Si NCs are capped with a thin oxide layer with the thickness of 1~2 nm for isolation and the size control. The size of Si NCs is in the range of 10~50 nm and the density around 10¹¹ /cm². It also affects the interface states of Si NCs, resulting in the change of electrical properties. Using a conducting tip, the charge was injected directly into each Si NC, and the image contrast change and dC/dV curve shift due to the trapped charges were monitored. The results were compared with C-V characteristics of the conventional MOS capacitor structure.

Key Words : Si Anocrystal, Interface States, Laser Ablation, Scanning Probe Microscopy, Localized Electrical Properties

1. 서 론

최근 메모리 소자의 집적도 향상을 위하여 나노 구조에 대한 연구가 활발히 진행 중이며 많은 관심이 집중되고 있다. 그중 하나로 분자 몇 개 정도의 크기를 갖고 소자 작동 시 열 발생이 거의 없는 단전자 비휘발성 메모리가 차세대 소자로 주목 받고 있다. 이런 단전자 비휘발성 메모리 소자를 실현 시킬 방법 중 하나로 floating gate에 나노 입자를 이용하는 방안이 제시되고 있는데, gate oxide내에 나노 크기의 입자를 위치시키는 이 방식은 현 메모리 구조를 대체 할 수 있을 것으로 본다. 이 구조는 전하를 저장할 때 몇 가지 장점을 갖는다 [5]. 기존의 구조보다 낮은 동작 전압으로 구동되기 때문에 얇은 tunnel oxide 증착이 가능하고, punch-through 현상이 감소하여 채널길이를 짧게 할 수 있다. 또한 작은 셀 영역에서 누설전류를 억제할 수 있다. 하지만 지금까지 이러한 소자들은 Si nanocrystals (Si NCs)의 전체에 대한 평균적인 특성만을 보여주었다. 따라서 소자의 전기적, 물리적 특성을 완전히 설명할 수 없었다. 하지만 이런 전기적, 물리적 특성들은 Si NCs과 기판 사이의 oxide 특성, Si NCs의 계면상태 그리고 국소영역에서 Si NCs의 크기

와 모양 변화에 따른 충전, 방전 에너지 변화 등과 연관이 있을 수 있다. 따라서 gate oxide 내에 위치된 단일 Si NC의 특성을 규명하는 것은 매우 중요하다. 이를 위하여 본 연구에서는 conducting tip을 이용한 scanning probe microscope (SPM)로 [6-19] 각각의 Si NC의 전기적인 특성을 측정하였고 나노 입자로서 Si NCs을 이용하였다 [1-4]. 일반적으로 SPM은 이미지와 spectroscopy를 비교하여 국소영역에서의 도핑 농도, 불균일한 불순물의 분포 [11,14,15,18]와 같은 반도체 소자의 물리적 특성을 분석하는데 많이 쓰이고 있다. 또한 전하의 trapping-detrapping dynamics, 국소영역으로의 전하 주입 같은 전기적 조작 그리고 oxide 두께 측정 [10,16]과 같은 새로운 분야로 응용되고 있다.

본 연구에서는 SPM의 일종인 EFM (Electrostatic Force Microscope)과 SCM (Scanning Capacitance Microscope)을 이용하여 국소영역에 충전된 각각의 Si NC에 대한 이미지와 spectroscopy를 측정함으로써 한 개의 Si NC에 나타나는 충전현상과 이에 따른 캐패시턴스의 변화를 관찰 하였다. 또한, 이 결과를 MOS 캐패시터 구조에서의 일반적인 C-V 특성과 비교하였다. SPM을 이용한 국소영역의 특성분석은 소자의 특성을 더욱더 자세히 이해하는데 도움을 줄 수 있고 공정변수를 더욱 정밀하고 정확하게 제어할 수 있을 것이다.

† 교신저자, 學生會員 : 明知大 電氣工學科 碩士課程

E-mail : jmkim@mju.ac.kr

* 學生會員 : 明知大 電氣工學科 學部課程

** 正 會 員 : 明知大 物理學科 助教授 · 理博

*** 正 會 員 : 明知大 電氣工學科 教授 · 工博

接受日字 : 2005年 7月 12日

最終完了 : 2005年 8月 29日

2. 실 험

2.1 Si NCs의 제작

Si NCs은 압축된 실리콘 파우더를 레이저로 분해하는

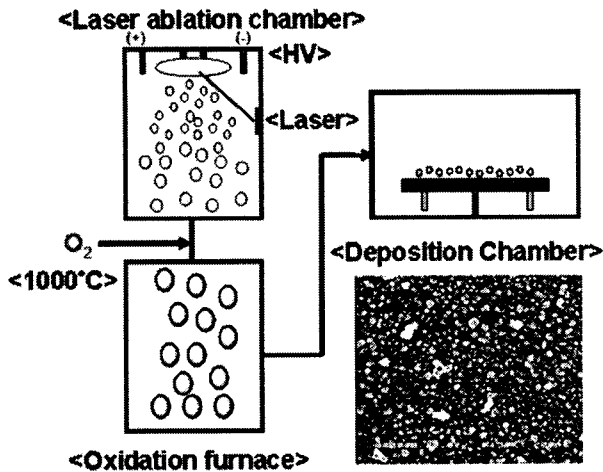


그림 1. Si NCs 제조 공정 및 SEM 이미지.
 Fig. 1. Schematic representation of the laser ablation fabrication process and SEM image of Si NCs.

laser ablation 방법을 이용하여 제작 하였다. Laser ablation 방법은 크게 3단계로 이루어진다 (그림 1). 먼저, 압축된 실리콘 파우더에 레이저를 가하여 Si NCs 입자를 형성한다. 처음에 생성된 입자는 동종 가스 핵형성에 의해 생성되고 기상 증착 방식으로 성장 된다. 이때 형성된 Si NCs 입자에 높은 전압을 인가해 주어 Si NCs 입자가 서로 잘 분산 될 수 있도록 해 주었다. 두 번째로, Si NCs 입자 바깥쪽에 1~2 nm oxide shell을 형성하는 sharpening oxidation 공정을 실시한다. 생성된 Si NCs 입자에 1000 °C에서 O₂ 가스를 주입하여 thermal oxidation을 실시한다. 이때 Si NCs 입자 표면에는 1~2 nm 두께의 oxide capping shell이 형성된다. 마지막으로, 10~50 nm의 크기와 약 10¹¹ /cm² 이상의 밀도를 갖도록 4 inch wafer에 증착 한다. 이때 wafer에 전극을 연결하여 Si NCs 입자들이 서로 잘 분산되어 증착 될 수 있도록 하였다.

2.2 Si NCs의 샘플 측정

SPM 측정 샘플을 만들기 위하여, thermal oxidation으로 증착한 3 nm tunnel oxide 위에 Si NCs을 증착한 후, 얇은 blocking oxide를 LPCVD 방법으로 다시 증착 하였다. 또한 C-V 측정을 위하여 100 μm×100 μm 크기의 Al gate를 blocking oxide 위에 증착하여 MOS 캐패시터 구조를 만들었다. 만들어진 Si NCs 샘플은 Keithley와 HP LCR meter를 이용하여 C-V를 측정하였고, 이를 통하여 Si NCs의 전기적 특성을 분석하였다.

이 실험에서는 0.6 N/m의 스프링 상수 값을 가지는 금으로 코팅된 실리콘 질소화물 캔틸레버를 이용한 atomic force microscope (XE-100, PSIA corp., Korea)를 사용하였다. 기본적인 표면 이미지와 tip의 위치 조정은 atomic force microscope에 의해서 이루어지고 캐패시턴스의 변화는 tip에 달린 아주 민감한 캐패시턴스 센서로 측정 하였다. 변조된 교류 전압 (주로 0.5 V_{rms}, 50 kHz)이 더해진 직류 전압을 샘플에 인가하고, 이로 인한 캐패시턴스 변화량 신호는 lock-in amplifier를 거친 후 컴퓨터에 의해 기록되어 진다 (그림 2).

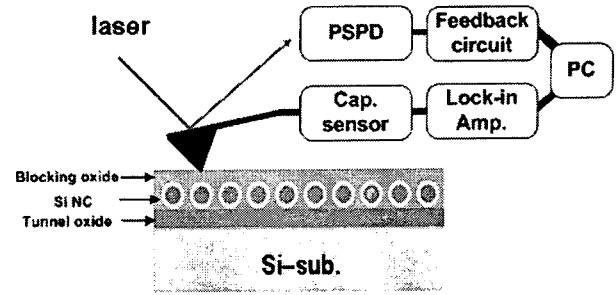


그림 2. Scanning capacitance microscope (SCM)의 계략도.
 Fig. 2. Schematic of scanning capacitance microscopy (SCM).

3. 결과 및 토론

그림 3은 sweep 범위에 따른 Si NCs의 C-V 특성을 보여 주고 있다. C-V 특성 분석은 MOS 캐패시터 구조에서 1 MHz 고주파수에서 실시하였다. 전압은 0.1 V/s로 gate에 인가되어 accumulation에서 inversion으로, 다시 역방향으로 sweep 하였다. 얇은 blocking oxide로 인하여 gate에 음의 전압이 인가되는 동안 Si NCs에 전자가 충전되고, 반대로 양의 전압이 인가되는 동안에 방전된다. Si NCs의 전자 충전으로 인하여 sweep 범위가 클 때 큰 히스테리시스가 나타나고 C-V 곡선이 오른쪽 방향으로 이동하는 것을 관찰 할 수 있었다. 이는 낮은 음의 전압에서도 관찰 되었다. 하지만 낮은 음의 전압에서는 히스테리시스 차이가 거의 없었다.

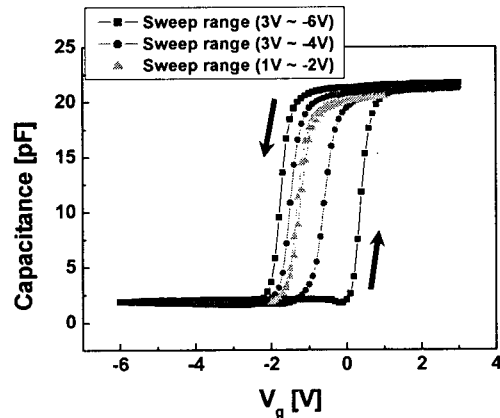


그림 3. MOS 캐패시터 구조에서의 고주파수 (1 MHz) C-V 특성, 100 μm×100 μm.
 Fig. 3. High frequency (1 MHz) C-V characteristics of MOS capacitor, 100 μm×100 μm.

좀 더 자세하게 Si NCs의 충전 효과를 관찰하기 위하여 우리는 EFM과 SCM을 이용하여 단일 Si NC의 충전 효과를 관찰하였다. Si NC에 충전된 전하들은 SPM tip과 샘플 사이의 정전기적 힘에 관계된다. Si NC를 충전하기 위하여, 샘플에 전압을 인가하고 접지된 SPM tip으로 Si NC 위를 스캔 하였다. SPM tip은 항상 초기 힘 상태를 유지하기 위하여 피

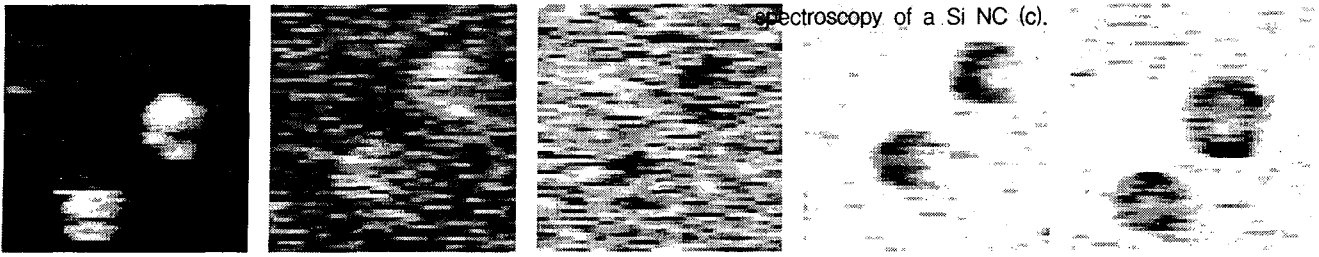


그림 4. 인가전압에 따른 EFM 이미지의 전압 의존도. (왼쪽에서부터 $V_s = -4$ V, -2 V, 0 V, $+2$ V, $+4$ V, 200 nm \times 200 nm)
 Fig. 4. Bias dependence of EFM images with respect to the applied sample bias voltage, $V_s = -4$ V, -2 V, 0 V, $+2$ V, $+4$ V, from left to right, 200 nm \times 200 nm.

드백을 실시하고, SPM image에서 전하가 충전되는 것을 높이의 증가로 나타낸다. 그림 4는 인가전압에 따른 EFM 이미지의 전압 의존도를 보여주고 있다. 샘플에 인가해준 전압에 따라서 Si NC와 SPM tip 사이에 작용하는 힘이 달라지고 이는 확연한 SPM tip의 높이 변화와 이미지 변화로 나타나게 된다. 이런 높이와 명암의 확연한 변화는 SPM이 전하 주입에 민감하게 반응한다는 것을 보여준다. EFM의 신호는 SPM tip과 샘플 사이의 attractive capacitive force의 변화로 발생되고 이 force는 Si NC의 전하 Q와 관계되어 진다. 다시 말해, EFM 신호는 SPM tip의 정점과 Si NC에 충전된 전하 Q의 capacitive force의 상호작용으로 주어지는데, 결국 이는 샘플에 가해준 전압 (V_s)과 표면 전위 (V_{sp})의 차이 ($V_s - V_{sp}$)와 Q의 곱으로 나타낼 수 있다. 신호는 또한 전하의 주입으로 인한 tip과 샘플 사이에서 작용하는 힘의 타입을 표현해 준다. 즉 attractive force gradient일 때에는 ($V_s - V_{sp}$) ≥ 0 과 같이 양의 신호가 나타나고 repulsive force gradient일 경우에는 ($V_s - V_{sp}$) ≤ 0 와 같이 음의 신호가 나타난다.

단일 Si NC의 충전 효과를 더욱더 정밀하게 관찰하기 위하여 매우 감도가 좋은 캐패시턴스 센서 ($\sim 10^{-18}$ F/V)가 부착된 SCM을 이용 하여 Si NC의 캐패시턴스 변화량 dC/dV 와 SCM 이미지 변화를 관찰 하였다. 그림 5는 단일 Si NC의 크기에 따른 충전효과를 보여주고 있다. 스트레스 전압 인가 전의 SCM 이미지에서는 약 90 nm 크기의 Si NC만이 보이고 나머지 작은 Si NC는 oxide층에 묻혀서 보이지 않는다. 그러나 이 부분에 -10 V 스트레스 전압을 인가하게 되면 묻혀 있던 작은 Si NCs 역시 SCM 이미지로 보이게 된다. 이것은 전하의 충전에 의한 결과인데, dC/dV 곡선이 전압 축의 오른쪽 방향으로 이동하게 되면 그 결과로 0 V에서 캐패시턴스 값은 그림에서 보는바와 같이 떨어지게 된다. 이를 이용하면 스트레스 전압 인가 후 변하는 SCM 이미지를 통하여 깊게 묻혀 있거나 크기가 작은 Si NC를 더욱더 쉽게 관찰 할 수 있다. 이것이 SCM 이미지 명암 변화를 가져다준다. Sweep rate 역시 Si NC의 충전 및 방전 특성을 잘 보여 준다. 낮은 sweep rate에서는 전하가 충전될 확률이 증가하기 때문에 묻혀 있거나 작은 Si NCs 역시 보이게 되고 캐패시턴스 값도 낮아지게 된다. 이런 효과는 그림 6의 spectroscopy에서 잘 보여주고 있다.

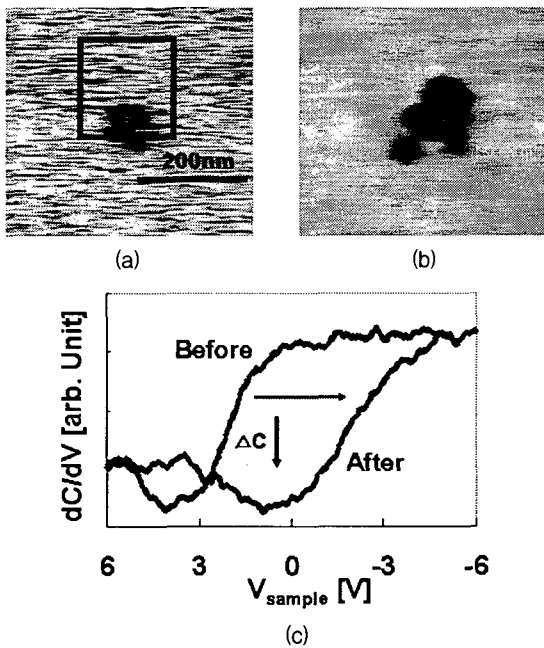


그림 5. -10 V 스트레스 전압을 인가하기 전 (a)과 인가 후 (b)의 SCM 이미지, 그리고 Si NC의 spectroscopy (c).
 Fig. 5. SCM images of before (a) and after (b) -10 V stress at the squared region measured at 0 V, corresponding

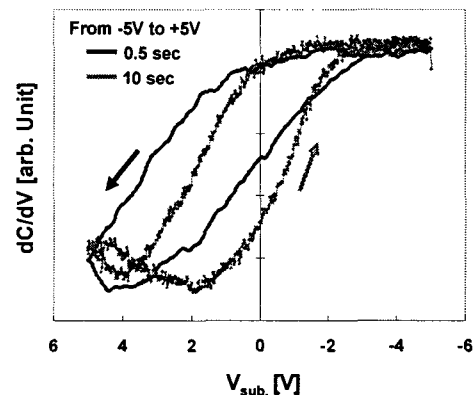


그림 6. Ramping rate에 따른 단일 Si NC의 $dC/dV-V$ 특성, 20 V/s (검정색), 1 V/s (회색).
 Fig. 6. $dC/dV-V$ characteristics of a NC with respect to the ramping rate, 20 V/s (black) and 1 V/s (gray).

4. 결 론

본 연구에서는 절연 기판위에 laser ablation 방법으로 Si

NCs을 형성시켰다. 단일 Si NC의 전기적 특성을 분석하기 위하여 SPM tip을 이용하여 단일 Si NC에 전하를 주입하였고 인가된 전압에 따른 EFM과 SCM 이미지를 측정하였다. 또한 단일 Si NC에서 spectroscopy를 측정하고 이 결과를 이미지와 매칭 시키고 설명하였다. 전자의 충전현상에 의해 야기된 Si NC 이미지의 뚜렷한 명암 변화와 spectroscopy 차이를 통하여 효과적인 충전 변수 제어를 위한 Si NC의 크기와 주입 방향을 대략적으로 측정하였다. 그리고 SPM이 단일 Si NC의 전기적 특성을 분석하는데 적합한 툴로 사용될 수 있음을 확인하였다.

참 고 문 헌

- [1] S. Tiwari, F. Rana, H. Hanafi, A. Hartstein, E. F. Crabbe, and K. Chan, "A silicon nanocrystals based memory," *Appl. Phys. Lett.* 68, 1377, 1996.
- [2] L. Guo, E. Leobandung, and S. Y. Chou, "Silicon single-electron transistor memory operating at room temperature," *Science* 275, 649, 1997.
- [3] Q. Ye, R. Tsu, and E. H. Nicollian, "Resonant tunneling via microcrystalline-silicon quantum confinement," *Phys. Rev. B* 44, 1806, 1991.
- [4] S.-H. Choi and R. G. Elliman, "Reversible charging effects in SiO₂ films containing Si nanocrystals," *Appl. Phys. Lett.* 75, 968, 1999.
- [5] S. Tiwari, F. Rana, K. Chan, L. Shi, and H. Hanafi, "Single charge and confinement effects in nano-crystal memories," *Appl. Phys. Lett.* 69, 1232, 1996.
- [6] L. Burgi, H. Siringhaus, and R. H. Friend, "Noncontact potentiometry of polymer field-effect transistors," *Appl. Phys. Lett.* 80, 2913, 2002.
- [7] T. Hassenkam, D. R. Greve, and T. Bjrnholm, "Direct Visualization of the Nanoscale Morphology of Conducting Polythiophene Monolayers Studied by Electrostatic Force Microscopy," *Adv. Mater.* 13, 631, 2001.
- [8] T. Melin, H. Diesinger, D. Deresmes, and D. Stievenard, "Electric force microscopy of individually charged nanoparticles on conductors: An analytical model for quantitative charge imaging," *Phys. Rev. B* 69, 035321, 2004.
- [9] T. Melin, D. Deresmes, and D. Stievenard, "Charge injection in individual silicon nanoparticles deposited on a conductive substrate," *Appl. Phys. Lett.* 81, 5054, 2002.
- [10] K. M. Mang, Y. Kuk, J. Kwon, Y. S. Kim, D. Jeon, and C. J. Kang, "Direct imaging of charge redistribution in a thin SiO₂ layer," *Europhys. Lett.* 67, 261, 2004.
- [11] C. C. Williams, J. Slinkman, W. P. Hough, and H. K. Wickramasinghe, "Lateral dopant profiling with 200 nm resolution by scanning capacitance microscopy," *Appl. Phys. Lett.* 55, 1662, 1989.
- [12] R. C. Barret and C. F. Quate, "Charge storage in a nitride-oxide-silicon medium by scanning capacitance microscopy," *J. Appl. Phys.* 70, 2725, 1991.
- [13] Y. Huang, C. C. Williams, and H. Smith, "Direct comparison of cross-sectional scanning capacitance microscope dopant profile and vertical secondary ion-mass spectroscopy profile," *J. Vac. Sci. Technol. B* 14, 433, 1996.
- [14] J. J. Kopanski, J. F. Marchiando, and J. R. Lowney, "Scanning capacitance microscopy measurements and modeling: Progress towards dopant profiling of silicon," *J. Vac. Sci. Technol. B* 14, 242, 1996.
- [15] G. Neubauer, A. Erickson, C. C. Williams, J. J. Kopanski, M. Rodgers, and D. Adderton, "Two-dimensional scanning capacitance microscopy measurements of cross-sectioned very large scale integration test structures," *J. Vac. Sci. Technol. B* 14, 426, 1996.
- [16] C. J. Kang, G. H. Buh, S. Lee, C. K. Kim, K. M. Mang, C. Im, and Y. Kuk, "Charge trap dynamics in a SiO₂ layer on Si by scanning capacitance microscopy," *Appl. Phys. Lett.* 74, 1815, 1999.
- [17] G. H. Buh, H. J. Chung, J. H. Yi, I. T. Yoon, and Y. Kuk, "Electrical characterization of an operating Si pn-junction diode with scanning capacitance microscopy and Kelvin probe force microscopy," *J. Appl. Phys.* 90, 443, 2001.
- [18] H. Edwards, R. McGlothin, R. S. Martin, Elisa U. M. Gribelyuk, R. Mahaffy, C. K. Shih, R. S. List and V. A. Ukraintsev, "Scanning capacitance spectroscopy: An analytical technique for pn-junction delineation in Si devices," *Appl. Phys. Lett.* 72, 698, 1998.
- [19] J. W. Hong, S. M. Shin, C. J. Kang, Y. Kuk, and Z. G. Khim, "Local charge trapping and detection of trapped charge by scanning capacitance microscope in the SiO₂/Si system," *Appl. Phys. Lett.* 75, 1760, 1999.

저 자 소 개



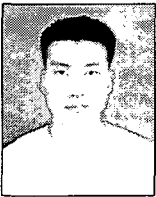
김정민(金政民)

1979년 8월 16일생. 2005년 명지대 전기공학과 졸업. 현재 동 대학원 석사과정
E-mail : jmkim@mju.ac.kr



강치중(姜致中)

1967년 4월 17일생. 1990년 서울대 물리학과 졸업. 1998년 서울대 대학원 물리학과 졸업(이박), 1993~1995년 삼성전자 반도체 연구소 연구원, 1998~1999 서울대 반도체 공동연구소 연구원, 1999~2002 하이닉스 반도체 메모리 연구소 연구원, 현재 명지대 물리학과 조교수
Tel : (031) 330-6173
Fax : (031) 335-9533
E-mail : cjkang@mju.ac.kr



허헌정(許法廷)

1980년 4월 22일생. 현재 명지대학교 전기공학과 학부 재학중
E-mail : her2851@mju.ac.kr



김용상(金容商)

1965년 6월 5일생. 1988년 서울대 전기공학과 졸업. 1994년 서울대 대학원 전기공학과 졸업(공박), 1999년~2001년 UC Berkeley 방문 연구원, 현재 명지대학교 전기공학과 교수
Tel : (031) 330-6365
Fax : (031) 321-0271
E-mail : kys@mju.ac.kr