

논문-05-10-3-13

모바일 향 저전력 동영상 압축을 위한 고집적 MPEG4@SP 동영상 압축기

신선영^{a)}, 박현상^{b)*}

A Full-Hardwired Low-Power MPEG4@SP Video Encoder for Mobile Applications

Sun Young Shin^{a)} and Hyun Sang Park^{b)*}

요 약

모바일 환경에서의 효과적인 동영상 압축을 위한 고집적 MPEG-4@SP 동영상 압축기인 VideoCore의 구조를 제안한다. 동영상 압축을 수행할 때 움직임 추정, 움직임 보상, 양자화, 이산여현부호화, 가변장부호화와 같은 기능은 외부 메모리 처리가 빈번하기 때문에 높은 메모리 대역폭을 필요로 한다. 본 논문에서 제안한 움직임 추정기는 소용량의 로컬 메모리를 효과적으로 운용함으로써 대용량 외부 메모리와 메모리 대역폭을 최소화하는 동영상 압축을 가능하게 한다. 또한 제안한 동영상 압축기 구조는 가장 계산량이 많은 움직임 추정부와 이를 제외한 나머지 기능들을 동시에 구동시키는 파이프라인 구조를 채택함으로써 낮은 동작 주파수에서 실시간 고화질 동영상 압축을 실현한다

Abstract

Highly integrated MPEG-4@SP video compression engine, VideoCore, is proposed for mobile application. The primary components of video compression require the high memory bandwidth since they access the external memory frequently. They include motion estimation, motion compensation, quantization, discrete cosine transform, variable length coding, and so on. The motion estimation processor adopted in VideoCore utilizes the small-size local memories such that the video compression system accesses external memory as less frequently as possible. The entire video compression system is divided into two distinct sub-systems: the integer-unit motion estimation part and the others, and both operate concurrently in a pipelined architecture. Thus the VideoCore enables the real-time high-quality video compression with a relatively low operation frequency.

Keywords : MPEG, SP, H.263, SoC, Video, Motion, Mobile

I. 서 론

a) 성균관대학교 정보통신공학부

School of Information and Communications Engineering,
Sungkyunkwan University

b) 공주대학교 전기전자공학부

Division of Electrical and Electronics Engineering, Kongju National
University

최근 이동 통신과 같은 저전송률 환경에서의 동영상 압축을 지향하는 국제표준인^[1,2,3,4]이 확정됨에 따라, 이를 이용한 다양한 응용 제품들이 시장에서 각광 받고 있다. 다양

한 제품군 중에서도, 특히 이동 전화 단말기 시장에서 빠른 속도로 제품군이 형성되고 있는 중이다. 2001년부터 국내에 소개되기 시작한 카메라폰은 JPEG^[4]을 이용해서 정지 영상을 압축하는 수준으로 시작했으나, 최근에는 수십 분의 동영상도 저장할 수 있는 캠코더폰과 수백만 화소급^[5]의 디지털 카메라 기능이 내장된 고급 제품이 시장에 출시되기 시작하면서, 고기능, 다기능 제품에 대한 새로운 패러다임이 형성되는 중이다.

동영상 압축은 정지영상 압축 보다 한 차원 높은 시장 성장성을 가지고 있으나, 동영상 압축을 실시간으로 실현할 수 있는 관련 부품의 부재로 말미암아 고가의 DSP^[6,7]등이 초기 시장을 선점하고 있는 중이다. 높은 잠재력에도 불구하고 시장의 확산이 더딘 것은 제품의 가격이 기대 성능에 비해서 높기 때문이다. 따라서 경쟁력 있는 원가로 동영상 압축이 가능한 SoC를 제공할 수 있다면 폭발적인 시장 창출로 인해서, 이동전화 단말기 업체와 상생할 수 있는 기회가 될 것이다. 이를 위한 핵심 기술은 경쟁력 있는 동영상 압축 IP (Intellectual Property)를 확보하는 것이다. 현재 다양한 업체들이 MPEG4@SP(Simple Profile)를 기반으로 한 반도체 제품을 개발^[8,9,10]했으나, IP로 제공하는 업체는 극히 제한적인 상황이다.

본 논문에서는 RISC나 DSP에 대한 의존 없이 고해상도의 영상을 낮은 동작 주파수로, 실시간 압축이 가능한 MPEG4@SP 동영상 압축기의 구조 (이하, VideoCore)를 제안한다. VideoCore는 3개의 소용량 로컬 메모리를 활

용하여 대용량 외부 메모리에 대한 액세스 빈도를 최소로 줄임으로써 저전력을 도모한다. 또한 낮은 동작 주파수로 고해상도 영상을 처리하기 위해서 계산량을 기준으로 압축 과정을 2개의 큰 단위로 분할하여 각단위에 대해서 파이프라인 구조로 병렬 처리를 수행한다. 본론에서는 기존 구조의문제점을 분석하고 메모리 액세스를 최소화하는 구조와 병렬 처리 구조에 대해서 기술한다.

II. 본론

1. 동영상 압축 구조

MPEG2, MPEG4 또는 H.263과 같은 동영상 압축 표준에 의거하여 한 프레임을 압축할 경우, ME (Motion Estimation)와 MC (Motion Compensation) 기능을 위하여 현재 프레임과 복원된 이전 프레임을 프레임 메모리로 불러는 외부 메모리에 저장하여 압축을 진행한다. 이렇게 입출력 단자를 통하여 외부 메모리로 영상 정보의 입출력이 이루어질 경우 많은 양의 전력이 소모되는데, 이와 같은 과전력 소모는 이동 통신 환경에는 적합하지 않은 치명적인 문제점으로 간주된다.

기존의 DCT (Discrete Cosine Transform)기반 동영상 압축 시스템은 그림 1과 같은 순서로 데이터를 처리한다.

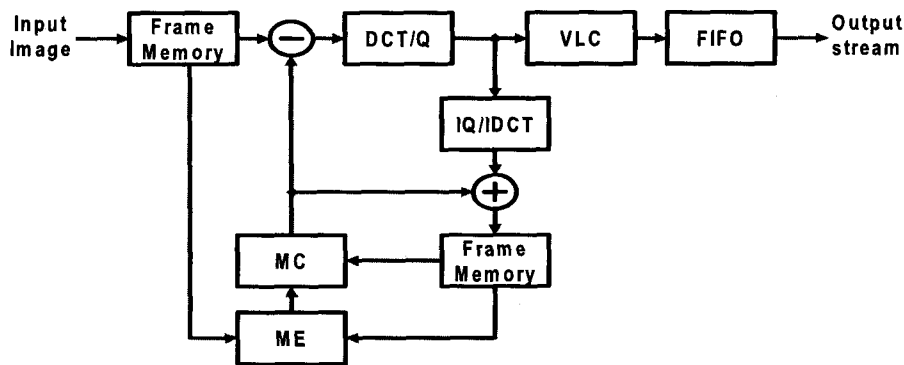


그림 1. DCT기반 동영상 압축 표준에서의 데이터 흐름도.
Fig. 1. Data flow diagram in standardized DCT-based video compression.

이와 같은 구조에서 압축은 16x16의 매크로블록 단위로 순차적으로 수행되며 매크로블록의 특성에 따라 두 가지 모드로 구분된다. 즉, 시간상으로 인접한 두 프레임 간의 상관성이 작을 경우에는 인트라 모드로, 그렇지 않을 경우 인터모드로 동작한다. 인터 모드의 경우 ME와 MC가 수행되며 자세한 처리 과정은 다음과 같다.

- ME 블록은 외부 메모리에 저장된 현재 매크로블록과 가장 유사한 영역을 복원된 이전프레임 (reconstructed previous frame or reference frame)에서 탐색하여 움직임 벡터를 MC 블록으로 전송한다.
- MC 블록은 움직임 벡터와 복원된 이전프레임을 이용하여 움직임 보상된 매크로블록을 생성한다.
- 차분 회로는 움직임 보상된 매크로블록과 현재 매크로블록과의 차분 영상을 생성하고, 이를 순차적으로 8x8단위로 DCT/Q (Discrete Cosine Transform and Quantization)와 VLC (Variable Length Coding)를 거쳐 수신기 측으로 전송한다.
- VLC가 진행되는 동안 DCT/Q를 거친 차분 영상은 IQ/IDCT (Inverse Quantization and Inverse Discrete Cosine Transform)를 거쳐 기존 단계에서 움직임 보상된 매크로블록과 합하여 복원된 매크로블록을 구성하여 외부 메모리에 저장한다. 이렇게 저장된 복원 프레임은 다음 프레임을 압축할 때 복원된 이전 프레임 (reference frame)의 역할을 하게 된다.
- 인터 모드로 압축이 진행되는 동안 1~4의 과정이 반복된다.

2. 기존 동영상 압축 구조의 문제점

상기 제시된 압축 구조를 따르기 위해서 ME/MC, DCT/Q, VLC등과 같은 기능별로 독립적인 IP로 설계하여 SoC (System On a Chip)를 구현하는 것이 일반적인 접근 방식이다. 이와 같은 구조로 MPEG4@SP 압축기를 구현한 SoC의 간략화된 블록도를 그림 2에 도시한다^[11]. 각 기능 블록은 시스템 버스를 통하여 외부 메모리 (주로 SDRAM)와 데이터 입출력을 수행한다. 이 때 소모되는 전력은 시스

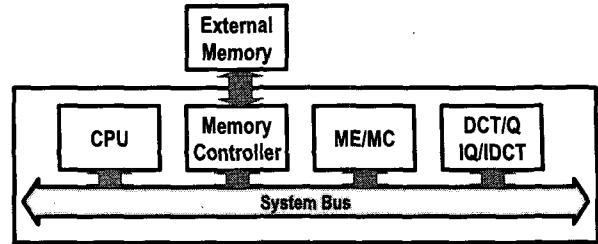


그림 2. 동영상 압축을 위한 SoC의 일반적인 구성도.
Fig. 2. Conventional SoC architecture for video compression.

템 버스의 동작 주파수에 비례하여 증가한다.

각 기능 블록은 처리 순서에 따라 교대로 외부 메모리로 데이터 입출력을 수행하며, 이와 같이 순차적으로 외부 메모리를 액세스 할 경우 많은 메모리 대역폭을 요구하게 된다. 또한 각 매크로블록 단위로 압축과 복원을 위한 MC과정이 두 번씩 수행되기 때문에 시스템 버스의 메모리 대역폭은 표1과 같이 상당히 높아지게 된다. 이는 과전력 소모로 이어지므로 모바일 환경에서는 극히 비효율적인 방식이라고 할 수 있다.

3. VideoCore 구조

그림 3은 VideoCore를 이용한 SoC의 예를 보여준다. VideoCore는 ME, MC, DCT/IDCT, 그리고 Q/IQ 등 기능 블록을 하나의 코어 내에 구현함으로써 기존에 비해 칩 면적을 줄이고 내장한 로컬 메모리들을 이용하여 각 기능 블록 간의 데이터 전송을 직접적으로 행함으로써 외부 메모리에 대한 메모리 대역폭을 크게 줄일 수 있다.

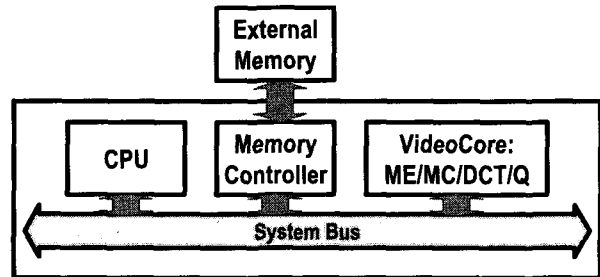


그림 3. VideoCore 기반의 SoC 블록도.
Fig. 3. VideoCore-based SoC architecture.

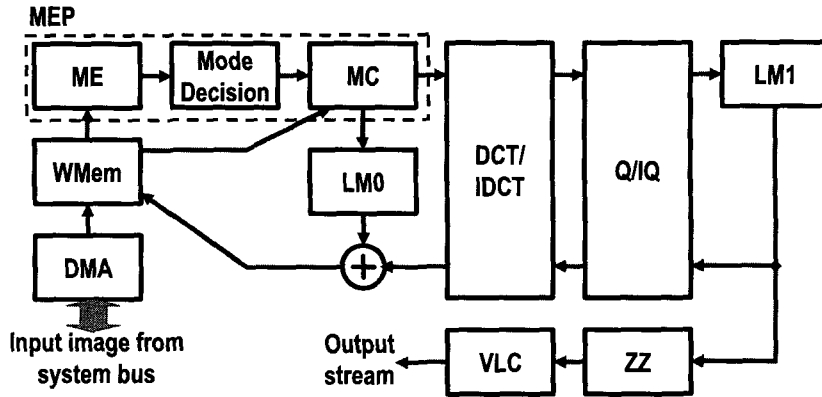


그림 4. VideoCore 블록도.
Fig. 4. VideoCore block diagram.

VideoCore는 ME/MC 블록 (MEP), 3개의 로컬 메모리, DCT/IDCT 블록, DMA (Direct Memory Access) 블록, 지그재그 스캔 블록 (ZZ), 그리고 VLC (Variable Length Coder) 블록으로 구성된다. 그림 4는 VideoCore의 내부 구조를 나타낸다. ZZ는 VLC와 함께 데이터 출력 블록의 일부이며 기존의 방법과 동일하게 동작한다.

MEP 블록은 ME, Mode Decision, MC로 이루어진다¹²⁾. ME 블록은 현재 매크로블록과 움직임 벡터에 의해 결정되는 이전 프레임의 매크로블록의 차를 생성한다. Mode Decision 블록은 현재 매크로블록의 인트라/인터 모드를 결정한다. 모드가 결정되면 MC 블록에 의해 움직임 보상을 수행한다. 움직임 보상된 데이터는 영상 복원을 위해서 로컬 메모리에 저장되며, 움직임 보상된 차분 영상은 DCT/IDCT 및 Q/IQ 과정을 거쳐 VLC 블록으로 전달된다.

4. VideoCore 처리 순서

VideoCore는 다음과 같은 순서로 동작한다.

- 현재 매크로블록과 탐색 영역 블록을 WMem (Working Memory)에 저장한다. 이를 위해서 DMA 블록은 현재 매크로블록의 휘도 성분 256 (=16x16) 바이트와 탐색 영역 블록 2304 (=48x48) 바이트의 데이터를 외부 메모리에서 읽어서 WMem에 저장한다.
- ME 블록은 WMem에서 현재 매크로블록과 탐색 영역

블록을 읽어와서 현재 매크로블록의 움직임 벡터를 결정한다.

- Mode Decision 블록은 현재 매크로블록의 모드를 결정한다.
- Mode Decision에 의해 현재 매크로블록의 모드가 인터 모드면 MC 블록은 먼저 WMem에서 현재 매크로블록의 Cb, Cr데이터와 움직임 벡터가 가리키는 복원된 이전 매크로블록의 Cb, Cr 데이터를 읽어온 후 움직임 보상을 수행한다. 움직임 보상의 결과는 DCT/IDCT 블록으로 전달됨과 동시에 LM0에 저장된다. 이때 기존 구조에서 요구되었던 움직임 보상 결과를 외부 메모리에 저장하는 과정이 없기 때문에 시스템 버스의 메모리 대역폭과 이로 인한 전력 소비가 줄어든다.
- Mode Decision에 의해 현재 매크로블록의 모드가 인트라 모드면 현재 매크로블록의 데이터는 DCT/IDCT 블록으로 전달된다.
- DCT/IDCT 블록으로 전달된 MC 결과는 DCT 변환 및 양자화를 수행한 후 LM1에 저장된다. 이와 동시에 DCT/Q 결과에 대해서 IQ/IDCT를 수행한다.
- Composer 블록은 IQ/IDCT 결과와 LM0에 저장되어 있는 MC 결과를 더한 값, 즉 복원된 데이터를 WMem에 저장한다.
- WMem에 저장된 복원된 매크로블록은 DMA를 통해 외부 메모리로 전달된다. 이 경우 384 (=16x16) 바이트의 데이터가 저장된다.

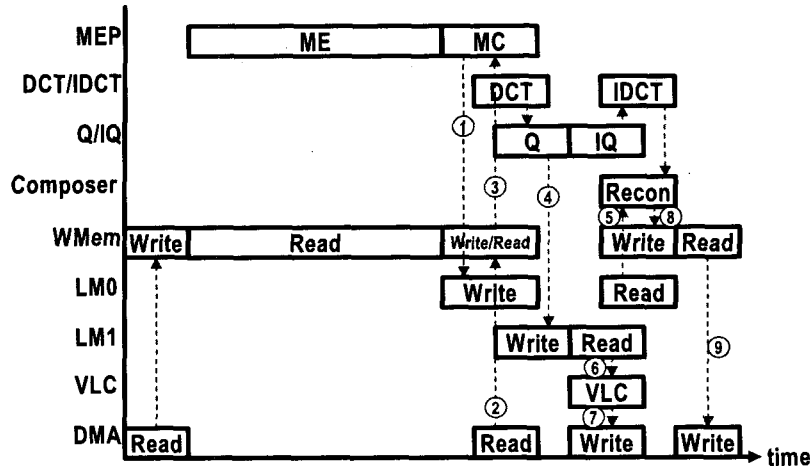


그림 5. VideoCore 타이밍도.
Fig. 5. VideoCore timing diagram.

■ VLC 블록은 LM1에 저장된 양자화된 매크로블록을 지그재그 스캔 순서로 읽어내어 허프만 코딩으로 비트 스트림을 생성하고, 이 비트 스트림을 DMA를 통해 외부 메모리로 저장한다.

위의 처리 순서에서 나타나듯이 4-7 단계에서는 동일 데이터 처리를 위해 기존 구조에서 요구되었던 외부 메모리 액세스가 필요하지 않으므로 시스템 버스 메모리 대역폭이

줄어들게 된다. 그림 5에 VideoCore의 동작 순서에 따른 타이밍도를 나타내었다. 그림에서 원안의 숫자는 진행순서를 의미한다.

매크로블록 당 외부 메모리 액세스 수를 비교하면 기존의 구조는 6373 바이트의 데이터 이동이 있어야 하나 VideoCore는 3234 바이트의 데이터 이동 만을 필요로 한다. 표 2는 표 1에서 주어진 매크로블록 데이터에 대해 인터 모드에서의 데이터 액세스 수를 나타낸다.

표 1. 각 기능 블록에서 필요로 하는 매크로블록 당 필요 메모리 액세스 수 (탐색범위: -16~15.5).
Table 1. Memory access counts for functional blocks per macroblock (search range: -16~15.5).

| Function block | Functions | Amount of data (bytes) |
|----------------|--|------------------------|
| ME | (1) Current macro block read | 16x16=256 |
| | (2) Search window read | 48x48=2304 |
| MC | (3) Current Cb block read | 8x8=64 |
| | (4) Current Cr block read | 8x8=64 |
| | (5) Previous Cb block read | 9x9=81 |
| | (6) Previous Cr block read | 9x9=81 |
| | (7) Motion compensated macro block write | 8x8x6=384 |
| DCT | (8) Motion compensated macro block read | 8x8x6=384 |
| | (9) Quantized coefficient write | 8x8x6x1.5=576 |
| IQ/IDCT | (10) Quantized coefficient read | 8x8x6x1.5=576 |
| | (11) Reconstructed error image write | 8x8x6=384 |
| MC | (12) Previous Y blocks read | 17x17=289 |
| | (13) Previous Cb blocks read | 9x9=81 |
| | (14) Previous Cr blocks read | 9x9=81 |
| Reconstruction | (15) Reconstructed error image read | 8x8x6=384 |
| | (16) Reconstructed image write | 8x8x6=384 |
| Total | | 6373 |

표 2. VideoCore 기능 블록의 매크로블록 당 필요 메모리 access 수 (탐색범위: -16~15.5).
 Table 2. Memory access counts for functional blocks in VideoCore per macroblock (search range: -16~15.5)

| Function unit | Function | Amount of the data (byte) |
|---------------|-------------------------------------|---------------------------|
| ME | (1)Current macro block read | 16x16=256 |
| | (2)Search window read | 48x48=2304 |
| MC | (3)Current Cb block read | 8x8=64 |
| | (4)Current Cr block read | 8x8=64 |
| | (5)Previous Cb block read | 9x9=81 |
| | (6)Previous Cr block read | 9x9=81 |
| Reconstructed | (7) Reconstructed macro block write | 8x8x6=384 |
| Total | | 3234 |

5. VideoCore의 병렬 처리 구조

그림 5의 타이밍도를 갖는 VideoCore는 한 매크로블록을 처리하는데 DMA를 통한 독출과정 (DMA read)과 ME가 3550사이클, MC, DCT/Q, VLC, DMA를 통한 기입과정 (DMA write)이 3000사이클, 총 6550 사이클이 필요하다. 그림 5에서 DMA read, ME 처리 동안 MC, DCT/Q, IQ/IDCT, DMA write가 전혀 동작하지 않으므로, DMAread, ME와 MC, DCT/Q, VLC, DMAwrite가 병렬로 수행된다면 동작 사이클의 효율을 기대할 수 있다. 처리 시간의 대부분을 차지하는 ME는 정수 단위 움직임 추정

(iME: Integer-unit Motion Estimation)을 수행한 후 반화소 단위 움직임 추정 (hME: Half-pel unit Motion Estimation)을 수행한다. iME 결과는 WMem에 저장되고 이후의 기능은 이 데이터를 이용한다. 만약 WMem에 저장되어 있는 iME 결과를 임의의 메모리에 복사하고, 이후의 동작은 복사된 메모리 값을 이용한다면 동일한 처리 결과를 얻을 수 있게 된다.

그림 6은 메모리 복사를 포함하여 VideoCore 의 모든 기능 블록이 병렬로 처리되는 타이밍도이다. 이 경우 그림 5에서 WMem이 수행했던 기능을, WMem과 같은 용량을 가지는 WMem1과 WMem2이라는 2개의 메모리를 이용하

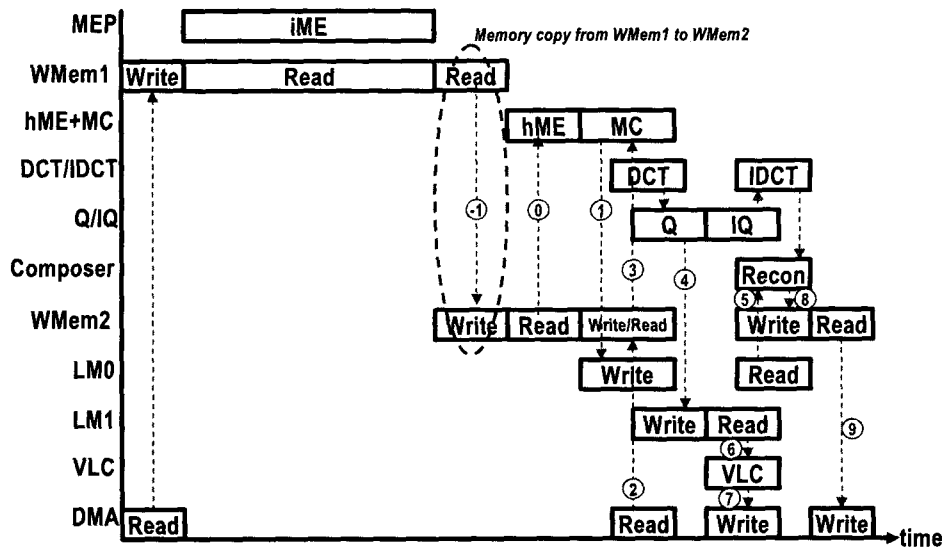


그림 6. 메모리 복사를 포함한 VideoCore 동작 타이밍도.
 Fig. 6. VideoCore timing diagram including memory copy operation.

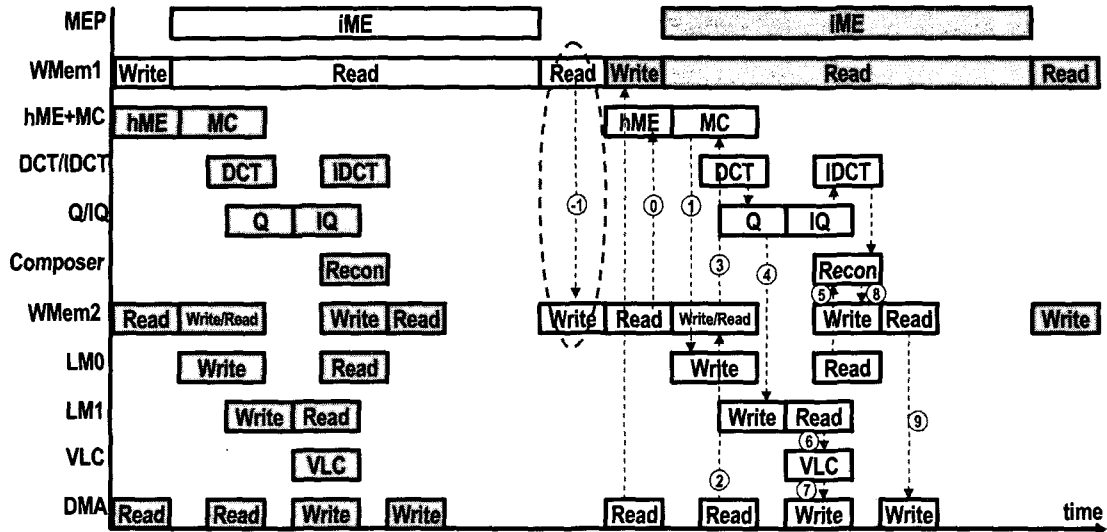


그림 7. 파이프라인 구조로 병렬 처리되는 VideoCore 동작 타이밍도.
Fig. 7. Pipelined VideoCore timing diagram in parallel operation

여 시간상으로 기능을 분할하여 병렬적으로 처리한다. 그림 6에서 한 매크로블록 당 처리 사이클 수는 WMem1의 내용을 WMem2로 복사하기 위한 시간만큼 증가한다. WMem1 내용의 복사, hME, DCT/Q, VLC가 수행되는 동안 iME는 동작하지 않는다. 그러므로 WMem2에 복사한 후 이를 이용하여 hME, DCT/Q, VLC를 수행하고 동시에 다음 매크로블록의 iME를 수행하여 WMem1에 저장하더라도 처리에는 문제가 없음을 알 수 있다. 그림 7은 iME와 hME, DCT/Q, VLC가 병렬로 처리되는 구조의 VideoCore 타이밍도를 나타낸다. 병렬 처리 구조의 VideoCore는 순차적 처리에 비해 표 3과 같은 처리 능력을 가진다.

표 3. VideoCore의 동작 사이클 수.
Table 3. Number of operating cycles of VideoCore blocks.

| Function unit | VideoCore | Pipelined VideoCore |
|---------------|-----------|---------------------|
| iME | 3550 | 3550 |
| Memory Copy | 0 | 770 |
| hME/DCT/Q/VLC | 3000 | 3000 |
| Total | 6550 | 4320 |

6. VideoCore에서의 메모리 액세스

SDRAM등의 외부 메모리 액세스할 때 SDRAM의 특성에 기인하는 지연시간 (latency)으로 인하여 응답 시간이 길어지는 특징이 있다. SDRAM은 메모리 영역이 라인 단위로 분할되어 있고 각 라인의 크기는 메모리의 종류에 따라서 상이하나 256 바이트 이상의 크기를 가진다. 한 라인 내의 데이터는 동작 클럭과 동일한 속도로 처리가 가능하나, 다른 라인으로 메모리 공간을 이동할 경우에는 10 사이클 이상의 지연시간을 가진다. 따라서 서로 다른 라인의 데이터를 빈번하게 액세스하면 지연시간에 의한 메모리 대역폭이 급격하게 증가한다.

SDRAM이 서로 다른 라인을 처리하면서 발생하는 지연 시간을 줄이기 위해서 VideoCore에서는 복원된 매크로블록의 휘도 성분을 DMA를 통하여 외부 메모리에 저장할 때 그림 8(a)와 같은 한 매크로블록을 여러 개의 라인으로 분리해서 저장하지 않고, 그림 8(b)와 같이 한 매크로블록 전체를 하나의 라인에 연속적으로 저장한다. DRAM과 같은 메모리 소자는 매 라인을 액세스할 때마다 지연시간을 야기하기 때문에 같은 양의 데이터를 저장하더라도 서로 다른 라인에 저장하지 않고 하나의 라인에 저장할 경우 불

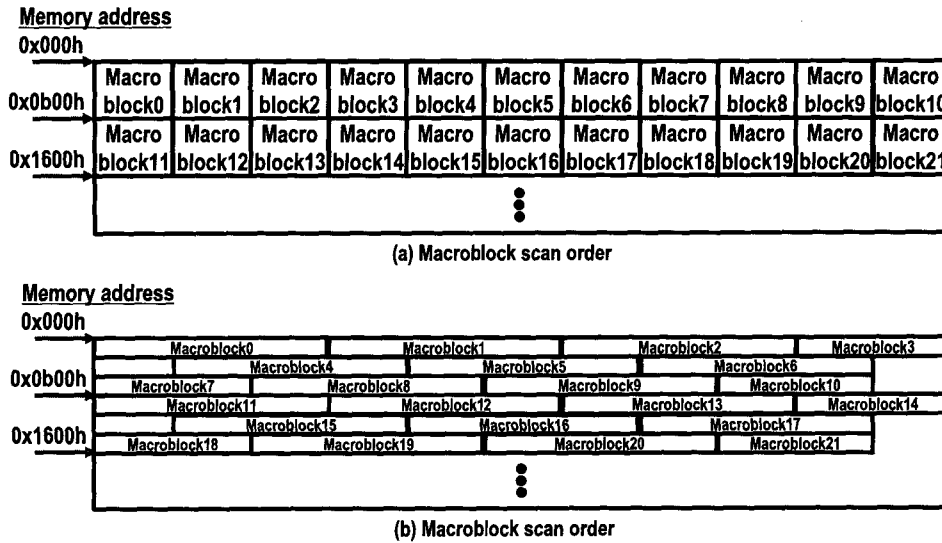


그림 8. 복원된 매크로블록의 휘도 성분저장 순서.

Fig. 8. Luminance data storage order for the reconstructed macroblock.

필요한 지연시간을 제거되기 때문에 메모리 대역폭을 효과적으로 개선할 수 있다.

복원된 매크로블록의 휘도 성분을 위와 같이 저장함으로써 복원된 휘도 성분을 외부 메모리에 저장할 때와 탐색 영역의 휘도 성분을 외부 메모리에서 읽어 올 때 필요한 외부 메모리 액세스 수와 동작 사이클 수는 매크로블록 당 표 4와 같이 감소하게 된다.

표 4. 메모리 저장 순서에 따른 동작 사이클 수 (SDRAM 지연시간=12).
Table 4. Number of operating cycles according to the write order to memory (SDRAM latency=12).

| Function unit | Scan-order VideoCore | Raster-order VideoCore |
|---------------|----------------------|------------------------|
| iME | 3550 | 3214 |
| Memory Copy | 770 | 770 |
| hME/DCT/Q/VLC | 3000 | 2828 |
| Total | 4320 | 3984 |

III. 결론

최종 구현 결과를 표 5에 요약했다. DFT(Design For

표 5. VideoCore 구현 결과.

Table 5. Implementation results of VideoCore.

| Technology | 0.18 m |
|-------------------------|--|
| Operating clock | 77.8 MHz for VGA@15fps 51.4 MHz for CIF@30fps 38.9 MHz for QVGA@30fps 12.9 MHz for QCIF@30fps |
| Gate count Logic memory | 186,500 96,030 7712 Bytes |
| Power | 13.0 mW |

Testability)를 고려하지 않았을 때, 게이트 수는 203000개이며 이는 메모리에 대한 등가 게이트 수를 포함한 것이다. 전력 소모량은 초당 30장의 QCIF (176144)급 영상을 처리하고, 5 프레임 당 한 프레임의 I 픽처를 가정한다. 평가에 사용한 영상은 Foreman 시퀀스의 최초 5 프레임이다.

VideoCore는 QVGA급의 영상을 처리할 경우 동작 주파수가 충분히 낮기 때문에 누설 전류가 적은 공정을 사용해서 대기 시간에 대한 부담이 높은 멀티미디어 휴대전화 단말기에서 최적의 해결책이 될 수 있다.

VideoCore는 RISC로부터 시작과 종료료를 알리는 명령어

만을 입력 받아 동작하도록 설계되었으므로, SoC에 내장될 경우 RISC에 대한 간섭은 거의 없다. 이 때 RISC는 오디오 처리나 비디오/오디오 동기 작업을 수행할 수 있기 때문에, 효과적인 비디오/오디오 동기 처리도 가능하게 한다.

참 고 문 헌

- [1] Draft ITU-T Recommendation H.263, "Video Coding for Low Bitrate Communication," Mar. 1996.
- [2] Draft ISO/IEC MPEG-4 Video Verification Model Ver. 6.0, "Coding of Moving Pictures and Associated Audio Information," Feb. 1996.
- [3] Draft ITU-T Recommendation H.264 | Draft ISO/IEC 14496-10 AVC, May 2002.
- [4] ISO/IEC 10918-1 JPEG, "Digital Compression and Coding of Continuous-tone Still Images," 1994.
- [5] "S5K3A1EX Data Sheet: 1/3" Optical Size 1280x1024 (SXGA)2.8V/1.8V CMOS Image Sensor," Samsung Electronics Company, Sep. 2003.
- [6] <http://www.megachips.co.jp/>
- [7] "OMAP5910 Dual-Core Processor Technical Reference Manual, Literature number: SPRU602B," Texas Instruments, Jan. 2003.
- [8] M.Takahashi et al., "A 60mW MPEG4 Video Codec Using Clustered Voltage Scaling with Variable Supply-Voltage Scheme," IEEE J. of Solid-State Circuits, Vol. 33, pp. 1772-1780, Nov 1998.
- [9] S.Kurohmaru et al., "A MPEG4 Programmable Codec DSP with an Embedded Pre/Post-processing Engine," Proc. IEEE 1999 Custom Integrated Circuits, pp. 69-72, May 1999.
- [10] T.Kamemaru, H.Ohira, H.Suzuki, K.Asano, M.Yoshimoto, "Media processor core architecture for realtime, bi-directional MPEG4/H.26X Codec with 30 fr/s for CIF-video," Proc. IEEE 2000 Custom Integrated Circuits Conference, pp. 473-476, May 2000.
- [11] "S3C24A0A 32-bit RISC Microprocessor User's Manual," Samsung Electronics Company, 2004.
- [12] 박 현상, "이동통신 향 동영상압축을 위한 고집적 저전력 움직임 추정기", 방송공학회 논문지, 10권, 1호, pp. 72-85, 3월 2005년.

저 자 소 개



신 선 영

- 2000년 2월: 부산대학교 전자공학과 학사
- 2004년 3월~현재: 성균관대학교 전기 및 전자공학과 석사 재학중
- 2000년 2월~현재: 삼성전자 재직중
- 주관심분야: 멀티미디어 코덱, SoC설계, 디지털 비디오 처리



박 현 상

- 1991년 2월: 한국과학기술원 전기및전자공학과 학사
- 1993년 8월: 한국과학기술원 전기및전자공학과 석사
- 1999년 8월: 한국과학기술원 전기및전자공학과 박사
- 1998년12월~2005년2월: 삼성전자 시스템LSI사업부 책임연구원
- 2005년3월~현재: 국립공주대학교 전기전자공학부 조교수
- 주관심분야: 멀티미디어 SoC, 디지털 비디오 처리, 동영상 압축