

# LTCC 기법을 이용한 ITS용 초소형 RF 송신기 모듈의 구현

## An Implementation of Miniature RF Transmitter Module for ITS Applications by Using LTCC Technique

윤 기 호

Gi-Ho Yun

요 약

본 논문에서는 지능형 교통망(ITS)에 사용될 수 있도록 5.8 GHz 대역에서 경제적이며 초소형 RF 송신기 모듈을 구현하였다. LTCC 방식으로 설계하여 회로의 소형화와 함께 전기적 성능을 개선하였다. 제작된 모듈은 ASK 데이터 변조 장치, 주파수 합성기, 송신용 전력 증폭 회로 등으로 구성되었으며 모듈 크기는 0.8 CC이다. 측정 결과 1.024 Mbps 데이터를 5.8 GHz의 주파수 대역으로 직접 ASK 변조시켜 출력 10 dBm 이상과 인접 채널 간섭비 -40 dBc 등의 RF 송신 성능을 나타낸다. 송신기의 신호원으로서 설계 제작된 주파수 합성기는 26 usec의 채널 이동시간(lock time)을 보여주며 중심 주파수에서 1 MHz 떨어진 지점에서 -115 dBc/Hz의 우수한 위상 잡음 특성을 나타낸다.

### Abstract

In this paper, economic miniature RF transmitter module for intelligent transportation system(ITS) is described. This module which consists of ASK modulator, frequency synthesizer, power amplifier is operating at 5.8 GHz frequency band and implemented by using LTCC process technique. Thus, ultra small size of 0.8 CC and improved electrical performances has been obtained. From the test results, transmitting characteristics of 10 dBm output power and -46 dBc interchannel interference with 1.024 Mbps ASK modulated have been shown. Frequency synthesizer as a transmitting signal source reveals very short locking time of 26 usec and outstanding phase noise of -115 dBc/Hz at 1 MHz offset from 5.8 GHz center frequency.

Key words : LTCC, ITS, Transmitter, RF Module, Synthesizer

### I. 서 론

지능형 교통망(이하 ITS: Intelligent Transportation System)을 구현하는 무선통신 서비스로 5.8 GHz 대역에서 동작하는 단거리 전용 통신 시스템(이하 DS-RC: Dedicated Short Range Communication) 방식이 채택되고 있으며 이동 통신 핸드폰에 사용되는 고주파 부품들과 마찬가지로 소형화 집적화 및 저가형 부품들이 요구되고 있으나 아직은 5 GHz 대역에서 부품 개발이 진행되고 있는 단계이다. 이를 위해 최근

LTCC(Low Temperature Cofired Ceramics) 공정을 이용하여 필터, 발룬, 듀플렉서 및 VCO 같은 단위 소자들<sup>[1]~[3]</sup>이 구현되었고, 블루투스 모듈<sup>[4]</sup>에서는 LTCC 공정을 이용하여 주로 IC Application을 통해 소형화시킨 바 있다. 한편, 5.8 GHz에서 DSRC 방식으로 국내 외에서 개발된 RF 송수신용 IC들은 수동 부품의 IC 내장에 따른 Q 저하로 인해 VCO의 위상 잡음이 열화되는 문제점이 있을 뿐 아니라 시스템에서 요구되는 PLL 회로의 짧은 lock time(50 usec 이하)을 확보하는데 어려움이 많아 주파수 합성기를 내장하

호남대학교 전파이동통신공학과(Department of Radio Mobile Communication Engineering, Honam University)

· 논문 번호 : 20050822-091

· 수정완료일자 : 2005년 9월 27일

지 못해 저렴하고 소형화된 RF 전위 회로 구성에 한계를 노출하고 있다. 따라서 향후 고주파 부품들이 모두 하나의 모듈 내에 내장되는 SOP(System On Package)에 도달하기 위해서는 변복조, RF 송수신 및 주파수 합성기 등을 모두 포함하는 복합 기능을 가진 LTCC 모듈의 개발이 요구되고 있다.

본 연구에서는 5.8 GHz에서 주파수 합성기, ASK 변조 기능, RF 전력 증폭 기능까지 포함되는 송신기 회로를 설계하였으며 LTCC(Low Temperature Co-fired Ceramics) 공정을 활용하여 초소형 RF 모듈을 구현하였다. 이를 위해 송신기에 필요한 고역 통과 여파기 및 대역 통과 여파기, 그리고 VCO와 체배기의 공진 회로를 설계하여 내층에 위치시켰다. 또한 높은 Q 특성을 갖는 Green sheet의 특성을 이용하여 발진기의 위상 잡음이나 여파기의 차단 특성 등 성능개선을 추구하였다.

현재 국내에서 DSRC 규격으로 정해진 사양 중에서 송신기에 관련된 내용을 추출하여 전체 블록 설계 및 구성을 하였고 각 블록에서 요구되는 기능과 전기적인 사양을 만족할 수 있게 하였다. 반도체와 성능 조정에 필요한 수동부품들은 최상위층에 위치시켜 성능의 안정을 도모하였다.

## II. 회로 설계 및 구성

### 2.1 전체 블록구성 및 동작

국내의 ITS 응용은 5.8 GHz에서 동작하는 DSRC

규격을 채택하고 있으므로 본 연구의 RF 송신기는 이를 감안하여 표 1과 같은 규격을 얻을 수 있다. 최소 10 dBm 이상의 송신출력을 가지며 -40 dBc의 인접 채널과의 간섭을 확보해야 한다. 데이터 전송 속도가 1.024 Mbps의 고속이므로 주파수 합성기는 30 us 이하의 lock time을 가져야 채널간 또는 고속 송수신절체를 할 수 있다. 또한 중심 주파수에서 1 MHz 이격된 지점에서 -105 dBm의 비교적 우수한 위상 잡음을 얻기 위해서는 VCO 공진기의 Q 특성이 우수해야 한다. 전체 모듈 크기를 1.2 CC 이하로 구현하기 위해 LTCC 공정을 통한 다층 기판을 이용하여 가급적 많은 수동 부품과 회로들을 내층에 설계한다.

그림 1에는 전체 블록 구성도와 설계 결과들을 보여준다. RF 송신기 복합 모듈은 크게 주파수 합성회로, 데이터 변조 회로, 그리고 송신 회로로 구성된다.

표 1. RF 송신기의 설계 규격

Table 1. Design specification of RF transmitter.

주요 성능 항목	단위	목표값	
송신 출력	dBm	10	
Spurious	dBc	-40	
Harmonics	dBm	-26	
데이터 전송 속도	Mbps	1.024	
주파수 합성기 특성	Lock Time	us	30
	위상 잡음 @1 MHz	dBc/Hz	-105
Size	CC	1.2 CC	

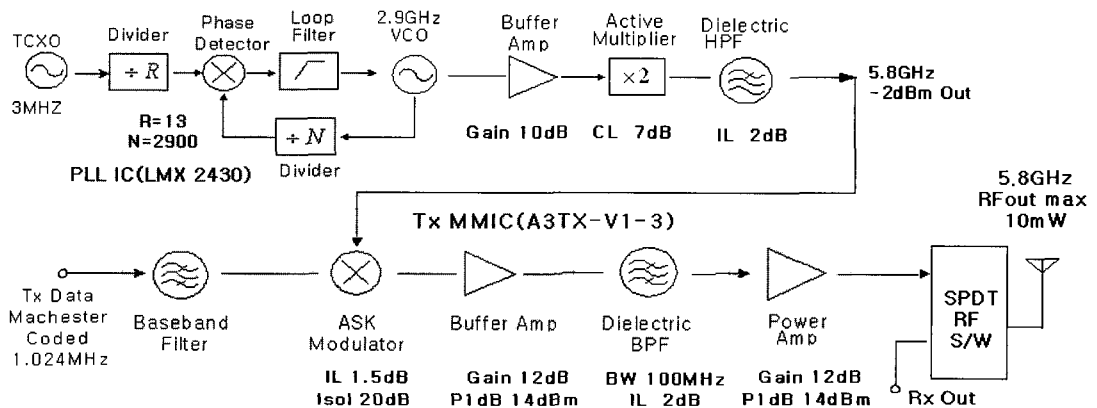


그림 1. 전체 회로 블록 구성도

Fig. 1. Overall block diagram of a RF transmitter module.

2.9 GHz에서 VCO를 설계하고, 13 MHz TCXO와 함께 National사의 PLL IC(LMX 2430)를 이용하여 10 MHz 채널을 이동할 수 있도록 주파수 합성기를 구현한다. 이의 출력은 2 체배기와 고역통과 여파기를 거쳐 원하는 5.8 GHz 신호를 얻어내며 정보 신호를 직접 변조시키기 위한 신호원으로 사용된다. 입력 단자에 공급된 데이터 신호는 텔트론사의 chip 상태 반도체인 MMIC(A3TX-V1-3)에 입력되어 기저대역 여파기, ASK 변조 및 전력 증폭 기능 등을 수행한 후 송수신 스위치를 통해 안테나에서 방사된다. 그림 1의 Tx MMIC의 중간에 삽입되는 대역 통과 여파기에서는 5.8 GHz 주파수 대역의 채널 신호들만을 통과시키고 특히 2.9 GHz 주파수 합성기 출력 신호와 3 체배 주파수인 8.7 GHz 신호를 억제한다. MMIC 내의 전력 증폭기 송신 출력은 최대 10 dBm이다.

본 논문에서는 그림 1처럼 설계된 전체 구성 블록을 바탕으로 송신용 MMIC를 제외한 송신기의 주요 회로인 2.9 GHz 주파수 합성기와 고역 및 대역 통과 여파기 등은 직접 설계한다. 특히 그림 1의 구성 블록에서 2.9 GHz VCO의 공진부, 고역 통과 여파기, 대역 통과 여파기, 2 체배 회로의 공진부와 최상위층 회로들을 연결하기 위한 회로 및 직류 전력 공급 회로들은 내층에 설계하여 전기적인 성능을 개선하고 전체모듈의 크기를 최소화 한다.

### 2-2 주파수 합성기 설계

주파수 합성기 설계의 핵심은 2.9 GHz VCO와 PLL 회로의 루프 필터(loop filter) 설계이다. 우선 VCO는 그림 2와 같이 트랜지스터(Q1)를 중심으로 콜피츠 형태의 구조이며 그 출력은 버퍼 증폭기(Q2)에 연결되어 부하 변동에 따른 주파수 안정성을 확보한다. 버퍼 증폭기(Q2)의 베이스 단자 출력은 PLL IC에 공급된다. 발진기를 구성하는 공진기는 트랜지스터(Q1) 베이스 단자에 연결된 직렬 공진기이다. 공진기의 Q 성능을 개선하여 주파수 합성기의 위상 잡음을 개선시키기 위해 LTCC 공정에 사용되는 유전율 7.8의 Green sheet를 이용하여 다층 레이어(layer)의 내층에 수동 소자들을 구현하였다. 즉, 그림 2의 회로처럼 2개의 1.2 pF 캐패시터(capacitor)와 스트립(strip line) 선로로 구성된다. 1.2 pF는 그림 3과 같

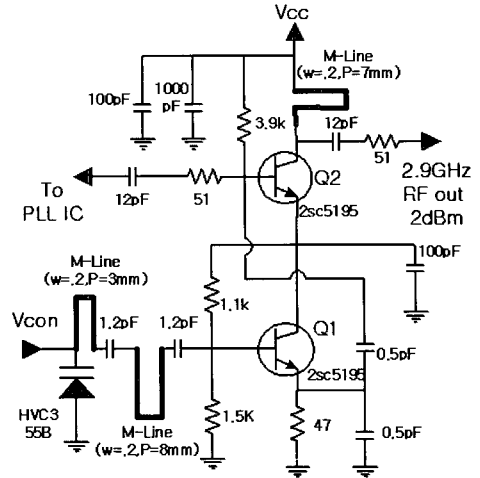


그림 2. 2.9 GHz 전압 제어 발진기의 회로 구성  
Fig. 2. Schematic diagram of voltage controlled oscillator operating at 2.9 GHz.

이 Green sheet를 이용한 MIM(Metal Insulator Metal) 구조로 설계하였다. 또한 공진기에 배랙터(varactor) 다이오드를 연결하여 발진 주파수를 전압 제어(Vcon) 한다. 주파수 합성기는 설계된 2.9 GHz VCO의 신호를 TCXO의 13 MHz에 위상조정하여 채널 간격이 5 MHz가 되게 한다. 짧은 lock time을 얻어내기 위해 주파수 합성기의 비교 주파수를 최대한 늘려 1 MHz로 잡고 가능한 위상 잡음 한도 내에서 루프(loop) 대역폭을 늘린다. 표 2에 루프(loop) 필터 설계에 필요한 설계변수들을 나열하였다. 이들로부터 National사의 PLL 소프트웨어를 이용하여 루프 필터 및 PLL lock time에 대한 모의 실험을 하였다. 그림 4에서는 루프 필터 회로 구조와 소자값들을 보여준다. 또한 PLL 회로의 lock time에 대한 모의실험결과를 그림 5에서 볼 수 있다. 주파수 합성기에서 2,900 MHz에서 2,905 MHz로 5 MHz의 채널 이동시 약 25 us의 lock time을 예상할 수 있다.

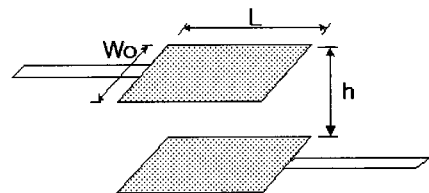


그림 3. MIM(Metal Insulator Metal) 캐패시터 구조  
Fig. 3. MIM(Metal Insulator Metal) capacitor.

표 2. Loop filter 설계를 위한 설계변수들  
Table 2. Design parameters for loop filter.

설계변수	Description	값
$k_{VCO}$	VCO의 이득	70 MHz/V
$k_{pd}$	위상비교기 이득	1 mA
$F_{ref}$	비교 주파수	1,000 kHz
$N$	분배비	2900
$C$	Loop 대역폭	70 kHz
$\Phi_p$	위상마진(margin)	45°

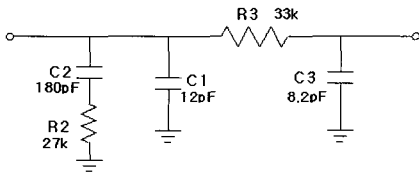


그림 4. 3차 loop filter 구조 및 모의실험 결과  
Fig. 4. Loop filter structure and simulation results.

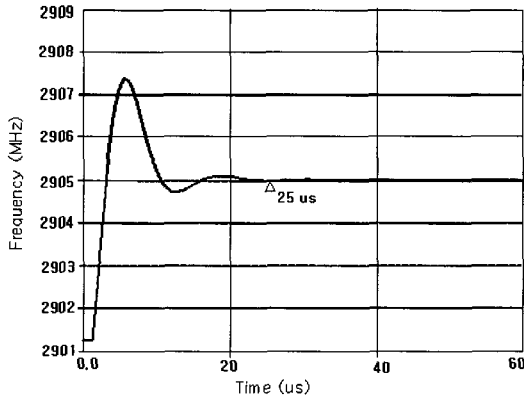


그림 5. PLL lock time 시뮬레이션 결과  
Fig. 5. Simulation result of PLL lock time.

### 2-3 여파기 설계

그림 1의 블록 선도에서 고역 통과 여파기는 2.9 GHz VCO 출력 신호를 억제하고 5.8 GHz의 2 체배 신호를 통과시킨다. 기본 구조는 그림 6(a)에서 보는 것처럼 전형적인 버터워스(butterworth) 타입의 직렬 캐패시터, 션트(shunt) 인덕터 연결구조<sup>[5]</sup>이다. 캐패시터는 그림 3과 같이 MIM 구조로, 인덕터는 임피던스가 높은 스트립(strip) 선로로 구현된다. 이를 바탕으로 설계된 고역 통과 여파기의 layout은 그림 6

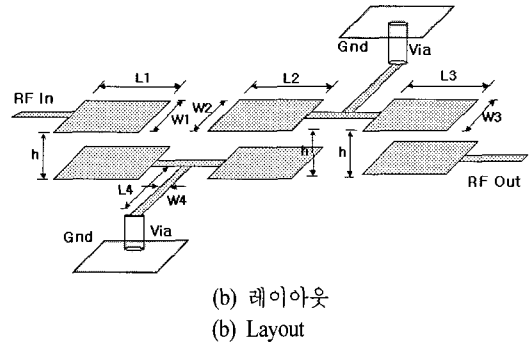
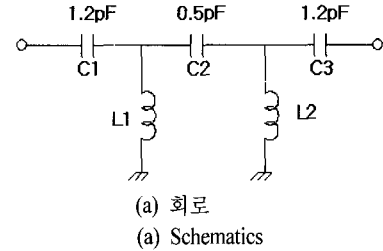


그림 6. 고역 통과 여파기 회로 및 레이아웃  
Fig. 6. High pass filter schematics and layout.

(b)와 같다. 캐패시터(C1)은 그림 6(b)의 스트립 선로의 길이(L1)와 폭(W1) 그리고 선로간의 간격(h)를 통해 얻어진다. 인덕터(L1)은 선로의 길이(L4)와 폭(W4)들로부터 얻어진다. 다른 소자들도 같은 방법으로 구한다. 그림 7에는 Ansoft사의 designer를 이용하여 모의 실험 결과 및 측정 결과를 동시에 나타내었으며 측정 결과 2.9 GHz 대역의 신호를 약 30 dB 이상 억제하며 1.0 dB 이하의 삽입 손실을 얻어냈다. 대역 통과 여파기는 송신 경로에서 2.9 GHz의 VCO

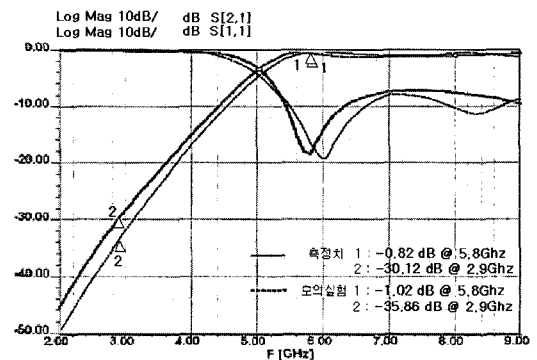


그림 7. 고역 통과 여파기의 시뮬레이션 및 측정 결과  
Fig. 7. Simulation and test results of the high pass filter.

신호와 이의 3 체배인 8.7 GHz 신호를 억제하고 5.8 GHz 대역의 원하는 채널들을 통과시킨다. 또한 최종 전력 증폭기를 거쳐 안테나로 방사되는 신호들의 기생 신호 또는 고조파들을 억제한다. 대역 통과 여파기의 구조<sup>[6]</sup>는 그림 8(a)와 같이 2개의 평면 선로 공진기를 인접하여 자계 결합을 통해 여파기 특성을 얻는다. 이의 등가회로는 그림 8(b)에 나타나 있다. 그림 8(a) 좌측의 공진기는 그림 8(b)의 좌측의 등가 회로와 같고, 각 공진 주파수에서 감쇄극(attenuation pole)을 갖는 2개의 개방 루프 공진기(open loop resonator)가 길이(d0)의 스트립 선로를 통해 연결되어 있다. 즉, 길이(d1)에 따라 인덕턴스(L1)과 캐패시턴스(C1)들이 변하므로 이들에 따라 감쇄극의 공진 주파수(F1)가 결정된다. 길이(d2)는 감쇄극 주파수(F3)를 결정한다. 공진기의 전송 특성은 스트립 선로 길이(d0)와 2개의 개방 루프 선로간의 간극(g)에 따라 공진주파수(F2)가 결정된다. 2개의 단위 공진기들은 자계결합을 통해 전력이 전달되며 간극(g)에 따라 결합양이 좌우된다. 이러한 구조는 다층 회로의 내층에서 적은 공간을 차지하면서도 차단 특성이 우수한 높은 Q 특성을 얻어낼 수 있다. 공진기들의 길이(d1, d2)를 각기 2.9 GHz와 3 체배 주파수인 8.7 GHz에 맞춰 원하는 감쇄량을 확보하게 한다. 그림 8(a)

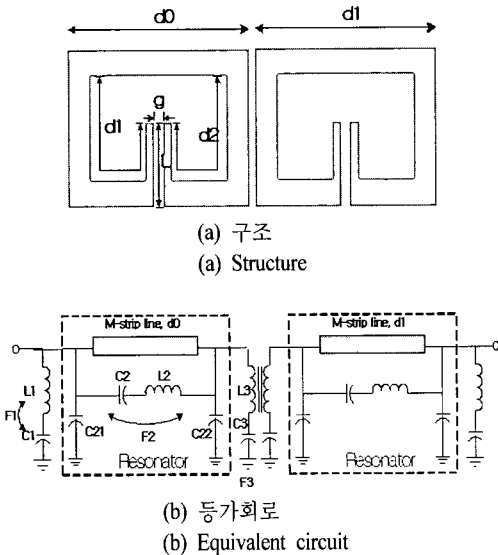


그림 8. 대역 통과 여파기의 구조 및 등가 회로  
Fig. 8. Band pass filter structure and its equivalent circuit.

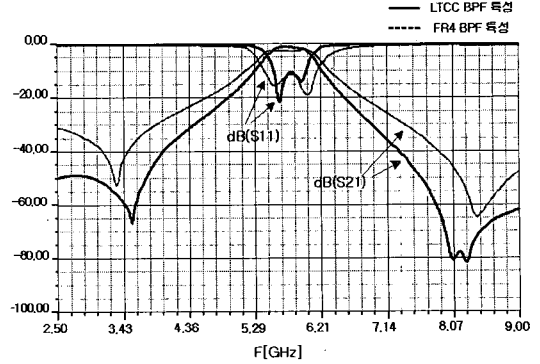


그림 9. 대역 통과 여파기의 모의실험 결과  
Fig. 9. Simulation results of band pass filter.

의 우측공진기도 같은 방식으로 설계한다.

그림 9에서는 LTCC를 이용하여 회로를 구현하였을 경우와 널리 사용되는 FR4 보드(board)인 경우에 대해 Ansoft사의 designer를 이용한 모의 실험 결과를 보여준다. LTCC를 이용한 경우 통과 대역에서 약 2 dB 이하의 삽입 손실과, 2.9 GHz에서 50 dB, 그리고 3 체배 주파수인 8.7 GHz에서 60 dB 이하의 우수한 차단 특성을 나타내었다. FR4 보드의 경우 대역이 넓으나 보드손실로 삽입 손실이 커 차단 특성이 예리하지 않다. 그림 10에는 설계된 여파기의 측정 결과를 FR4 보드를 사용한 여파기와 함께 볼 수 있다. 측정 결과 모의 실험 결과보다는 성능이 떨어졌으나 통과 대역에서 약 3 dB 이하의 삽입 손실, 2.9 GHz와

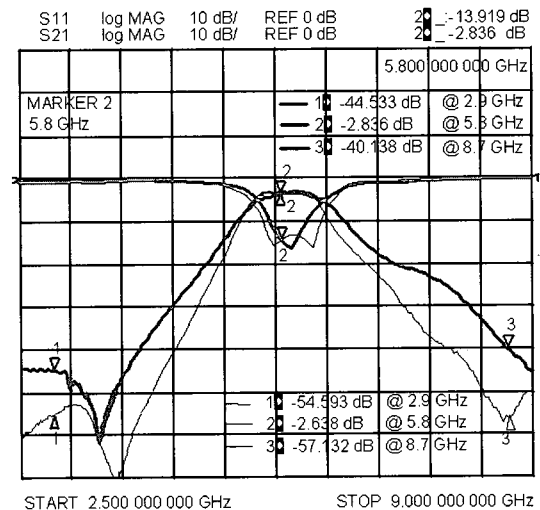


그림 10. 제작된 대역 통과 여파기의 측정 결과  
Fig. 10. Test results of band pass filter.

8.7 GHz에서 약 50 dB 이상의 차단을 보여주어 필요한 성능을 얻어냈다. 물론, FR4 보드 경우에 차단 영역에서 최소 10 dB 이상의 특성 저하를 나타낸다.

### III. 제작 및 측정 결과

ITS용 초소형 RF 송신기 모듈을 LTCC 방식으로 제작하였다. 그림 11처럼 유전율 7.8의 Green sheet<sup>[7]</sup>를 총 7층으로 구성하였으며 최상위층에는 주로 능동 부품들이 배치되었고 위로부터 3번째 층에는 전력선들 및 RF 연결 선로, 5층과 6층 사이에 대역 통과 여파기, 고역 통과 여파기, VCO 공진기용 캐패시터들 및 체배기 공진회로 등이 배치되었다. VCO 공진기의 일부인 인덕터를 최상위층에 위치시켜 주파수 조정을 하였다. 모듈 크기는  $19 \times 17 \times 2.5 \text{ mm}^3$ 로서 0.8 CC 체적을 얻었다. 그림 12(a)는 조립된 모듈을 확대시켰다. 최상위층에 조립된 수동 및 능동 소자들을 볼 수 있다. 좌측 상단에 PLL IC를, 좌측 하단에 TCXO가 장착되었고 우측 중간에 chip 상태의 반도체인 MMIC가 와이어 본딩 되었다. 좌우측에 각기 7개씩 모두 14개의 반원기둥 모양의 단자들이 형성되었으며 5 V 직류전원, PLL 제어데이터, 데이터 등의 입출력에 사용된다. 그림 12(b)에는 조립된 모듈이 장착된 테스트 지그(jig)를 보여준다. 데이터 입출력 및 제어를 위한 커넥터와 5.8 GHz 송신용 및 수신용 SMA 커넥터들이 있다.

그림 13에는 제작된 RF 송신기 모듈의 송신 출력과 인접 채널과의 간섭을 나타낸다. 측정용 지그(jig)와 케이블 등의 손실이 약 2 dB 정도인 것을 감안하

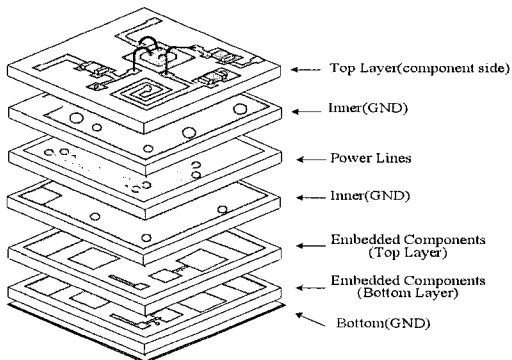
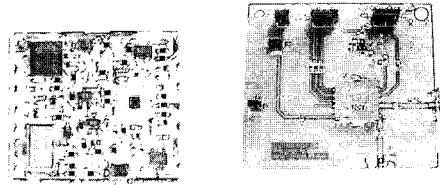


그림 11. RF 송신기 모듈의 LTCC 적층 구조  
Fig. 11. LTCC layers for the RF transmitter module.



(a) 조립 사진 (b) 실험지그  
(a) Module (b) Test jig

그림 12. LTCC RF모듈 조립사진 및 실험지그  
Fig. 12. Photos of LTCC module and test jig.

면 5.8 GHz에서 최소 10 dBm 이상의 출력을 갖는다. 또한 DSRC 방식의 채널 간격은 10 MHz이므로, 5.8 GHz 중심 주파수 출력과 5 MHz 떨어진 지점에서 크기의 비를 그림 13에서 보는 바와 같이 약 46 dBc 얻었다. 한편, 공중파 규격을 만족하기 위해 5.8 GHz 대역의 송신 채널 외에 여타 기생 신호들이 억제되어야 하는 바, 그림 14에서 보는 것처럼 -40 dBm을 확보하여 목표 값인 -26 dBm보다 훨씬 적다. 이는 설계 제작된 대역 통과 여파기가 정상 동작을 하는 것으로 사료된다. 제작된 주파수 합성기에서 10 MHz 채널 이동시 lock time을 그림 15에서 볼 수 있다. 26.2 us로서 그림 5의 모의 실험 결과와 유사한 특성을 얻었으며 설계 목표인 30 us보다 적다. 그림 16은 주파수 합성기의 측정된 위상 잡음을 나타낸다. 중심 주파수에서 1 MHz 떨어진 지점에서 -115 dBc/Hz의 위상 잡음을 나타내며 이는 현재 상용 제품<sup>[8]</sup>보다 최소 10 dB 이상 적어 LTCC 공정에 따라 높

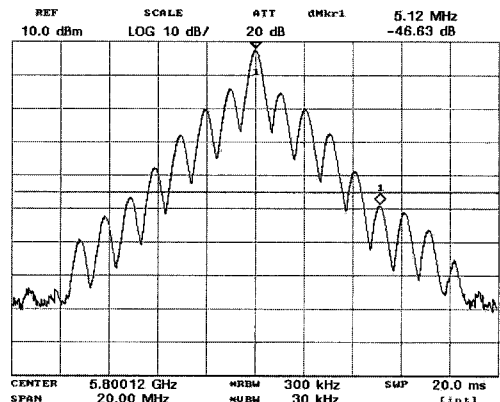


그림 13. 송신 출력 및 인접 채널 간섭 특성  
Fig. 13. Tx power and interference to adjacent ch..

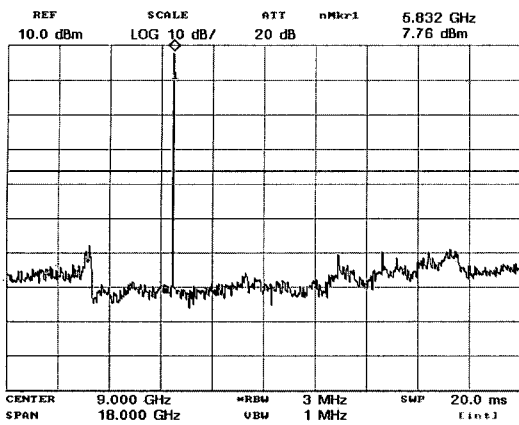


그림 14. RF 송신신호의 기생신호 특성  
Fig. 14. Spurious char. of RF transmitting signal.

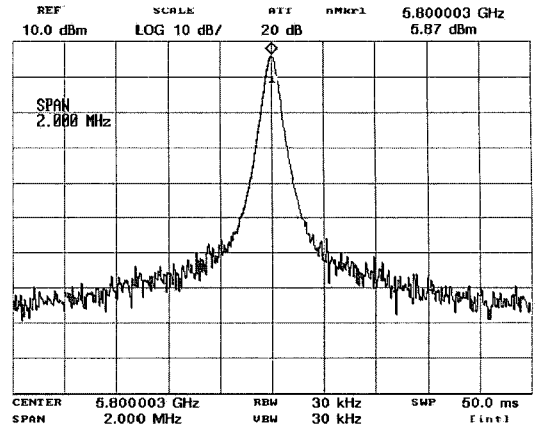


그림 16. 제작된 주파수 합성기의 위상 잡음 특성  
Fig. 16. Phase noise of a frequency synthesizer.

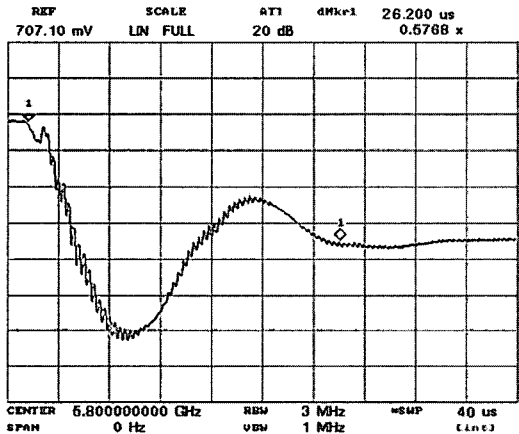


그림 15. 제작된 주파수 합성기의 lock time 측정  
Fig. 15. Lock time of a frequency synthesizer.

표 3. 측정 결과 요약  
Table 3. Summary of test results.

주요 성능 항목	단위	목표	측정 결과
송신출력	dBm	10	10
Spurious	dBc	-40	-46
Harmonics	dBm	-26	-40
데이터 전송속도	Mbps	1.024	1.024
주파수 합성기 특성	Lock time	us	30
	위상 잡음 @ 1 MHz	dBc/Hz	-105
Size	cc	1.2 CC	0.8 CC

은 Q의 공진기를 확보한 결과로 간주된다. 표 3에는

측정 결과 얻어진 데이터를 목표성능에 대비하여 제시하였다. 측정 결과가 모두 목표 값에 비해 여유가 있게 만족한다.

#### IV. 결 론

본 논문에서는 ITS 응용들에 적용 가능한 5.8 GHz 대역의 초소형 RF 송신기 모듈을 LTCC 방식에 따라 설계, 제작하고 실험하였다.

설계된 RF 송신기 모듈은 데이터 변조 기능, 주파수 합성 기능 및 RF 전력 증폭 기능을 갖는다. 일부 회로를 다층 회로의 내층에 설계하여 부품들의 Q 값 향상 등 전기적인 성능을 개선하였고 모듈 크기를 최소화 하였다. 제작된 모듈은 0.8 CC의 크기를 가지며 최소 10 dBm 송신 출력을 갖는 등 DSRC 방식의 RF 송신기 특성을 만족한다. 특히 주파수 합성기는 중심 주파수인 5.8 GHz에서 1 MHz 떨어진 지점에서 약 -115 dBc/Hz의 위상 잡음과 26 us의 lock time을 확보하여 RF 송신기의 신호원으로 사용할 수 있게 되었다.

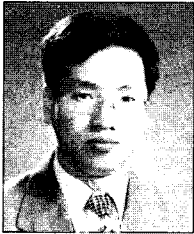
본 논문에서 설계, 제작된 초소형 모듈은 DSRC 방식의 소형 단말기에 경제적이고 신뢰성 있는 부품으로 이용될 수 있을 것이다.

#### 참 고 문 헌

[1] T. Ishizaki, "A very small dielectric planar filter for

- portable telephones", *IEEE Trans. on MTT*, vol. MTT-42, no. 11, pp. 2017-2022, Nov. 1994.
- [2] J. Sheen, "LTCC-MLC duplexer for DCS-1800", *IEEE Trans. on Microwave Theory Tech.*, vol. MTT-47, pp. 1833-1890, Sep. 1999.
- [3] 김태현, 권원현, 이영훈, "LTCC 기법을 이용한 초소형화 된 VCO 설계 및 구현", 한국전자과학기술 논문지, 14(11), pp. 1176-1183, 2003년 11월.
- [4] *Bluetooth Module Data Sheet*, Samsung Electro-Mechanics, 2005.
- [5] G. Matthaei, et al., *Microwave Filters, Impedance Matching Networks*, McGraw Hill, 1980.
- [6] Lap Kun Yeung, "A compact second order LTCC BPF with two finite zeros", *IEEE Transactions on MTT*, vol. 1, no. 2, pp. 337-341, Feb. 2003.
- [7] *Design Rules for Physical Layout of LTCC*, Philco Electronics Co., Ltd., 2005.
- [8] 5.8 GHz PLL Module(NCPA3-5840) Data sheet, Roswin Inc., 2005.

### 윤 기 호



1984년 2월: 연세대학교 전자공학과 (공학사)

1986년 2월: 연세대학교 전자공학과 (공학석사)

1999년 2월: 연세대학교 전자공학과 (공학박사)

1986년 1월~1997년 2월: 삼성종합

기술원, 삼성전기 근무

1997년 3월~현재: 호남대학교 전파공학과 조교수

[주 관심분야] RF 능동 및 수동회로, 안테나 등