

논문 2005-42SD-9-4

고속 DRAM을 위한 Duty Cycle 보정 기능을 가진 Analog Synchronous Mirror Delay 회로의 설계

(Duty Cycle-Corrected Analog Synchronous Mirror Delay for High-Speed DRAM)

최 훈*, 김 주 성**, 장 성 진***, 이 재 구**, 전 영 현***, 공 배 선****

(Hoon Choi, Joo-Seong Kim, Seong-Jin Jang, Jae-Goo Lee, Young-Hyun Jun, and Bai-Sun Kong)

요 약

본 논문에서는 duty cycle-corrected analog synchronous mirror delay(DCC-ASMD)라고 불리는 새로운 구조의 내부 클럭 생성기를 제안한다. 제안된 회로는 임의의 duty ratio를 가진 외부 클럭에 대하여 duty ratio가 50%로 보정된 내부 클럭을 2 클럭 주기 만에 생성할 수 있다. 그러므로, 본 내부 클럭 생성기는 double data-rate (DDR) synchronous DRAM (SDRAM)과 같은 듀얼 에지 동기형 시스템(dual edge-triggered system)에 효율적으로 이용될 수 있다. 제안된 기술의 타당성을 평가하기 위하여, 0.35 μ m CMOS 공정기술을 이용하여 제안된 내부 클럭 생성기를 구현하여 모사실험을 실행하였다. 실험 결과, 제안된 내부 클럭 생성기는, 40 ~ 60%의 duty ratio를 갖는 외부 클럭 신호에 대하여, 50% duty ratio를 갖는 내부 클럭 신호를 2 클럭 주기 만에 발생시킬 수 있음을 확인하였다.

Abstract

This paper describes a novel internal clock generator, called duty cycle-corrected analog synchronous mirror delay (DCC-ASMD). The proposed circuit is well suited for dual edge-triggered systems such as double data-rate synchronous DRAM since it can achieve clock synchronization within two clock cycles with accurate duty cycle correction. To evaluate the performance of the proposed circuit, DCC-ASMD was designed using a 0.35 μ m CMOS process technology. Simulation results show that the proposed circuit generates an internal clock having 50% duty ratio within two clock cycles from the external clock having duty ratio range of 40 ~ 60%.

Keywords : Clock synchronization, synchronous mirror delay, dual edge triggering, duty cycle correction.

I. 서 론

최근 들어, 고성능 데이터 통신 및 멀티미디어 기술이 확대 됨에 따라, 보다 많은 데이터를 저장할 수 있고

저장된 데이터를 고속으로 입출력할 수 있는 메모리 기술에 대한 요구가 점차 증가하고 있다. 이에 따라, Double data rate (DDR) SDRAM이나 Rambus DRAM (RDRAM) 등의 초고속 메모리 시스템들이 등장하게 되었는데, 이들은 모두 데이터의 입출력 동작을 시스템 클럭의 양쪽 에지(edge)에 동기 시켜 고속 데이터 처리가 가능하도록 설계되었다.

일반적인 동기형 시스템(synchronous system)은 외부 클럭 신호를 받아들이기 위하여 클럭 입력 버퍼(clock input buffer)와 내부 클럭 구동기(internal clock driver) 등을 사용하는데, 이들은 외부 클럭과 내부 클럭 사이에 지연 시간을 갖게 하는 요인으로 작용한다. 이러한 문제는 phase-locked loop(PLL)이나 delay-

* 정회원, 하이닉스반도체 메모리연구소
(Hynix Semiconductor, Memory R&D Division Design)

** 학생회원, **** 정회원, 성균관대학교 정보통신공학부
(School of Information and Communication Engineering, Sungkyunkwan University)

*** 정회원, 삼성전자 메모리사업부
(Samsung Electronics, Memory Division)

※ 본 연구는 설계를 위한 CAD Tool을 IDEC으로부터 지원 받았음.

접수일자 : 2004년8월13일, 수정완료일 : 2005년8월19일

locked loop(DLL)을 이용하여 해결할 수 있지만^{[1][2]}, 이들은 폐-루프 (closed-loop) 형태로 동작하므로, 내부 클럭을 외부 클럭에 동기 시키는데 많은 시간이 소요되며, 회로가 복잡하고 동작 전류가 크다는 단점이 있다. 이에 따라, 최근에는 폐-루프 대신 개-루프(open-loop)를 채용하여 내부 클럭을 외부 클럭에 동기 시킬 수 있는 synchronous mirror delay (SMD)^[3] 회로가 제안되었다. 또한, 생성된 내부 clock의 정확도를 높이기 위하여, 두 개의 SMD 블록을 이용한 Interleaved SMD^[4]도 제안되었으며, 각 회로 블록을 아날로그 형태로 설계한 analog SMD(ASMD)^[5]도 제안되었다. 이들은 모두 2 클럭 주기 만에 내부 클럭을 외부 클럭에 동기시킬 수 있다는 장점을 가지나 duty ratio 보정 기능이 없으므로, 최근에 각광 받고 있는 dual edge-triggered system인 DDR SDRAM이나 RDRAM 등에는 적합하지 않다.

본 논문에서는, 이러한 단점을 극복하고자, 비교적 간단한 회로로 외부 클럭 신호의 duty 변화에 상관없이 내부 클럭 신호의 duty ratio를 50%로 보정할 수 있는 새로운 내부 클럭 생성기를 제안하고자 한다.

II. Duty-Cycle 보정 원리

본 논문에서 제안하는 duty cycle 보정 방법은 그림 1에 나타나 있다. 그림의 위쪽에 나타난 신호인 extclk은 duty ratio가 보정되지 않은 외부 클럭 신호이고, 아래쪽에 나타난 신호인 intclk은 duty ratio가 보정된 내부 클럭 신호이다. 이제, 외부 클럭 신호의 duty ratio를 맞추기 위해 보상해야 할 시간을 T_C 라고 하면, 이 시간은 클럭의 low 구간(T_L)과 high 구간 (T_H)의 차이 값을 이용하여 구해질 수 있다. 즉,

$$T_C = \frac{1}{2} \times |T_L - T_H| \quad (1)$$

이다. 그림 1에 나타난 바와 같이, precharge된 두 단자 V_M 과 V_R 은 각각 extclk의 첫 번째 주기의 high 구간 및 low 구간 동안 기울기 α 로 하강한다. 여기서, 기울기 α 는 V_M 및 V_R 두 단자의 단위 시간 당 전압 변화로, 각 단자에 흘러 들어오는 전류 I 와 각 단자에 달려 있는 정전용량 C_L 의 비율($\frac{I}{C_L}$)에 의하여 정해진다. 이제, extclk의 두 번째 cycle의 상승 에지(rising edge)에서 두 단자의 전위차 V_X 는

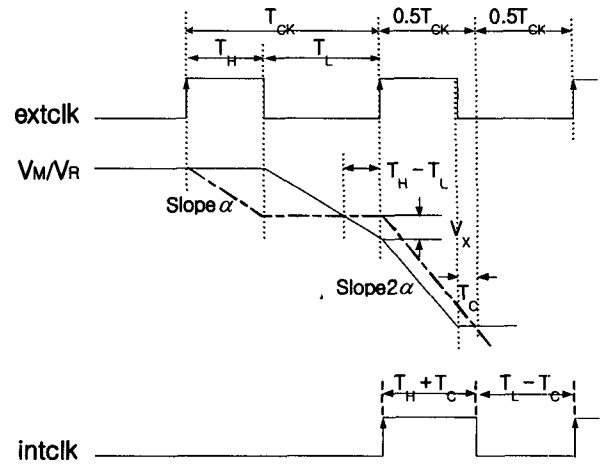


그림 1. Duty cycle 보정 개념

Fig. 1. The concept of duty cycle correction.

$$V_X = (I \times |T_L - T_H|) / C_L \quad (2)$$

으로 나타내어진다. 위의 두 식 (1)과 (2)를 연립하여 풀면, T_C 는

$$T_C = (C_L \times V_X) / 2I \quad (3)$$

이다. 이 식에 의하면, T_C 는 V_X 로 충전되어 있는 capacitor를 전류 값 $2 \cdot I$ 로 방전시킬 때 필요한 시간과 동일하다. 그러므로, 두 단자 V_M 및 V_R 의 전위차 V_X 에 대하여, 각 단자의 전압을 extclk의 상승 에지에서 기울기 2α 로 하강시키면, 두 단자의 전압은 $(T_H + T_C)$ 시간이 지난 후에 일치하게 된다. 이 시점에서 외부 클럭의 상승 에지에서 발생된 내부 클럭을 반전시키면, duty cycle이 50%로 보정된 새로운 신호를 얻을 수 있다.

III. 구조 및 동작

위에서 설명한 duty cycle 보정 원리를 적용한 duty cycle-corrected analog synchronous mirror delay (DCC-ASMD) 회로의 전체 블록도가 그림 2에 나타나 있다. 그림에서 보듯이, 외부에서 가해진 extclk은 입력 버퍼 지연 시간 $d1$ 을 거쳐 내부 기준 클럭인 bclk이 생성된다. 또한, bclk은 T_d 만큼의 시간 지연 후에 dclk이 생성된다. 여기서, T_d 는 내부 클럭을 외부 클럭에 동기시키기 위해 필요한 negative delay의 총합이다. 이들 bclk 및 dclk은 토글 (toggle) 플립-플롭과 인버터

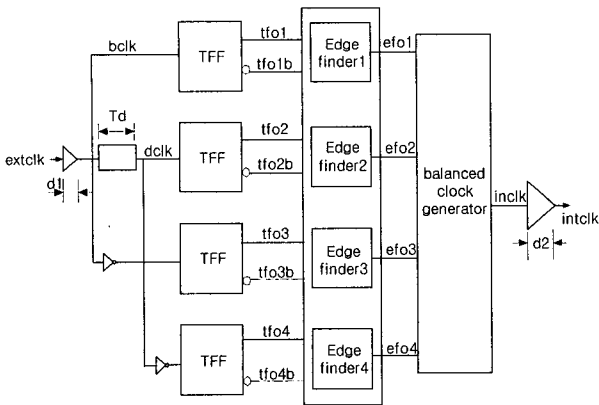
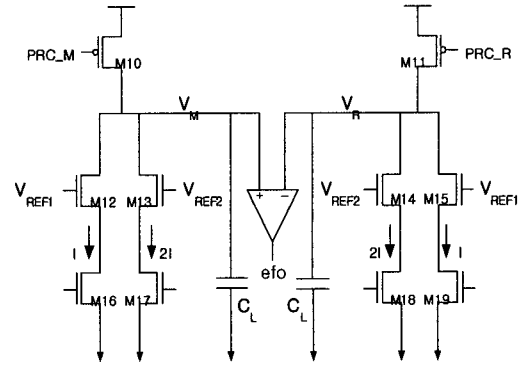


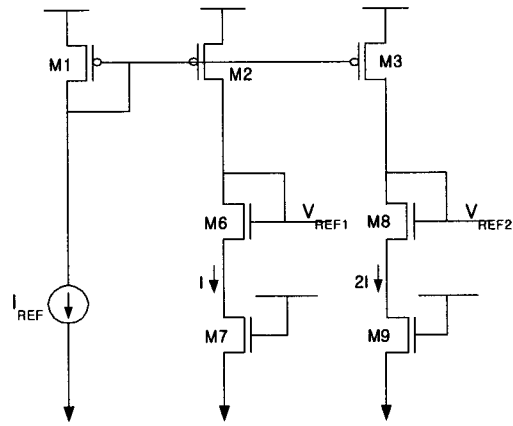
그림 2. DCC-ASMD의 전체 블록도
Fig. 2. Overall block diagram of DCC-ASMD.

(inverter) 등을 거쳐 tfo1, tfo1b, tfo2, tfo2b, tfo3, tfo3b, tfo4, tfo4b 등의 내부 신호들을 만들게 되며, 이들은 4 개의 edge finder에 입력된다. 이들 4 개의 edge finder는 각각 efo1, efo2, efo3, efo4의 신호를 만들게 되며, 이들은 balanced clock generator에 입력된다. 한편, balanced clock generator는 이들 입력 신호로부터 duty cycle이 보정된 inclck을 만들게 되며, 이 신호는 내부 clock driver 지연 시간 d2 후에 최종 출력인 intclk을 생성하게 된다.

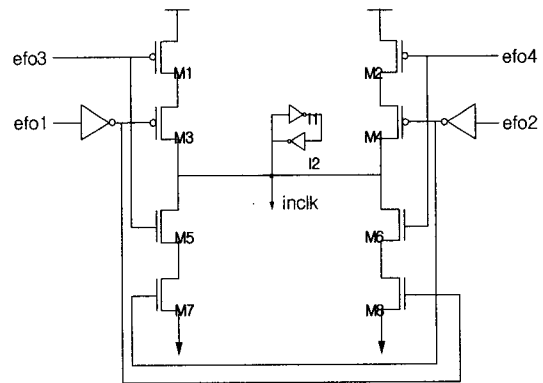
DCC-ASMD를 이루는 주요 블록인 edge finder 및 balanced clock generator의 자세한 회로 구조는 그림 3에 나타나 있다. 그림 3-(a)는 edge finder의 상세 회로도를 나타내고 있으며, 그 구성은 다음과 같다. 즉, 내부 단자인 V_M 와 V_R 는 각각 콘덴서 C_L 을 가지고 있으며, 전압 비교기(voltage comparator)의 입력 단자에 연결되어 있다. 트랜지스터 M10 및 M11은 적절한 제어 신호에 의해 단자 V_M 및 V_R 을 V_{DD} 로 precharge 시키는 역할을 한다. 트랜지스터 M17 및 M18은 각각 $(T_{CK} - T_d)$ 및 T_X 동안 2I의 전류가 흐를 수 있도록 조절하고, 트랜지스터 M16 및 M19는 각각 T_L 및 T_H 동안 전류 I가 흐를 수 있도록 조절한다. Edge finder의 전류값을 결정하기 위한 바이어스 전압인 V_{REF1} 및 V_{REF2} 는 그림 3-(b)에 나타나 있는 bias voltage generator에 의해서 생성된다. 그림 3-(c)는 balanced clock generator의 상세 회로 구조로, 이는 edge finder에서 만들어진 efo1, efo2, efo3, efo4의 신호를 이용하여 duty cycle이 보정된 inclck을 만드는 역할을 수행한다. 이때, efo1 및 efo3는 각각 inclck의 홀수 번째 pulse의 상승 및 하강 에지를 생성하는데 쓰이며,



(a) Edge finder



(b) Bias voltage generator



(c) Balanced clock generator

그림 3. DCC-ASMD의 세부 회로도: (a) edge finder; (b) bias voltage generator; (c) balanced clock generator.

Fig. 3. Detailed circuit diagram of DCC-ASMD: (a) edge finder; (b) bias voltage generator; (c) balanced clock generator.

efo2 및 efo4는 각각 inclck의 짝수 번째 pulse의 상승 및 하강 에지를 생성하는데 쓰인다.

제안된 DCC-ASMD 회로의 동작은 그림 4에 나타나 있다. 먼저, inclck의 홀수 번째 상승 에지를 발생시키는 신호인 efo1의 생성 과정을 살펴보면 다음과 같다. 회로

의 동작 설명을 용이하게 하기 위하여, V_{M1} 과 V_{R1} 은 초기에 V_{DD} 로 precharge 되어 있다고 가정하자. 이제, dclk의 상승 에지에서 트랜지스터 M17(그림 3-(a))이 개방되면 V_{M1} 은 $T_{CK} - T_d$ 구간 동안 기울기 2α 로 방전된다. 또한, dclk의 하강 에지에서 트랜지스터 M16이 개방되면 V_{M1} 은 dclk의 T_L 구간 동안 기울기 α 의 방전이 추가 된다. 이에 따라, 트랜지스터 M16과 M17이 동시에 개방되어 있는 구간에서 V_{M1} 의 방전 기울기는 3α 가 된다. 이러한 과정을 통해 얻어지는 V_{M1} 의 최종 전위는

$$V_{M1} = V_{DD} - [I \times (T_L) + 2I \times (T_{CK} - T_d)] / C_L \quad (4)$$

이다. 한편 dclk의 하강 에지에서 트랜지스터 M19가 개방되면, V_{R1} 은 T_L 구간 동안 기울기 α 로 방전된다. 또한, bclk의 두 번째 상승 에지에서 트랜지스터 M18이 개방되면 기울기 3α 를 거쳐, V_{R1} 은 V_{M1} 의 전압과 같아지는 시점까지 기울기 2α 로 방전 된다. 따라서 최종적으로 얻어지는 V_{R1} 의 전압은

$$V_{R1} = V_{DD} - [I \times (T_L) + 2I \times (T_{X1})] / C_L \quad (5)$$

이다. 이제, V_{M1} 과 V_{R1} 이 같아지는 시점의 T_{X1} 는

$$T_{X1} = T_{CK} - T_d \quad (6)$$

으로 표현될 수 있다. 즉, efo1은 bclk의 상승 에지보다 T_d 만큼 앞선 시간에 발생하게 된다.

다음으로, inclk의 홀수 번째 하강 에지를 생성하며 duty ratio 보정을 담당하는 신호인 efo3의 생성 과정을 살펴보자. 그림 4에서 보는 바와 같이, 신호 efo3의 생성 과정은 efo1의 생성 방식과 유사하며, 이때 얻어진 V_{M3} 및 V_{R3} 의 최종 전위는 각각

$$V_{M3} = V_{DD} - [I \times (T_L) + 2I \times (T_{CK} - T_d)] / C_L \quad (7)$$

$$V_{R3} = V_{DD} - [I \times (T_H) + 2I \times (T_{X3})] / C_L \quad (8)$$

으로 나타내어진다. 그러므로, V_{M3} 와 V_{R3} 가 같아지는 시점의 T_{X3} 는

$$T_{X3} = 0.5 \times (T_L - T_H) + (T_{CK} - T_d) \quad (9)$$

으로 표현될 수 있다. 즉, efo3는 bclk의 하강 에지보다

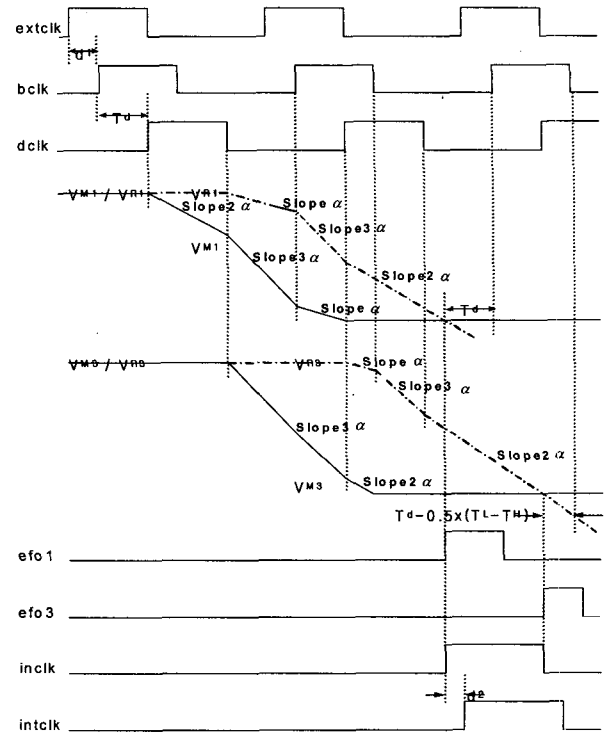


그림 4. DCC-ASMD 동작

Fig. 4. The operation of DCC-ASMD.

$T_d - 0.5 \times (T_L - T_H)$ 만큼 앞선 시간에 발생하게 된다. 여기서, $0.5 \times (T_L - T_H)$ 는 제 2 절에서 언급한 duty cycle 보정을 위한 시간 T_C 와 일치하므로 duty ratio가 정확히 보정됨을 알 수 있다.

만일, 제작 상의 공정 변화에 따른 절연체 두께 (T_{OX})의 변화, 트랜지스터 길이(L) 및 폭(W)의 변화, 그리고 문턱전압 (V_T)의 변화 등에 의하여, 각 edge finder 회로의 V_M 및 V_R 에 연결되어 있는 콘덴서 C_L 및 각 ladder를 흐르는 전류 값에 mismatch가 존재한다면, 위의 각 경우의 T_X 는 아래와 같이 나타내어진다.

$$T_{X1} = 0.5 \times [(C_{LR1} I_{M1} / C_{LM1} I_{R1}) - 1] T_L + (C_{LR1} I_{M1} / C_{LM1} I_{R1}) (T_{CK} - T_d) \quad (10)$$

$$T_{X3} = 0.5 \times [(C_{LR3} I_{M3} / C_{LM3} I_{R3}) T_L - T_H] + (C_{LR3} I_{M3} / C_{LM3} I_{R3}) (T_{CK} - T_d) \quad (11)$$

위의 식에서 보는 바와 같이, 공정 변화로 인한 콘덴서 및 전류량의 mismatch는 정확한 duty ratio 보정을 위하여 변화시켜야 할 시간 값의 오차를 발생시키는 것을 알 수 있다. 그러므로, duty ratio 보정의 정확성을 유지하기 위해서는 이들의 mismatch 효과가 최소화 되도록

설계를 진행해야 한다.

이제, edge finder로부터 생성된 efo1 및 efo3은 duty clock generator에 입력되어 각각의 상승 에지에서 inclk의 홀수 번째 상승 에지 및 하강 에지를 생성하게 된다. 한편, inclk의 짝수 번째 상승 에지와 하강 에지는 각각 efo2 및 efo4에 의해서 발생되는데, 이들 또한 efo1과 efo3의 경우와 유사한 방법으로 만들어지므로 duty cycle 보정이 가능하다. 결론적으로, 제안된 DCC-ASMD는 임의의 duty ratio를 가진 외부 클럭에 대하여 duty ratio가 50%로 보정된 내부 클럭을 2 클럭 주기 만에 발생시킬 수 있음을 알 수 있다.

IV. 비교 및 고찰

제안된 회로의 성능을 검증하고자, 설계된 DCC-ASMD를 0.35 μm CMOS 공정을 이용하여 구현하였으며, 설계된 칩의 layout은 그림 5에 나타나 있다. 앞에서 설명한 바와 같이, edge finder에 달려 있는 콘텐서 크기의 matching이 중요하므로, 각 콘텐서의 구조는 mismatch가 최소화되도록 layout하였다. 또한, edge finder의 각 ladder를 흐르는 전류량의 matching도 매우 중요하므로, 각 ladder의 트랜지스터들은 완전히 대칭적인 구조를 갖도록 layout을 진행하였으며, 이들을 구동하는 bias voltage generator의 트랜지스터들과도 완전한 대칭 구조를 이루도록 하여 상호 간의 mismatch가 최소화 되도록 설계하였다. 그림 6은 설계된 회로에 3.3 V의 전원 전압에서 40%의 duty cycle을 가지는 200 MHz의 외부 클럭을 인가하였을 경우에 대한 post-layout 시뮬레이션 결과 파형을 보여주고 있다. 즉, V_{M1} 및 V_{R1} 을 이용하여 내부 기준 클럭인 bclk의 상승 에지보다 T_d 만큼 앞선 시간에 발생하는 efo1의 파형은 그림 6-(a)에 나타나 있으며, V_{M3} 및 V_{R3} 를 이용하여 내부 기준 클럭인 bclk의 하강 에지보다 $T_d - T_C$ 만큼 앞선 시간에 발생하는 efo3의 파형은 그림 6-(b)에서 나타나 있다. 한편 efo1, efo2, efo3, efo4의 입력 신호를 이용하여 duty cycle을 50%로 보정한 최종 클럭 신호 intclk의 파형은 그림 6-(c)에 나타나 있다. 그림에서 볼 수 있듯이, intclk의 duty ratio가 0.5로 보정됨을 알 수 있다. 여러 가지 duty ratio 값을 가지는 외부 클럭에 대해 duty cycle의 보정 결과는 표 1에 요약되어 있다. 표에서 볼 수 있듯이, 40 - 60%까지의 duty ratio를 갖는 외부 클럭에 대하여 내부 클럭은 50% duty로부터 1.44% 이하의 오차 범위 안

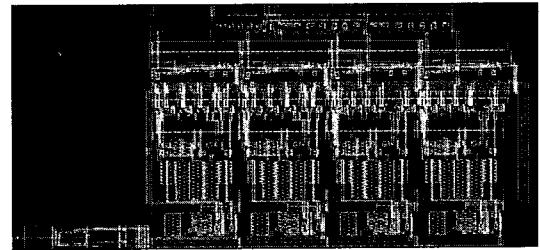
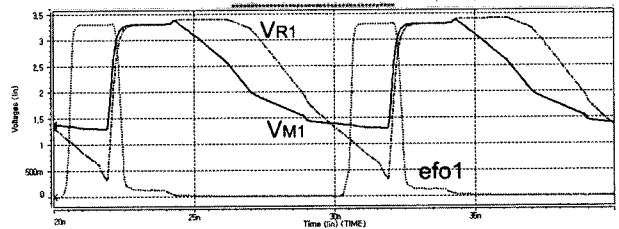
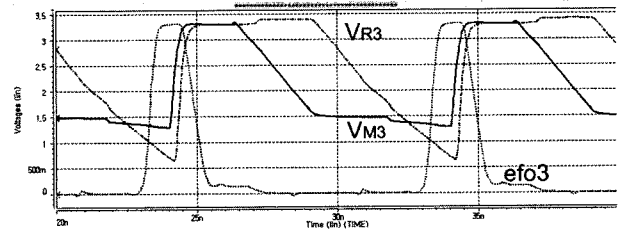


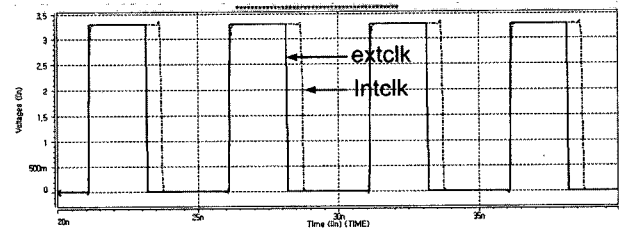
그림 5. DCC-ASMD 회로의 레이아웃
Fig. 5. Layout picture of DCC-ASMD.



(a) efo1



(b) efo3



(c) extclk 및 intclk

그림 6. Simulation 파형: (a) efo1; (b) efo3; (c) extclk 및 intclk

Fig. 6. Simulated waveform: (a) efo1; (b) efo3; (c) extclk and intclk.

표 1. Duty ratio 보정 시뮬레이션 결과

Table 1. Simulation results for duty ratio correction.

	외부 클럭의 duty ratio (%)		
	40	50	60
보정된 내부 클럭의 duty ratio (%)	49.05	50.56	51.44

에서 안정화됨을 알 수 있다.

V. 결론

본 논문에서는 duty cycle 보정 기능을 제공할 수 있

는 내부 클럭 생성기인 duty-cycle-corrected analog synchronous mirror delay(DCC-ASMD)를 제안하였다. 제안된 내부 클럭 생성기는 duty ratio가 보정되지 않은 외부 클럭으로부터 duty ratio가 50%로 보정된 내부 클럭을 2 클럭 주기 만에 생성할 수 있으므로, fast locking을 필요로 하는 dual edge-triggered system에 효율적으로 사용될 수 있다.

참 고 문 헌

[1] F. M. Gardner, "Charge-pump phase-locked loops," *IEEE Trans. on Comm.* pp. 1849-1858, Nov. 1980.
 [2] J. G. Maneatis, "Low-jitter process-independent DLL and PLL based on self-biased techniques," *IEEE J. of Solid-State Circuits*, Nov. 1996.

[3] T. Saeki, et al., "A 2.5-ns clock access, 250 MHz, 256-Mb SDRAM with synchronous mirror delay," *IEEE J. of Solid-State Circuits*, Vol. 31, pp 1656-1665, Nov. 1996.
 [4] T. Saeki, et al., "A 10 ps jitter 2 clock cycle lock time CMOS digital clock generator based on an interleaved synchronous mirror delay scheme," *IEEE Symposium on VLSI Circuits*, pp. 109-110, 1997.
 [5] Daeyun Shin et al. "An Analog Synchronous Mirror Delay for High speed DRAM Application", *IEEE J. of Solid-State Circuits*, Vol. 34, pp 484~493, Apr. 1999.

저 자 소 개



최 훈(정회원)
 2001년 한국항공대학교
 항공전자공학과 공학사.
 2003년 한국항공대학교
 항공전자공학과 공학석사.
 2003년~현재 하이닉스반도체
 메모리연구소 설계팀
 연구원.

<주관심분야 : 저전력 메모리 설계, 고성능 DLL 설계>



김 주 성(학생회원)
 2004년 한국항공대학교
 항공전자공학과 공학사.
 2005년~현재 성균관대학교
 전자전기공학과 석사과정.
 <주관심분야 : 디지털 및 혼성모
 드 집적회로설계, 저전력 메모리
 설계>



장 성 진(정회원)
 1987년 경북대학교
 전자공학과 공학사.
 1990년 한국과학기술원(KAIST)
 전기 및 전자공학과
 공학석사.
 1990년~1999년 LG반도체 연구원

2000년~현재 삼성전자 수석 연구원.
 <주관심 분야 : High Speed DRAM>



이 재 구(정회원)
 1991년 고려대학교
 전자공학과 공학사.
 1993년 고려대학교 대학원
 전자공학과 공학석사.
 1993년~1999년
 LG반도체 중앙연구소.

2000년~현재 삼성전자 반도체총괄.
 2004년~현재 성균관대학교 정보통신공학부
 전자전기공학과 박사과정.
 <주관심분야 : Mixed Signal 회로설계(메모리,
 Driver IC)>

전 영 현(정회원)
 제40권 SD편 제11호 참조.
 현재 삼성전자 메모리사업부 상무.

공 배 선(정회원)
 제42권 SD편 제8호 참조.
 현재 성균관대학교 정보통신공학부 부교수.