

논문 2005-42SD-9-1

무선통신소자제작을 위한 45GHz f_T 및 50GHz f_{max} SiGe BiCMOS 개발

(A 45GHz f_T and 50GHz f_{max} SiGe BiCMOS Technology Development for Wireless Communication ICs)

황 석 희*, 조 대 형*, 박 강 욱*, 이 상 돈*, 김 남 주**

(Seok-Hee Hwang, Dae-Hyung Cho, Kang-Wook Park, Sang-Don Yi, and Nam-Ju Kim)

요 약

최근 Mobile용 RF ICs 적용을 위한 RF CMOS 기술과 함께 핵심 기술로 SiGe Heterojunction Bipolar Transistor (HBT) 소자 개발의 중요성이 증대되고 있다. 본 논문은 현재 5GHz 동작 수준의 RF제품에서 주로 사용되는 기술인 0.35 μ m 설계 Rule을 적용하여 f_{max} 50GHz에서 동작하는 SiGe BiCMOS 기술 개발에 대한 내용을 논의한다. 본 SiGe HBT에 사용하는 에피막 성장 기술은 Trapezoidal Ge base profile 및 non-selective 방식이고, 에미터 RTA 조건 및 SiGe HBT base에 대한 vertical profile 최적화를 수행하였다. hFE 100, f_T 45GHz, f_{max} 50GHz, NF_{min} 0.8dB수준으로 우수한 특성 및 기술 경쟁력을 갖는 SiGe BiCMOS 공정 개발 및 양산 기술을 확보하였다. 또한, 기존의 0.35 μ m설계 Rule공정 target에 부합되는 CMOS소자를 포함시켰으며, RF용 Passive소자로 높은 Q값을 갖는 MIM capacitor(1pF, Q>80), Inductor(2nH, Q~12.5)를 제공하였다.

Abstract

A 0.35 μ m SiGe BiCMOS fabrication process has been timely developed, which is aiming at wireless RF ICs development and fast growing SiGe RF market. With non-selective SiGe epilayer, SiGe HBTs in this process used trapezoidal Ge base profile for the enhanced AC performance via Ge induced bandgap narrowing. The characteristics of hFE 100, f_T 45GHz, f_{max} 50GHz, NF_{min} 0.8dB have been obtained by optimizing not only SiGe base profile but also RTA condition after emitter polysilicon deposition, which enables the SiGe technology competition against the worldwide cutting edge SiGe BiCMOS technology. In addition, the process incorporates the CMOS logic, which is fully compatible with 0.35 μ m pure logic technology. High Q passive elements are also provided for high precision analog circuit designs, and their quality factors of MIM(1pF) and inductor(2nH) are 80, 12.5, respectively.

Keywords : SiGe, BiCMOS, HBT, trapezoidal, 50GHz

I. 서 론

고속 무선 통신시장이 급격히 성장함에 따라, 그 공간을 이루는 무선 시스템을 구성하기 위해서는 높은 주파수 특성(f_T)과 superior noise 특성(NF_{min}) 및 power efficient한 특성 등을 가지는 소자들이 요구되어진다.^[1] 기존의 RF CMOS나 실리콘 BiCMOS 공정은 high

speed, low noise, high linearity 및 low power 특성 면에서 SiGe BiCMOS 특성에 비해 상대적인 열세로 low end product 개발에 주로 사용되어지고 있으며, 초고속 interface core IPs 및 고성능 RF 제품은 급속도로 SiGe BiCMOS기술로의 adoption이 진행되고 있다.^[2] 실리콘 BiCMOS경우, 좀 더 짧은 전이 시간과 높은 f_T 를 얻기 위해서는 base의 두께가 얇아져야 하고, 높은 f_{max} 를 얻기 위해서는 베이스의 도핑 농도를 높여야 한다. 그러나, 실리콘 bipolar에서 적절한 hFE(current gain)를 얻기 위해서는 허용 가능한 base 도핑 농도가 정해져 있다. 따라서, 30GHz이상의 f_T 를 얻는 것은 기술적으로 매우 어려운 것으로 알려져 있다. RF CMOS는 원가효율성 측면에서 가장 월등한 이점이 있으나,

* 정희원, 삼성전자 반도체총괄 SYS.LSI사업부 기술개발실
(Technology Development, SYS.LSI Division, Semiconductor Business, Samsung Electronics)

** 정희원, 동부아남반도체(주)

(DongbuAnam Semiconductor)

접수일자: 2005년5월27일, 수정완료일: 2005년8월22일

제한된 analog 및 noise 특성으로 인해 high end 제품 개발에서 제약을 받고 있다. RF CMOS와 실리콘 BiCMOS기술의 단점을 보완하고 또한, 대량생산이 가능한 silicon fab에 부합되는 "silicon compatible technology"로 SiGe BiCMOS기술 개발이 지난 1980년대 이래 활발히 연구되어 왔으며^[3,4], 그 결과로 최근 순수 연구 단계인 3세대 200GHz의 cutoff frequency (f_T)^[5], 180GHz의 maximum oscillation frequency (f_{max})^[6], 5GHz 에서 1dB이하의 noise figure특성 등이 발표되고 있다.^[6]

본 연구는 차세대 비메모리 시장의 주축인 무선 통신 시장에 진입하기 위해 개발된 SiGe BiCMOS 소자의 특성에 관한 것으로, 본론에서는 SiGe BiCMOS fabrication process를 기술하고, SiGe base profile 및 emitter junction에 따른 DC/AC 특성을 다루고, CMOS 및 RF Passive 소자(MIM capacitor, Inductor) 특성을 설명하도록 하겠다.

II. 본 론

1. 제조 공정

격자 정합된(strained) SiGe epilayer는 준안정상태로 Ge 함유량에 따른 임계두께가 존재하고 후속 열처리에 따라 격자 이완(strain relaxation)이 일어날 소지가 있다.^[7] 이에 상대적으로 열처리 과정이 많은 CMOS integration이 선 진행된 후 SiGe HBT(Heterojunction Bipolar Transistor)를 제작하는 BAGate(Base after Gate)^[8] 방법을 이용하였다. 표 1. 은 개략적인 0.35 μ m SiGe BiCMOS 공정 흐름도로, 기 개발된 0.35 μ m

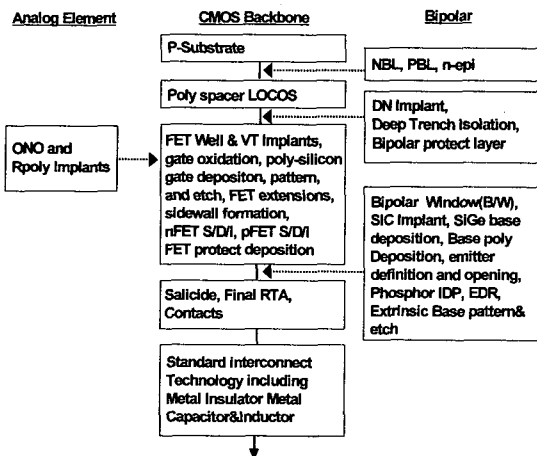


표 1. 0.35 μ m SiGe BiCMOS 공정 흐름도
Table 1. The schematic diagram of 0.35 μ m SiGe BiCMOS process.

CMOS standard logic process인 L35^[9]를 근간으로 하였다. Bipolar transistor 제작에 요구되는 NBL(N+ Buried Layer), PBL(P+ Buried Layer) 형성 및 N type(5E15 Phosphor) 1 μ m Si epitaxial growth 후에 PSL(polysilicon spacer LOCOS) isolation이 형성된다. Bipolar transistor 간의 isolation을 위한 3.5 μ m Deep Trench Isolation이 형성되고 standard CMOS 공정을 위한 Active, Gate, LDD, Spacer공정이 진행된 후, CMOS protection oxide 침적 후 SiGe HBT 공정을 진행한다. SiGe HBT 공정은 크게 에피막에 대한 증착 방식에 따라 non-selective epitaxy와 selective epitaxy로 구분되고, emitter와 base isolation을 위한 방법으로 inside spacer를 사용하는 double polysilicon 공정과 outside spacer를 사용하는 single polysilicon 공정이 존재한다.^[10]

본 연구에서는 안정적인 양산 공정을 위해 non-selective epitaxy를 적용하였고, 기 set up된 Si bipolar 공정의 infrastructure를 이용하기 위해 double polysilicon 공정을 이용하였다.

Base Collector 접합에서 8E16의 농도를 가지도록 phosphorous 이온주입에 의해 형성되었다. Base open 후 전면 SiGe 에피 성장은 상업용 ASM epsilon reactor에서 진행되었다. SiGe 에피성장 전 자연산화막의 완벽한 제거를 위해 900 $^{\circ}$ C 2분 hydrogen bake를 진행한다. 이후 silicon seed, undoped SiGe spacer, boron

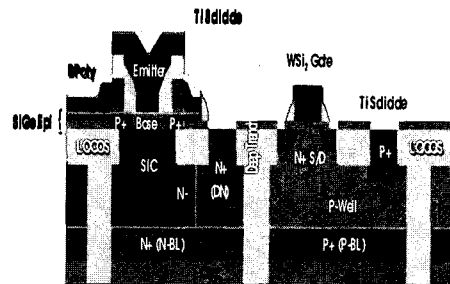


그림 1. SiGe HBT and MOS 개략도
Fig. 1. The vertical diagram of SiGe HBT and MOS.

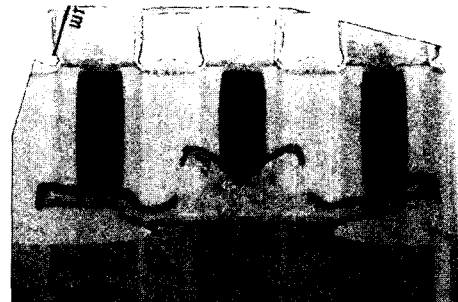


그림 2. Vertical SEM of SiGe HBT
Fig. 2. Vertical SEM of SiGe HBT.

doped graded SiGe, capping silicon 순으로 증착되었다. Emitter window open 시 etch stop을 위한 pad oxide define 후, *in-situ* boron doped polysilicon이 침적되고, oxide deposition, emitter window open, inside spacer define, *in-situ* phosphor doped polysilicon 침적이 진행된다. RTA를 통해 polysilicon에서 diffusion되는 phosphor는 emitter를 형성한다. Emitter polysilicon patterning과 base polysilicon patterning 후에는 CMOS와 merge되어 SBL (Salicide Blocking Layer), salicide, Metal interconnect 공정이 진행된다. Metal 4는 inductor를 위해 형성되고 두께는 3 μ m이다. 그림 1.은 제작된 npn SiGe HBT와 MOS에 대한 개념적인 단면도를 보여 준다. 그림 2.는 제작된 npn SiGe HBT의 Vertical SEM 단면도이다.

SiGe HBT의 DC 특성은 HP4155 parametric analyzer에서 측정되었다. HBT의 AC 특성인 f_T , f_{max} 는 HP8510C Network Analyzer를 이용하여 측정되었다. Bipolar만의 S parameter extraction을 위해 open, short dummy pattern을 측정하여 2 step de embedding method를 사용하였다. f_T 는 H21의 절대치를 이용하여 계산되었고, f_{max} 는 일반적으로 알려진 Mason's Gain을 사용하여 추출하였다.^[11] Noise figure는 ATN noise figure meter를 통해 측정되었고, passive 소자에 대해서는 open dummy de-embedding하여 취해진 S parameter를 가지고 분석하였다.

2. SiGe HBT 특성

가. SiGe base profile에 따른 DC/AC 특성

SiGe base를 제작하는 방법으로는 두 가지가 존재하는데 SiGe base의 Ge content를 일정량 유지하고 base doping 농도를 높여 베이스 저항을 감소시키는 방식과 base 영역 내에 Ge content를 grading시켜서 electron diffusion에 의한 전류에 electric field를 부가하여 AC

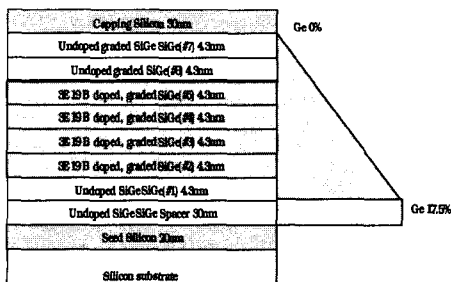


그림 3. SiGe base profile에 대한 개략도
Fig. 3. The diagram of SiGe base profile.

특성을 개선하는 방식이 존재한다.^[1] 본 연구에서 사용된 SiGe base에 대한 개념도를 그림 3.에 도시하였다

본 연구에서는 high performance 소자 형성에 유리한 trapezoidal SiGe을 사용했으며, SiGe undoped spacer는 boron 확산에 의한 parasitic energy barrier^[12]의 형성을 방지하기 위해 적용되었고, doping step수는 적절한 hFE , f_T , f_{max} 를 얻기 위해 최적화되었으며, capping silicon은 RTA에 의한 emitter junction depth에 부합되도록 두께가 조절되었다. 개발 초기에 설정된 SiGe base profile에서 SiGe base 영역에 대한 split에도 불구하고, AC 특성이 낮은 문제가 발생하여 에피막에 대한 재료적 분석을 진행하였다. 그림 4.는 boron pile up 유무에 따른 SiGe base의 epitaxy 직후의 SIMS(Secondary Ion Mass Spectroscopy) profile이며,

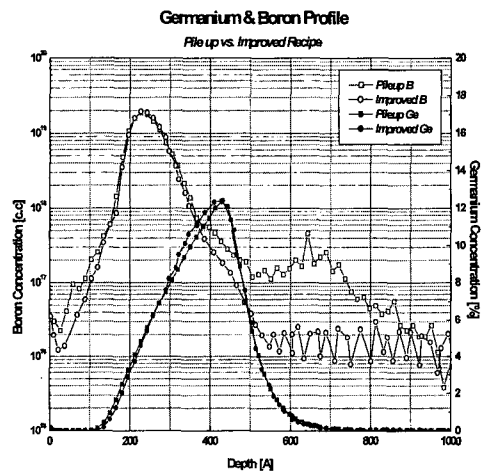


그림 4. SiGe 에피막과 Silicon 기판사이의 Boron pile up 유무에 따른 SIMS profile (Cap Si:20nm, B step:#5,#6,Graded SiGe:30nm)
Fig. 4. SIMS profile about Boron pile-up between SiGe epilayer and Silicon substrate.

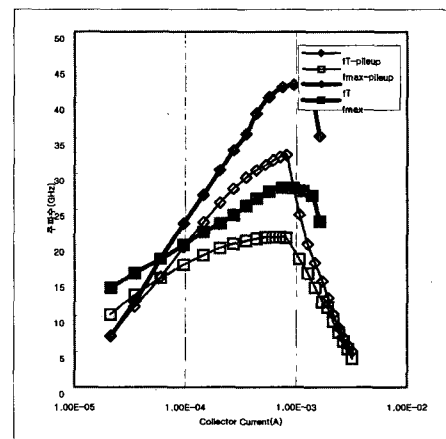


그림 5. Boron pile-up에 따른 HBT의 AC 특성
Fig. 5. AC characteristic of HBT by Boron pile-up.

표 2. Base profile에 따른 SiGe HBT의 AC 특성
Table 2. AC characteristics of SiGe HBT by base profile.

Cap Si(\AA)	SiGe spacer(\AA)	B step	B 농도	f_T (GHz)	f_{max} (GHz)
200	100	5,6	3E19	44.7	37.1
200	100	5,6	5E18	44.6	32.5
200	100	5,6	1E18	44.5	16.3
200	100	4	3E19	45.6	37.4
200	100	5	3E19	46.4	33.6
200	100	6	3E19	46.1	30.3
200	0	6	3E19	46.9	30.3
400	0	6	3E19	44.4	34.4
200	100	4,5	3E19	47.7	40.7
200	100	3,4,5	3E19	49.3	44.4
200	200	3,4,5	3E19	46.9	46.6
200	200	2,3,4,5	3E19	48	44.8
200	300	1,2,3,4,5	3E19	45.6	44.9
200	400	1,2,3,4,5	3E19	42.4	48.9

그림 5. 는 boron pile up 유무에 따른 f_T , f_{max} 를 보여 주고 있다. boron pile up이 없으면서 f_T 가 개선되는 것을 볼 수 있다. Boron pile up이 존재할 시에는 emitter에서 넘어온 전자들이 B-C junction에서 saturation velocity로 collector로 넘어가야 하나, depletion region에서 존재하는 hole accumulation에 의해 parasitic energy barrier가 형성되어 electron의 transition을 방해하여 f_T 의 감소를 가져오게 되었다.^[12] TEM 분석에서 에피막 질의 defect가 없음에도 boron pile up이 존재하여, 그 source는 chamber wall에 흡착되어 있던 boron들이 초기 에피 성장과정에서 유입된 것으로 추정되었다. 이를 개선하기 위해 에피 성장 전에 chamber wall에 흡착된 boron의 co-deposition을 방지하기 위해 시료 loading전에 undoped silicon deposition 공정을 추가하여 boron pile-up을 개선하였다. 그러나, f_T 의 개선에도 불구하고 f_{max} 가 f_T 보다 낮게 나오는 문제점이 남아 있었다. f_T 는 effective base width에 의하여 결정되는 반면 f_{max} 는 base 저항 및 B-C간 capacitance에 의한 영향이 크기 때문에 boron pile-up개선으로 base 폭은 감소되었으나 여전히 base 저항 및 B-C간 capacitance가 크기 때문으로 생각된다. 이에 대한 심층 분석을 위해 표 2와 같이 SiGe base profile에 대한 split을 진행하였다.

Split 결과를 요약하면 아래와 같다.

(1) Boron doping 농도가 낮을수록 f_T 값은 커지나, intrinsic base의 doping농도가 낮아져서 f_{max} 값이 작아진다. 따라서, f_{max} 값을 올리기 위해서는 base 농도를

3E19으로 진행하는 것이 타당한 것으로 생각된다.

(2) Boron doping step을 emitter junction에 가까운 쪽에 base가 형성되도록 할 시에는 base 저항이 커져서 f_{max} 가 작아지고 고농도 E-B junction이 형성되어 tunneling current가 증가한다.

(3) Capping silicon의 두께가 증가하게 되면 base transit time 증가를 가져오게 되어 f_T 특성 저하의 우려가 있으나 20에서 40nm사이의 두께에서는 큰 차이가 존재하지 않았다.

(4) Base 저항의 감소를 가져오기 위해서는 boron doping step을 증가시킬 필요가 있는데 이러한 증가는 후속 RTA(Rapid Thermal Annealing)시 collector쪽으로 boron의 TED(Transient Enhanced Diffusion) 현상에 의해 boron의 과다 확산이 예상되어, boron doping step 증가와 함께 undoped SiGe spacer의 두께도 같이 증가시켜 Ge에 의한 boron diffusion의 retarding 효과를 적용하였다.^[10] Boron step수가 증가하게 되면 f_{max} 가 증가하는 것이 확인된다. 그러나, 전체적인 SiGe 두께의 증가는 후속 공정에 의한 strain relaxation이 우려되어 undoped spacer는 30nm이고 boron doping step을 2,3,4,5로 진행하는 것을 최적조건으로 하였다.

(5) SiGe 에피 전에 성장되는 seed silicon의 두께는 20nm이나 20에서 40nm사이에는 별다른 특성 변화를 관찰하지 못했다. 그러나, SIC에서 유입되는 phosphor에 의해 base widening을 감소시키려고 20nm로 설정되었다.

나. Emitter drive-in RTA에 따른 DC/AC 특성

AC 특성은 공정 target에 부합되는 특성을 확보하였으나 그림 6.의 Gummel plot상에서의 No RTA 그룹과 같이 low V_{BE} 에서 base 전류가 비이상적인 특성을 가지고 있었다. 이러한 leakage 특성은 current gain의 비선형성을 야기시키고 적절한 설계 응용을 어렵게 할 것이다. Base current는 base에서 emitter로 넘어가는 홀 확산 전류인데 이러한 전류 흐름상에 존재하는 재결합 site들에 의하여 base leakage가 발생하는 것으로 생각되었고, 이에 대한 영향을 보기 위해 다양한 split이 진행되었다. Split은 E-B간 interface oxide 제거, Base와 상부 oxide간의 interface 개선, Emitter poly-silicon의 stress 감소, 금속성 ion contamination 제거, etch damage 감소 등에 대하여 진행한 결과, emitter polysilicon deposition 후 열처리를 추가한 split에서 base leakage에 대한 현저한 개선을 얻어냈다. 그림 6은 SiGe profile(Cap silicon:20nm, B step: #5, #6,

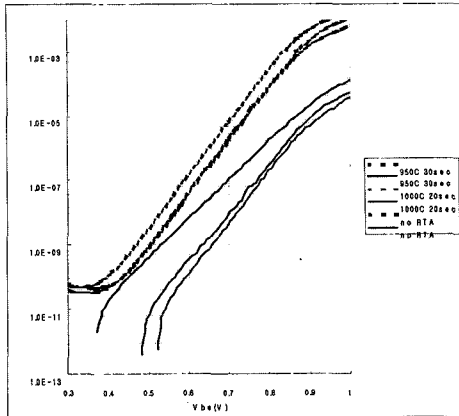
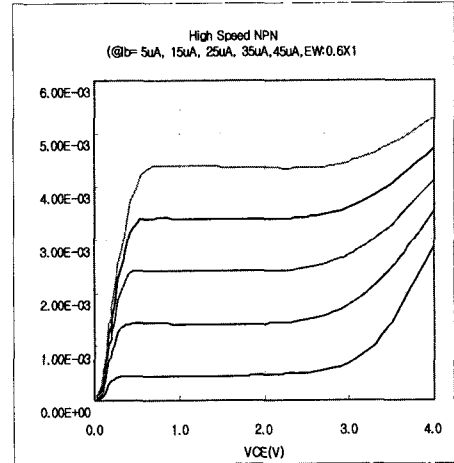


그림 6. EDR에 따른 Gummel plot(EW:0.6×10)
 Fig. 6. Gummel plot by EDR(EW:0.6×10).



(a) Vce vs Ic

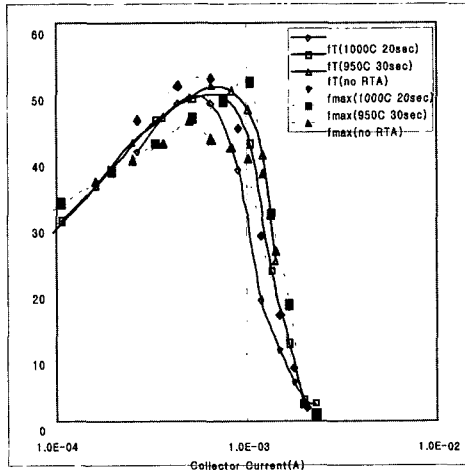
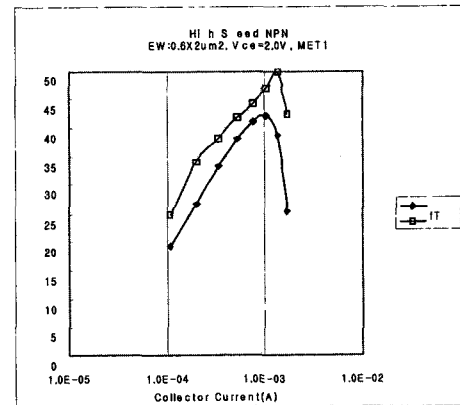
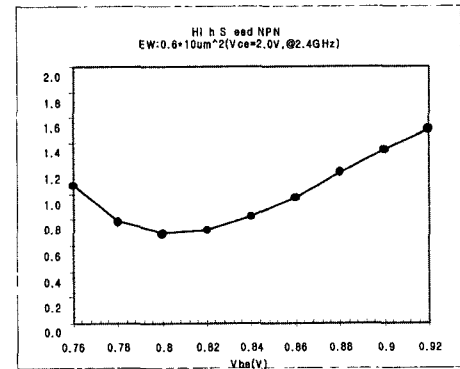


그림 7. Emitter Drive in에 따른 AC 특성
 Fig. 7. AC characteristic by emitter drive-in.



(b) fT, fmax vs Ic



(c) NFmin vs VBE

undoped SiGe spacer:10nm)에서 RTA에 따른 Gummel 특성을 보여 주고 있다. EDR(Emitter Drive in)진행에 따른 개선효과는 다음과 같이 설명될 수 있다. Salicide 형성 시 진행되는 870°C 30sec의 RTA로 E-B junction depth가 30nm이고 추가된 950°C 30sec에서는 40nm수준의 E-B junction이 형성되게 된다. 이러한 junction 형성은 polysilicon과 실리콘 계면 사이에 존재하는 잔류 stress나 defect 포함 영역으로부터 E-B depletion 영역을 mono silicon 영역으로 이동시킴으로써 depletion 영역 내에서 홀의 재결합 확률을 낮추게 된 것으로 판단된다. 이에 대해서는 차후 심층분석이 요구된다. 100°C 20sec의 RTA에서는 current gain이 과도하게 커져서(1000) 적절한 값(100)의 수준을 초과하므로 1000°C 이하에서의 열처리가 적절한 수준으로 판단되었다.

다. 최적화된 SiGe HBT의 특성

그림 8. 은 최적화된 SiGe HBT의 DC/AC특성을 보여 주고 있다. RF IC 설계 시 가장 중요시 되는 단위

그림 8. 최적화된 SiGe HBT의 DC/AC 특성
 Fig. 8. DC/AC charac. of optimized SiGe HBTs17.

소자상의 NF_{min}이 2GHz에서 0.8dB수준으로 경쟁력 있는 공정을 확보한 것으로 판단된다. 표 3. 는 두 가지 option(high speed, high voltage) SiGe HBT의 특성을 보여 주고 있다. SIC(selectively implanted collector) 이온 주입과정에서 high voltage는 deep SIC 1회만 이온 주입되고, standard는 3번의 SIC 이온 주입되어 조절되었다. BV_{ceo}와 f_T의 특성이 서로 반비례(BV_{ceo}×f_T<200GHzV^[13])하기 때문에 high voltage

표 3. Summary of SiGe HBT(EW:0.6×2μm²)
Table 3. Summary of SiGe HBT(EW:0.6×2μm²).

Bipolar	Data
HBT Option	ST/HV
Beta(β)	90
V_{ce}	100
BV_{ceo}	3.3/5.8
BV_{epo}	1.73
BV_{cbo}	13.2/21.5
C_{be} at 0V(fF)	8.0
C_{bc} at 0V(fF)	5.9/4.9
R_b at 0V(Ohm)	80
f_T ($V_{ce}=2V$)	43/22
f_{max} ($V_{ce}=2V$)	50/30

option에서는 f_T 의 저하가 나타난다. 5V 동작 option을 만족하나 5.8V의 BV_{ceo} 는 margin이 있는 것으로 판단되어 좀 더 optimize가 요구되어진다.

3. CMOS and Passive element

가. CMOS element

Pure CMOS 공정과는 달리 BiCMOS공정에서는 NBL, PBL, N- EPI가 존재하기 때문에 이에 따른 N WELL, P WELL에 대한 농도 조정이 필요하다. 그러나, 공정 target은 L35 공정에 맞추어 기 set-up된 IP(Intellectual Property)를 사용할 수 있도록 하였다. 표 4는 SiGe BiCMOS에서 set-up된 NMOS/PMOS 특성을 보여 주고 있다. 기존 L35와 달리 oxide두께를 70nm에서 55nm로 변경한 것은 PMOS의 I_{dsat} 을 올리려는 목적이었다. 특성이 기존 L35 특성과 잘 부합되도록 설정되었고, off current 면에서 좀 더 안정적인 공정 조건을 확보하였다. Gate spacer는 nitride를 적용하여 spacer etch시 잔류하는 oxide 두께를 관리함으로써 RIE etch시 S/D 영역의 silicon 표면 노출에 따른 HCI(Hot Carrier Injection) 특성열화나 SiGe epi 성장시의 Epi quality 열화 가능성을 억제 하였고 개발 LINE내 0.35μm 공정 최초 duty 2% 조건에서 16년 이상의 수명을 확보하였다.

2) MIM capacitor and Inductor

High speed RF Analog circuit을 구성하기 위해서는 회로 내 신호 전달 시 power 손실을 억제하기 위해 high Q passive 소자가 요구된다. MIM과 Inductor에 대한 등가회로는 문헌^[14]을 참조하였다. Q(Quality

표 4. 0.35μm NMOS /PMOS 특성
Table 4. The performance of NMOS/PMOS.

Process	0.35μm SiGe BiCMOS		0.35μm STD CMOS(CSP7-5line)	
	NMOS	PMOS	NMOS	PMOS
Tr.				
Para.				
Gox Thick (elect. Å)	78.4	81.2	88.8	94.4
Vth(V)	0.57	0.82	0.58	0.83
I_{dsat} (μA/μm)	492	231	492	232
I_{doff} (pA/μm)	1.67	1.6	2.9	1.8

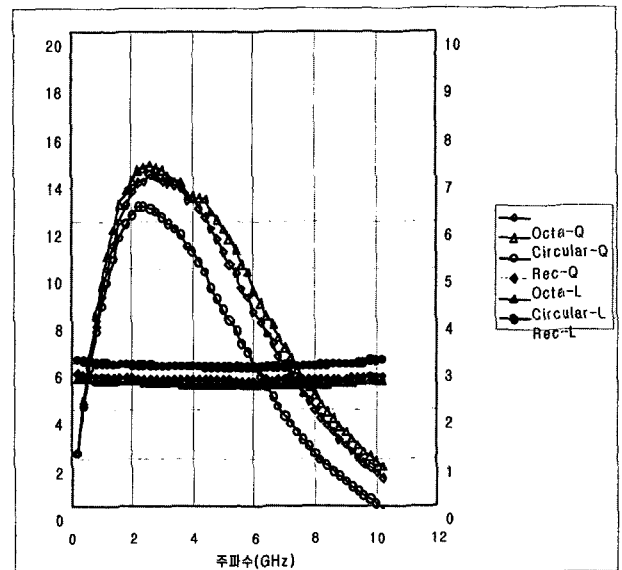


그림 9. Inductor 모양에 따른 Q value
(T: 3μm, OR:150μm, W:15μm, S:3μm, Turn: 2.5)
Fig. 9. Q value by Inductor structure.
(T: 3μm, OR:150μm, W:15μm, S:3μm, Turn: 2.5)

factor)는 원하는 소자에 들어가는 전력과 누설되는 전력의 비로 $Q = \text{imaginary}(Y_{11}) / \text{real}(Y_{11})$ 로 평가된다. 참고 문헌의 등가회로 상에서 Q에 영향을 주는 parameter는 layout 구성, substrate 간의 capacitance, Metal 두께 등이다. 이 세 인자에 대한 실험 결과 M2와 M3 간의 MIM capacitor(1fF/μm², 32X32μm²)에서 Q 50의 값을 얻었고, M3~M4간의 MIM에서는 Q 80을 얻었다. 두 MIM 간의 Q 차이는 기판과의 기생 capacitance 차이와 Metal2(0.6μm), Metal4(3μm)의 두께 차이에 의한 저항 차이로 설명된다. 그림 9는 inductor의 모양에 따른 Q값과 inductance 값을 보여 주고 있다. Inductor 구성을 위한 Metal 두께는 3μm이고 Out radius:150μm, Metal width:15μm, Metal space:3

μm , Turn수: 2.5에서 측정되었다. Circular 모양에서 Q 값이 가장 높게 나타나고, rectangular 모양에서 가장 낮은 값이 나왔다. 이는 wave가 inductor turn을 통하여 이동할 때 corner 반사계수가 circular 형태 대비 rectangular나 octagonal 형태의 inductor에서 증가되어 일어난 것이다. 물리적으로는 circular type이 최상이나 layout 구성상으로는 octagonal이 작업상 이로우며 Q 값 상으로도 큰 loss없이 구성할 수 있는 장점이 있다. 본 공정개발에서는 octagonal과 circular type 모두 지원할 수 있도록 하였다.

III. 결 론

RF IC 소자 제작에 기반이 되는 $0.35\mu\text{m}$ SiGe BiCMOS 공정이 국내에서는 처음으로 개발되었다. 포함된 CMOS 특성은 기존 L35 공정에 부합되게 구성되었다. 개발된 SiGe HBT는 non selective SiGe 에피막과 double polysilicon isolation scheme을 사용하였다. SiGe 에피과정에서 boron 농도의 정확한 control을 위해 에피성장 전 chamber wall deposition 공정이 적용되었으며, 45GHz의 f_r , 50GHz의 f_{max} 를 얻기 위해서 30nm graded SiGe(0~17.5%), doping step은 7 step의 Ge grading 과정 중 2,3,4,5 step 진행, boron 확산을 막기 위한 undoped SiGe spacer 30nm 등으로 SiGe base profile을 최적화하였다. Base leakage는 emitter polysilicon 침적 후 emitter drive in RTA(950°C 30sec)를 통해 개선하여 4 decade 수준까지 이상적인 Gummel 특성을 확보하였다. 이러한 개선은 polysilicon과 silicon사이에 잔류하는 재결합 site와 E-B junction을 격리시킴으로써 재결합 확률을 감소시킨 것 때문으로 추정된다. Passive 소자로 준비된 1pF의 MIM capacitor, 2nH의 inductor의 Q값은 각각 80, 12.5 수준의 특성을 확보하였다. 이러한 SiGe BiCMOS 공정개발은 비메모리시장의 주축인 무선 통신시장 진출의 교두보가 될 것으로 기대된다.

참 고 문 헌

- [1] A. Das, M. Huang, J. Mondal, D. Kaczman, C. Shurboff, and S. Cosentino, "Review of SiGe Process Technology and its Impact on RFIC Design", Proceedings of IEEE RF IC Symposium 2002, p325.
- [2] Gerald S. Worchel, "Silicon Germanium Technology When The Electron Hits The Airwaves", Report No. IN020093EA, In Stat/MDR, 2002.
- [3] T. Tatsumi, H. Hirayama, and N. Aizaki, "Si/Ge_{0.3}Si_{0.7}/Si heterojunction bipolar transistor made with Si molecular beam epitaxy", Appl. Phys. Lett. 52, p895(1988).
- [4] G. L. Patton, J. H. Comfort, B. S. Meyerson, E. F. Crabbe, G. J. Scilla, E. D. Fresart, J. M. C. Stork, J. Y. C. Sun, D. L. Harame, and J. N. Burghartz, "75 GHz fT SiGe Base Heterojunction Bipolar Transistors", IEEE Elec. Dev. Lett. 11, p171(1990).
- [5] A. Joseph, D. Coolbaugh, D. Harame, G. Freeman, S. Subbanna, M. Doherty, J. Dunn, C. Dickey, D. Greenberg, R. Groves, M. Meghelli, A. Rylyakov, M. Sorna, O. Schreiber, D. Herman, and T. Tanji, "0.13 μm 210GHz fT SiGe HBTs Expanding the Horizons of SiGe BiCMOS", Proceedings of ISSCC 2002, p138
- [6] A. Gruhle, "Prospects for 200GHz on Silicon with SiGe Heterojunction Bipolar Transistors", IEEE proceedings of BCTM 2001, p19
- [7] S. S. Iyer, G. L. Patton, J. M. C. Stork, B. S. Meyerson, and D. L. Harame, "Heterojunction Bipolar Transistors Using Si-Ge Alloys", IEEE Trans. Elec. Dev. 36, p2043 (1989).
- [8] D. L. Harame, D. C. Ahlgren, D. D. Coolbaugh, J. S. Dunn, G. G. Freeman, J. D. Gillis, R. A. Groves, G. N. Hendersen, R. A. Johnson, A. J. Joseph, S. Subbanna, A. M. Victor, K. M. Watson, C. S. Webster, and P. J. Zampardi, "Current status and Future Trends of SiGe BiCMOS Technology", IEEE Trans. Elec. Dev. 48, p2575 (2001).
- [9] 성백민, "CSP7 E.T 기술표준(5 line)", KT02599006(2001).
- [10] D. L. Harame, J. H. Comfort, J. D. Cressler, E. F. Crabbe, J. Y. C. Sun, B. S. Meyerson, and T. Tice, "Si/SiGe Epitaxial Base Transistors Part II: Process Integration and Analog Applications", IEEE Trans. Elec. Dev. 42, p469 (1995).
- [11] G. Gonzalez, "Microwave Transistor Amplifiers Analysis and Design", Prentice Hall 2nd Edition p185 (1984).
- [12] P. E. Cottrell, and Z. Yu, "Velocity Saturation in the Collector of Si/Ge_xSi_{1-x}/Si HBTs", IEEE Trans. Elec. Dev. Lett 10, p431 (1990).
- [13] E. O. Johnson, "Physical limitations on frequency and power parameters of transistors", RCA Rev. 26, p163(1965).
- [14] J. N. Burghartz, M. Soyuer, and K. A. Jenkins,

"Microwave Inductors and Capacitors in Standard Multilevel Interconnect Silicon Technology", IEEE Trans. Microwave Theory and Techniques 44, p100(1996).

저 자 소 개



황 석 희(정회원)
1991년 서울대학교 전기공학과 학사 졸업.
1993년 서울대학교 전기공학과 석사 졸업.
1998년 서울대학교 전기공학부 박사 졸업.

1998년~2000년 삼성전자 SYS.LSI 사업부
0.35um embedded DRAM 공정개발
2001년~2002년 0.35um SiGe BiCMOS 공정개발
2003년 0.18um SiGe BiCMOS(120GHz)공정개발
2004년~Quad-band GSM/GPRS/EDGE Transceiver IC 개발
<주관심분야 : SiGe BiCMOS, CMOS RF IC >



조 대 형(정회원)
1995년 Illinois대학 전기공학과 박사 졸업.
(Urbana-Champaign)
1983년~1990년 삼성전자 Device modeling and circuit simulation

1995년~1996년 현대전자 System IC 사업부 device characterization
1997년~2001년 Intel(Santa Clara, CA) TCAD group 근무
2002년~2003년 삼성전자 SYS.LSI사업부 기술개발실 SiGe BiCMOS and RF CMOS 개발
2004년~삼성전자 SYS.LSI사업부 Core개발팀 Device 기술그룹
<주관심분야 : TCAD, Device modeling>



박 강 욱(정회원)
1989년 연세대 요업공학과 학사 졸업
1995년 연세대 요업공학과 석사 졸업
1990년~1996년 삼성전자(부천) 고속 Si BiCMOS 공정개발.

1997년~2000년 삼성전자 SYS.LSI사업부(기흥) high speed Si BiCMOS 공정개발 및 양산
2001년~0.35um SiGe BiCMOS 공정개발 및 양산
<주관심분야 : SiGe BiCMOS, RF CMOS>



이 상 돈(정회원)
1993년 광운대학교 전자재료공학 학사 졸업
1995년 광운대학교 전자재료공학 석사 졸업
1995년~1996년 DRAM SOI개발
1997년~1999년 CPU 공정개발

2000년 C4 package 공정개발
2001년~2002년 0.35um SiGe BiCMOS 공정개발
2003년 0.18um SiGe BiCMOS(120GHz)공정개발
2004년~ 90nm CMOS 공정개발 및 양산
<주관심분야 : CMOS 공정개발>



김 남 주(정회원)
1989년 인천대 기계공학과 학사 졸업
1989년~1990년 삼성전자(부천) 단위공정(Implant) 기술개발
1991년~1992년 Si bipolar공정 개발(2um급, 1.2um급)

1993년~2000년 Si BiCMOS 공정개발 (0.8um급, 0.5um급)
2001년~2002년 0.35um SiGe BiCMOS공정개발
2003년 0.18um SiGe BiCMOS(120GHz)공정개발
2005년~동부아남반도체(주) BCDMOS공정개발
<주관심분야 : SiGe BiCMOS, RF CMOS>