

논문 2005-42SD-8-7

광통신용 다채널 CMOS 차동 전치증폭기 어레이

(Multichannel Transimpedance Amplifier Array in a $0.35\mu\text{m}$ CMOS Technology for Optical Communication Applications)

허 태 관*, 조 상 복**, 박 성 민***

(Tae-Kwan Heo, Sang-Bock Cho, and Sung Min Park)

요 약

최근 낮은 기가비트급 광통신 집적회로의 구현에 sub-micron CMOS 공정이 적용되고 있다. 본 논문에서는 표준 $0.35\mu\text{m}$ CMOS 공정을 이용하여 4채널 3.125Gb/s 차동 전치증폭기 어레이를 구현하였다. 설계한 각 채널의 전치증폭기는 차동구조로 regulated cascode (RGC) 설계 기법을 이용하였고, 액티브 인덕터를 이용한 인덕티브 피킹 기술을 이용하여 대역폭 확장을 하였다. Post-layout 시뮬레이션 결과, 각 채널 당 59.3dBW 의 트랜스임피던스 이득, 0.5pF 기생 포토다이오드 캐패시턴스에 대해 2.45GHz 의 -3dB 대역폭, 그리고 $18.4\text{pA}/\sqrt{\text{Hz}}$ 의 평균 노이즈 전류 스펙트럼 밀도를 보였다. 전치증폭기 어레이의 공급전원은 단일전압 3.3V 이고, 전력소모는 92mW 이다. 이는 4채널 RGC 전치증폭기 어레이가 저전력, 초고속 광인터커넥트 분야에 적합함을 보여준다.

Abstract

Recently, sub-micron CMOS technologies have taken the place of III-V materials in a number of areas in integrated circuit designs, in particular even for the applications of gigabit optical communication applications due to its low cost, high integration level, low power dissipation, and short turn-around time characteristics. In this paper, a four-channel transimpedance amplifier (TIA) array is realized in a standard $0.35\mu\text{m}$ CMOS technology. Each channel includes an optical PIN photodiode and a TIA incorporating the fully differential regulated cascode (RGC) input configuration to achieve effectively enhanced transconductance(gm) and also exploiting the inductive peaking technique to extend the bandwidth. Post-layout simulations show that each TIA demonstrates the mid-band transimpedance gain of 59.3dBW , the -3dB bandwidth of 2.45GHz for 0.5pF photodiode capacitance, and the average noise current spectral density of $18.4\text{pA}/\sqrt{\text{Hz}}$. The TIA array dissipates 92mW in total from a single 3.3V supply. The four-channel RGC TIA array is suitable for low-power, high-speed optical interconnect applications.

Keywords : transimpedance amplifier, regulated cascode, active inductor, optical interconnects

I. 서 론

인터넷 데이터 전송량은 6개월에 2배씩 증가하고 있다. 이로 인해, 기존의 구리선으로 데이터를 보내는데 많은 어려움이 발생하고, 따라서 이를 해결하는 효과적인 데이터 전송 수단으로서 광통신은 각광을 받는다. FTTH (Fiber-To-The-Home), FTTO (Fiber-To-The-Office) 등 광통신 시스템으로 인해, 자신이 현재 위치해 있는 장

* 정회원, ** 평생회원,
울산대학교 전기전자정보통신공학부
(School of Electrical Eng., University of Ulsan)

*** 평생회원, 이화여자대학교 정보통신학과
(Dept. of Information Electronics Eng., Ewha
Womans University)

※ 본 연구는 2003년 울산대학교의 연구비에 의하여
수행되었음.

접수일자: 2005년2월3일, 수정완료일: 2005년7월11일

소에서 원하는 가능한 많은 데이터를 매우 빠른 시간에 송수신할 수 있게 되는 것이다.

본 논문에서는 광 인터컨넥트용 다채널 전치증폭기 어레이를 표준 0.35 μm CMOS 공정을 사용하여 설계하였다. 특히, XAUI (10G Ethernet Attachment Unit Interface) 혹은 10G Fibre Channel을 위한 응용에 사용할 수 있도록 채널 당 3.125-Gb/s의 동작속도를 가지는 4채널의 어레이로 설계하였다.

초고속 광통신 칩은 주로 GaAs, InP-based HBT, 또는 HEMT 등의 III-V족 화합물로 설계되어 왔으나, 최근 SiGe 혹은 CMOS 등의 실리콘 공정이 많은 주목을 받고 있다. 이는 III-V족 GaAs공정에 비해 저전력소모, 높은 집적도, 저가 등의 많은 장점을 제공하기 때문이다. 특히 Si/SiGe HBT 공정은 5-Gb/s 이상의 동작속도를 요하는 설계에^[1-3], sub-micron CMOS 공정은 낮은 기가비트 응용에 주로 적용되고 있으나^[4-7], 점차 CMOS 공정으로 대체되고 있는 실정이다.

기가비트 동작의 CMOS 전치증폭기 설계를 위해 그동안 여러 종류의 회로기법이 소개되었는데 예를 들어, 인덕티브 피킹 기법, 공통게이트 (CG) 입력단, 또는 공통드레인 (CD) 입력단 등을 들 수 있다^[4-6]. 공통게이트 입력단의 경우, 대역폭 결정하는데 있어 기생 캐패시턴스의 영향을 일반적인 공통소스 (CS) 입력단보다 훨씬 줄일 수 있는 장점이 있지만, MOSFET 자체의 소자 특성 상 작은 g_m 값으로 인해 기생 캐패시턴스의 영향이 대역폭 결정으로부터 완전히 분리되지 않고, 회로의 노이즈 성능을 악화시키며, 안정도 (stability) 역시 떨어진다. 따라서 본 논문에서는 RGC (regulated cascode) 기법을 전치증폭기의 입력단으로 활용하여 g_m 값을 늘리고, 액티브 인덕터를 이용한 피킹기법을 사용하여 칩 면적을 줄이는 등, 위에 기술한 문제점을 극복하도록 설계하였다.

RGC 입력단은 참고문헌 [7]에서 소개된 것과 같은 기본적인 구조를 취하면서, 동시에 3.125-Gb/s 동작속도 구현을 위해 설계를 최적화 하였다. 제 III절과 IV절에서 설계한 차동 RGC 전치증폭기의 회로 분석과 post-layout 시뮬레이션 결과를 통한 성능검증을 기술하였다.

II. 광통신 시스템

그림 1은 일반적인 광통신 시스템의 송수신단을 보여준다. 송신부는 다중송신 방식회로(MUX)와 MUX 동기화에 필요한 클락 (clock) 주파수를 생성하는 PLL을

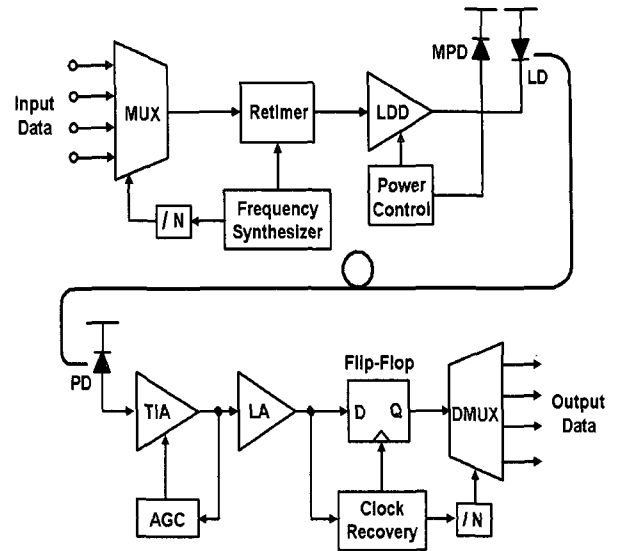


그림 1. 광통신 시스템

Fig. 1. Optical communication systems.

이용한 frequency synthesizer, 그리고 MUX에 의해 생성되는 지터 (jitter) 및 부호간 간섭 (ISI : inter-symbol-interference)를 제거하기 위한 retimer (D-FF)과 전기신호를 광신호로 변환시키는 레이저 드라이버로 구성된다. 수신부는 광신호를 전기적 전류신호로 변환하는 포토다이오드 (PD)와 전류신호를 전압으로 변환하는 전치증폭기 (transimpedance amplifier), 그리고 출력 전압을 적절한 논리 레벨로 증폭하는 리미팅 증폭기 (limiting amplifier), 전송된 원래 신호를 복원할 수 있도록 클락을 생성하여 retiming 하는 CDR (clock and data recovery) 회로로 구성되어 있다.

광통신용 광원으로 사용되는 발광 소자는 주로 InGaAsP계의 화합물 반도체를 이용한 적외선 반도체 레이저 다이오드가 사용된다. 발진파장은 1310-1550nm의 장파장 대역을 사용하거나, 단거리 LAN용으로는 850nm 파장도 사용한다.

발광 소자에서 생성된 광신호는 광섬유를 통해서 전송되는데, 광섬유 도파에 따른 손실은 1310nm에서 0.35dB/km, 1550nm에서 0.2dB/km이기 때문에 repeater를 사용하고, repeater 수신단에서는 광신호를 전기적인 신호로 변환하는 광 검출기(photodetector)가 있다. 광검출기의 종류로서 PIN photodiode와 APD (avalanche photodiode)가 있는데, PIN PD는 비교적 사용하기가 쉽고, 낮은 가격과 고속 동작, 그리고 높은 신뢰도를 가지고 있지만, 수신감도가 작고 다이내믹 영역이 좁은 단점이 있다. 반면 APD는 높은 수광 감도와 넓은 다이내

믹 영역이 있으나, 온도에 민감하고 높은 암전류가 발생하며, 가격과 인가전압이 매우 높은 단점이 있다^[8].

III. 전치 증폭기 회로

1. 개요

레이저 다이오드를 통해 전송된 광신호는 광섬유를 통해 수신기의 광검출기(PD)에 도달하고, 광검출기에서 생성된 광전류(photocurrent)는 전치증폭기를 통해 전압신호로 변환된다. 전치증폭기는 전류신호 (I_{in})를 전압신호 (V_{out})로 변환하기 때문에 transimpedance amplifier라 불린다(그림 2 참조). PD에서 생성된 전류신호의 크기는 보통 $10\mu A - 200\mu A$ 이다.

기가비트 동작속도를 갖는 전치증폭기 회로설계는 공정기술 (CMOS, SiGe 등) 및 회로 기법에 의해 많은 제약을 받고, 또한 여러 설계 tradeoffs가 발생하는데, 예를 들어 주파수 대역폭 (bandwidth)는 노이즈와 부호간 간섭 (ISI)에 많은 영향을 받는다. 높은 대역폭을 설계하면 노이즈가 커져서 비트에러 (bit error)가 발생할 확률이 높아지고, 낮은 대역폭의 경우 ISI에 의해서 비트에러가 발생할 확률이 높아지므로, tradeoff 관계를 고려하여 노이즈와 ISI가 최소가 되도록 주파수 대역폭을 최적화해야 한다. 또한, 노이즈 성능에 있어서 대역폭과 이득 사이의 설계 tradeoff가 존재한다. 피드백 저항인 R_f 를 크게 하면, 트랜스 임피던스 이득을 크게 하는 동시에 저항 (R_f)으로부터 thermal 노이즈 전류를 줄일 수 있지만, 신호의 주파수 대역폭이 그만큼 작아지게 된다. 피드백 저항을 감소시키면 넓은 대역폭을 얻을 수 있으나, thermal noise가 커지고 트랜스 임피던스 이득이 낮아진다. 물론, 전치증폭기의 전압이득 (A)를 증가시켜 설계 tradeoff를 완화할 수 있지만, closed-loop stability가 허락하는 범위 내에서 전압이득을 증가시켜야 한다.

NRZ (non-return-to-zero) 데이터를 전송할 때, 최대 대역폭 효율과 최소 BER (bit-error-rate)를 가지도록 전치증폭기의 대역폭을 설계하는 것이 물리계층의 디지털 통신시스템에서 고려해야 하는 중요사항이다. NRZ data stream의 power spectrum에 축적되는 에너지를 보면, 동작속도의 0.75배 되는 주파수 대역폭에서 random NRZ data의 94% 되는 에너지가 포함되어 있다.

주파수 대역폭을 두 배 증가시켜도 전체 signal power는 단지 4.5% 증가하지만, 그에 비해 noise power는 200% 급증하여 전체 시스템의 SNR (혹은 BER)를 심각

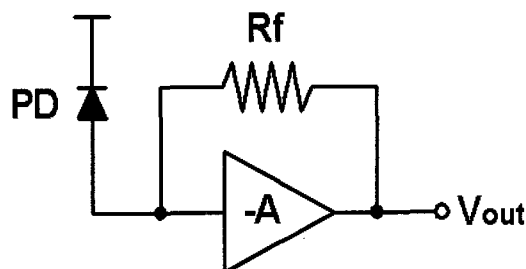


그림 2. 전치증폭기 회로도
Fig. 2. Schematic diagram of transimpedance amplifiers.

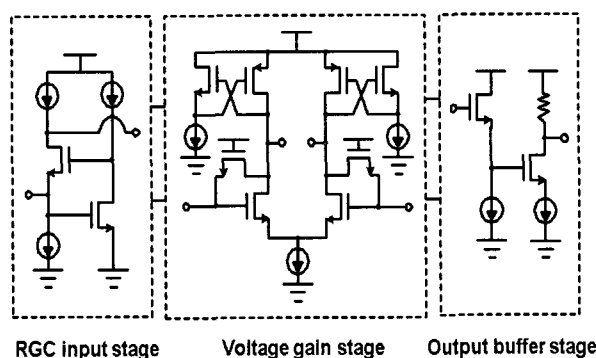


그림 3. 차동 RGC TIA 의 블록 회로도
Fig. 3. Block diagram of differential RGC TIA.

하게 격감시킨다. 이와 같이 기가비트급 전치증폭기 설계는 노이즈, 주파수 대역폭, 트랜스 임피던스 이득간의 설계 tradeoffs를 동시에 고려하여 성능을 최적화하는 것이 중요하다.

2. 차동 RGC 전치증폭기 회로

그림 3은 설계한 차동 RGC (regulated cascode) 전치증폭기의 간단한 블록 회로도도를 보여준다. 차동구조로 설계하여 공통모드 노이즈 (common-mode noise)의 영향을 최소화 하였으나, single-ended 구조에 비해 높은 전력소모 및 노이즈 등의 단점이 발생한다. 입력단에서 유효 g_m 을 증가시키기 위해 RGC 회로기법을 이용하였으며, 넓은 대역폭과 작은 칩 사이즈를 위해 NMOS와 저항을 이용한 액티브 인덕티브 피킹 기술을 사용하였다^[9].

두 번째 전압 이득단에서는 voltage swing을 V_{dd} 까지 올릴 수 있는 TVCL (threshold voltage compensation load)를 사용하였다^[8]. 출력 버퍼단에서는 소스 팔로워 (source follower)와 고속의 인터페이스를 위한 CML (common-mode-logic)을 사용하였다. 소신호 해석에 따라, 그림 4의 RGC 전치증폭기의 트랜스 임피던스 이득과

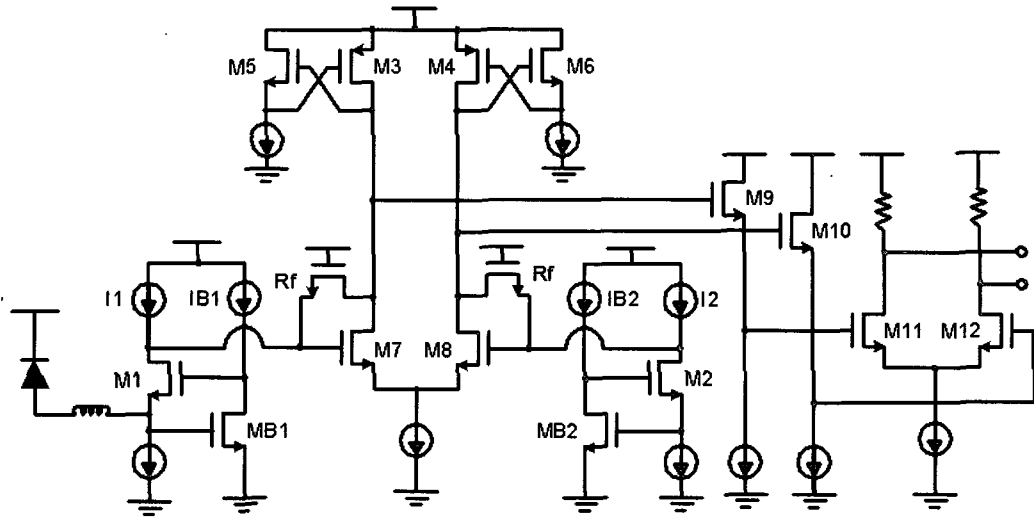


그림 4. 차동 RGC TIA 의 단채널 회로도

Fig. 4. Schematic diagram of differential RGC TIA.

주파수 대역폭을 근사적으로 나타내면 다음과 같다.

$$Z_{in}(0) = \frac{V_0}{i_{in}}(0) \cong \frac{1}{g_{m1}(1 + g_{mB}R_B)} \quad (1)$$

$$f_{-3dB} \cong \frac{1 + g_{m7}R_3}{2\pi R_f [C_{d1} + C_{gt} + C_f(1 + g_{m7}R_3)]} \quad (2)$$

일반적으로 공통소스, 공통드레인, 혹은 공통게이트 입력단을 갖는 전치증폭기의 경우에도, 입력단의 큰 기생 캐패시턴스가 전체 회로의 dominant pole을 결정하므로, 가장 dominant한 포토다이오드의 기생 캐패시턴스를 전치증폭기의 신호대역폭 결정으로부터 최대한 분리하는 것이 필요하다. 한편, RGC 입력단을 갖는 전치증폭기는 식(2)에서 보는 바와 같이, 입력부의 기생 캐패시턴스가 -3dB 대역폭 결정에 거의 영향을 주지 않는다. 이는 RGC 입력부의 local feedback으로 인해 유효 gm값이 bipolar 트랜지스터 혹은 GaAs MESFET에 상당하는 gm값만큼 커졌기 때문에, 전치증폭기 회로의 입력 임피던스를 매우 작게 (virtual ground)하고, 포토다이오드의 기생 캐패시턴스를 효과적으로 분리하기 때문이다. 따라서 이제 RGC 회로의 dominant pole은 회로 내의 high-impedance 노드에서 결정된다.

본 논문에서는, 노이즈와 부호간 간섭 사이의 tradeoff를 최적화 하기 위해 -3dB 대역폭을 동작속도 3.125-Gb/s의 0.7~0.8 배가 되도록 설계하였다. 전압이득인 $g_m R_3$ 를 증가함으로써 대역폭을 조절할 수 있지만, 전압이득은 안정도 (stability) 문제를 신중히 고려

해서 설계해야 하기 때문이다. 또한, RGC 입력부의 local feedback 단이 인덕티브 피킹 현상을 일으킬 수 있기 때문에, flat gain을 얻을 수 있도록 세심한 주의가 필요하다. 일반적으로, 주파수 응답의 gain fluctuation은 AM-PM conversion에 의해 출력 eye-diagram에 상당한 지터를 발생시킨다.

전치증폭기 내의 피드백은 high-impedance node인 M_7 (혹은 M_8)의 드레인으로부터 RGC 입력단의 M_1 (혹은 M_2)의 드레인으로 적용한다. 이로써 broadband 특성을 얻을 수 있고, 큰 group delay 변화를 피할 수 있으며, 지터 특성도 개선할 수 있다. 전압이득단에서, PMOS 부하의 threshold voltage (V_{th}) 손실을 보상하기 위해서 PMOS 부하인 M_3 (혹은 M_4)의 gate 단자를 M_5 (혹은 M_6)의 source 단자에 연결을 하였고, 이로써 출력전압이 V_{dd} 까지 스윙할 수 있다.

3. HSPICE 시뮬레이션 및 Layout

제안한 차동 RGC 전치증폭기 회로와 4채널의 어레이 회로를 0.35 μ m CMOS 공정기술을 기반으로 설계하고, HSPICE를 이용하여 시뮬레이션 하였다. 표 1은 설계한 차동 RGC 전치증폭기회로의 주요 파라미터를 보여준다.

그림 5는 단채널 전치증폭기의 주파수 응답으로써, 이때 사용한 광다이오드는 0.5pF의 기생 캐패시턴스, 20 Ω 의 기생저항, 및 1~2nH의 bondwire 인덕턴스를 갖는 실제적인 전류소스 등가회로로 구현하였다. Post-layout 시뮬레이션 결과, 59.3dB Ω 의 트랜스임피던스 이득과 2.45GHz의 -3dB 대역폭 성능을 보인다. 이로써 원하는

표 1. RGC 차동 전치증폭기의 주요 파라미터
Table 1. HSPICE parameters of the RGC TIA.

M_1 (W_1/L_1) 혹은 M_2	$65\mu\text{m} / 0.35\mu\text{m}$
M_{B1} (W_{B1}/L_{B1}) 혹은 M_{B2}	$250\mu\text{m} / 0.35\mu\text{m}$
M_3 (W_3/L_3) 혹은 M_4	$77\mu\text{m} / 0.7\mu\text{m}$
M_7 (W_7/L_7) 혹은 M_8	$70\mu\text{m} / 0.35\mu\text{m}$
M_F (R_F)	$2.9\mu\text{m} / 0.35\mu\text{m}$
I_1 혹은 I_2	1.4 mA
I_7 혹은 I_8	6.4 mA
I_9 혹은 I_{10}	3.6 mA

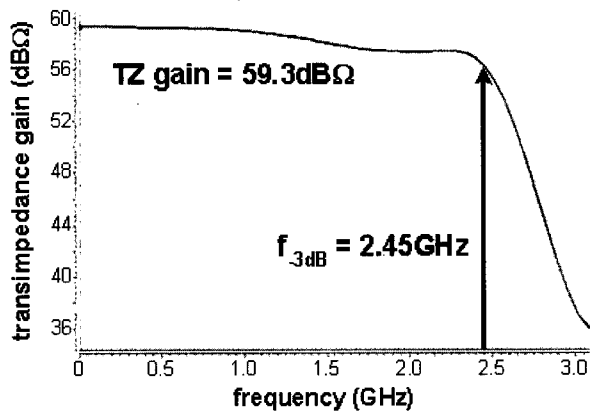


그림 5. RGC 차동 전치증폭기의 주파수 응답
Fig. 5. Frequency response of the differential RGC TIA.

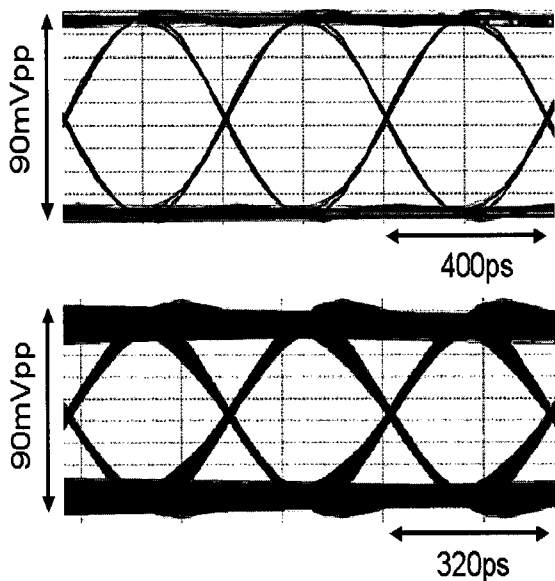


그림 6. (a) 2.5-Gb/s 와 (b) 3.125-Gb/s $2^{31}-1$ PRBS 입력신호에 대한 RGC 차동 전치증폭기의 출력 eye-diagrams
Fig. 6. Eye-diagrams of the differential RGC TIA (a) 2.5-Gb/s and (b) 3.125-Gb/s $2^{31}-1$ PRBS.

동작속도인 3.125-Gb/s의 0.7~0.8배를 만족하여 최적화된 SNR을 얻을 수 있다. 그림 6은 2.5-Gb/s 및 3.125-Gb/s 동작속도를 갖는 $2^{31}-1$ PRBS 신호에 대한 RGC 차동 전치증폭기의 출력 eye-diagram을 나타낸다. 결과적으로, 크고 깨끗한 eye-diagram을 각각 400ps 및 320ps의 주기로 얻었고, 100 μ A의 입력 전류신호에 대해 90mV_{pp}의 출력 전압 크기를 나타내는데, 이는 주파수 응답에서 구한 트랜스 임피던스 이득과 일치한다.

그림 7은 등가 노이즈 전류 스펙트럼 밀도의 시뮬레이션 결과를 보여준다. 평균값은 18.4pA/sqrt(Hz)로서 이는 0.5A/W의 반응도 (responsivity) 및 10^{-12} BER을 기준할 경우, -17.5dBm의 광민감도에 해당한다. 그림 8은 설계한 RGC 차동 전치증폭기 4채널 어레이의 배치도를 보여준다. 단채널 전치증폭기의 core 사이즈는 370 x 160 μm^2 이고, 어레이 전체 칩 사이즈는 3.5x0.85mm²이다. 어레이

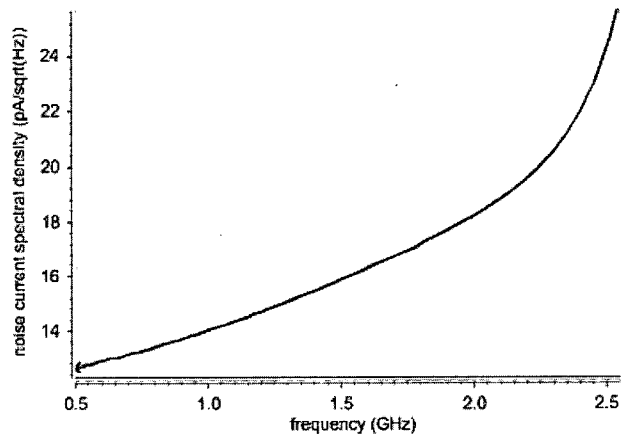


그림 7. RGC 차동 전치증폭기의 노이즈 특성
Fig. 7. Equivalent input noise current spectral density of the differential RGC TIA.

표 2. RGC 차동 전치증폭기 어레이의 성능 요약
Table 2. Performance summary of the RGC TIA array.

supply voltage	3.3 V
bandwidth(-3dB)	2.45 GHz
photodiode capacitance	0.5 pF
transimpedance gain	59.3 dBΩ
noise current spectral density	18.4 pA/sqrt(Hz)
adjacent channel crosstalk	< -15dB
power consumption	92 mW
single-channel core size	370 x 160 μm^2
technology	0.35 μm CMOS

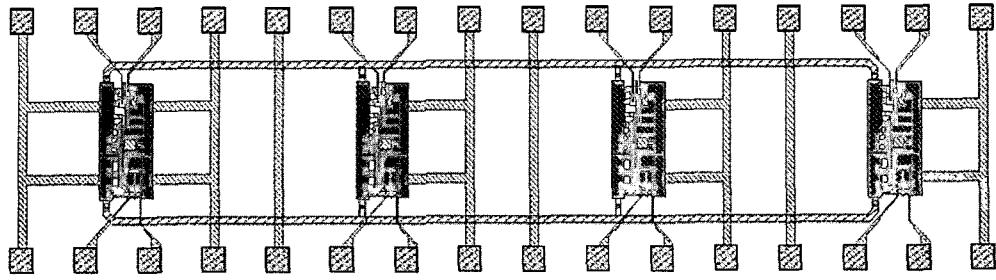


그림 8. 4채널 전치증폭기 어레이의 칩 Layout
Fig. 8. Chip layout of the 4-channel TIA array.

표 3. 낮은 기가비트급 CMOS 전치증폭기와의 성능 비교

Table 3. Performance comparison with other low-gigabit CMOS TIAs.

parameters	[4]	[6]	[7]	본 논문
V_{dd} (V)	5	5	5	3.3
BW (GHz)	1.2	0.66	0.95	2.45
PD cap. (pF)	0.6	0.32	0.5	0.5
TZ gain (dB Ω)	58	61	58	59.3
noise current (μ A)	0.6	0.125	0.2	1.0
power cons. (mW)	115	155	85	92
technology (μ m)	0.5	0.8	0.6	0.35

칩 설계 시, 각 채널 간 crosstalk를 -15dB 이하로 줄이도록 설계하였다. 먼저, 칩 내부에서의 공급전원선 및 접지선의 공유로 인한 간섭효과를 최소화 할 수 있도록 각 채널마다 전원 및 접지용 pad를 삽입하였다. 따라서 기생 bond-wire 인덕턴스로 인한 전원 및 접지 루프간의 불안정도 (instability)가 발생하지 않도록 하였다. 또한 각 채널 간 간격을 700 μ m 이상으로 함으로써, 기판 내에서의 coupling crosstalk로 인한 신호간 간섭이 주파수 대역폭 범위 내에서 1% 미만이 되도록 설계하였다. 표 2, 3은 설계한 회로의 성능을 요약하고, 최근 발표된 낮은 기가비트 CMOS 전치증폭기와의 성능을 비교한다.

IV. 결 론

본 논문에서는 0.35 μ m CMOS 기술을 이용하여 광통신 시스템 수신단의 전치증폭기 회로와 이를 이용한 4채널 증폭기 어레이를 구현하였다. 설계한 각 채널의 차동 전치증폭기는 RGC 입력단을 이용하여 입력단의 유효 g_m 값을 크게 증가시켰으며, 동시에 고주파에서의 입력

노이즈 특성을 낮게 개선하였다. Post-layout 시뮬레이션 결과, 설계한 전치증폭기는 59.3dB Ω 의 트랜스 임피던스 이득, 0.5pF 기생 캐패시턴스에 대해 2.45GHz 대역폭을 성취함으로써 채널 당 3.125-Gb/s의 동작속도를 감당하였고, 단일 전압 3.3V로부터 18.4pA/sqrt(Hz)의 평균 노이즈 전류 스펙트럼 밀도를 얻음으로써 0.5A/W의 반응도 및 10^{-12} BER을 예상할 때, -17.8dBm의 광민감도를 얻었다. 사용한 전원은 단일 전압 3.3V이고, 92mW의 낮은 전력 소모를 나타내었다.

Acknowledgment

본 논문에 대한 반도체설계교육센터(IDEC) 및 네트워크 기반 자동화연구센터(NARC)의 도움에 감사드립니다.

참 고 문 헌

- [1] A. Schild, H. Rein, J. Millrich, L. Altenhain, J. Blank, and K. Schrödinger, "High-gain SiGe transimpedance amplifier array for a 12x10 Gb/s parallel optical-fiber link," *IEEE J. of Solid-State Circuits*, Vol. 38, pp. 4-12, Jan. 2003.
- [2] S. M. Park and S. Hong, "A 65mW 5-Gb/s/ch Current-Mode Common-Base Transimpedance Amplifier Array For Optical Interconnects", *IEEE Photonics Technology Letters*, Vol. 15, No. 8, pp. 1138-1140, Aug. 2003.
- [3] S. M. Park, "병렬식 광 인터컨넥트용 멀티채널 수신기 어레이," 대한전자공학회 논문지, 제 42권 SD편, 2005년 7월.
- [4] S. S. Mohan, M. D. M. Hershenson, S. P. Boyd, T. H. Lee, "Bandwidth extension in CMOS with

- optimised on-chip inductors", *IEEE J. of Solid-State Circuit*, Vol. 35, No. 3, pp. 346-355, 2000.
- [5] C. Toumazou and S. M. Park, "Wideband low noise CMOS transimpedance amplifier for gigaHertz operation", *Electronics Letters*, Vol. 32, No. 13, pp. 1194-1196, 1996.
- [6] T. Yoon and B. Jalali, "1Gbit/s fibre channel CMOS transimpedance amplifier", *Electronics Letters*, Vol.33, No.7, pp. 588-589, 1997.
- [7] S. M. Park and H. -J. Yoo, "1.25-Gb/s Regulated Cascode CMOS Transimpedance Amplifier For Gigabit Ethernet Application", *IEEE J. of Solid-State Circuits*, Vol. 39, No. 1, pp. 112-121, Jan. 2000.
- [8] B. Razavi, "Design of Integrated Circuits for Optical Communications", McGraw-Hill, 2003
- [9] C. -H. Lu and W. -Z. Chen, "Bandwidth Enhancement Techniques for Transimpedance Amplifier in CMOS Technologies", *Proceedings of the 27th European Solid-state circuits Conference*, pp. 192-195, Sep. 2001.

 저 자 소 개

허 태 관(정회원)

2003년 2월 울산대학교 전기전자정보시스템
공학부 학사 졸업.
2005년 2월 울산대학교 전기전자 정보시스템
공학부 석사 졸업.
2005년~현재 삼성전자 반도체총괄 연구원.
<주관심분야 : VLSI/SoC 설계>

박 성 민(평생회원)

1993년 한국과학기술원 전기 및 전자공학과
학사 졸업.
1994년 (영) 런던대학교 전자공학과 석사 졸업.
2000년 (영) 임페리얼 공대 전자공학과
박사 졸업.
2005년 현재 이화여자대학교 정보통신학과
조교수.
<주관심분야 : RF 및 광통신용 아날로그 회로
설계>

조 상 복(평생회원)

1979년 한양대학교 전자공학과 졸업(공학사).
1981년 동 대학원 전자공학과 졸업 (공학석사).
1985년 동 대학원 전자공학과 졸업 (공학박사).
1994년 8월~1995년 8월 Univ. of Texas,
Austin 초빙학자.
2003년 8월~2004년 8월 Univ. of California,
San Diego 초빙학자.
울산대 자동차전자 연구센터장 역임.
2005년 현재 부산울산경남 자동화기술연구회장.
1986년~현재 울산대학교 전기전자정보시스템
공학부 교수.
<주관심분야 : VLSI/SoC 설계 및 테스트, 자동
차 전자회로 설계, 머신비전 시스템 개발, 메모리
설계 및 테스트>