

논문 2005-42SD-8-6

# 고속 저전력 D-플립플롭을 이용한 프리스케일러 설계

(A Design of Prescaler with High-Speed and Low-Power D-Flip Flops)

박 경 순\*, 서 해 준\*\*, 윤 상 일\*\*\*, 조 태 원\*\*\*\*

(Kyung-Soon Park, Hae-Jun Seo, Sang-Il Yoon, and Tae-Won Cho)

## 요 약

프리스케일러는 PLL(Phase Locked Loop)의 동작속도를 결정하는 중요한 부분으로서 저전력의 요구조건 또한 만족해야 한다. 따라서 프리스케일러에 적용되는 TSPC(True Single Pulse Clocked) D-플립플롭의 설계가 중요하다. 기존의 TSPC D-플립플롭은 출력단의 글리치(glitch) 문제와 클럭의 프리차지(precharge)구간에서 내부노드의 불필요한 방전으로 인한 소비전력이 증가하는 단점이 있다. 본 논문에서는 프리차지와 방전을 위한 클럭 트랜지스터 패스를 공유함으로써 클럭 트랜지스터의 수를 감소시켰고, 입력 단에 PMOS 트랜지스터를 추가하여 프리차지 구간동안의 불필요한 방전을 차단함으로써 소비전력을 최소화 하였다. 또한 출력 단에 NMOS 트랜지스터를 추가함으로써 글리치 문제를 제거했고, 안정적인 동작을 하는 TSPC D-플립플롭을 제안하였다. 제안된 D-플립플롭을 프리스케일러에 적용시켜 검증한 결과 3.3V에서의 최대동작주파수는 2.92GHz, 소비전력은 10.61mw로 기존의 회로<sup>[6]</sup>와 비교하였을 때 PDP(Power-Delay-Product) 측면에서 45.4%의 개선된 결과를 얻었다.

## Abstract

An prescaler which uses PLL(Phase Locked Loop) must satisfy high speed operation and low power consumption. Thus the performance of TSPC(True Single Phase Clocked) D-flip flops which is applied at prescaler is very important. Power consumption of conventional TSPC D-flip flops was increased with glitches from output and unnecessary discharge at internal node in precharge phase. We proposed a new D-flip flop which reduced two clock transistors for precharge and discharge phase. With inserting a new PMOS transistor to the input stage, we could prevent from unnecessary discharge in precharge phase. Moreover, to remove the glitch problems at output, we inserted an NMOS transistor in output stage. The proposed flip flop showed stable operations as well as low power consumption. The maximum frequency of prescaler by applying the proposed D-flip flop was 2.92GHz and achieved power consumption of 10.61mw at 3.3V. In comparison with prescaler applying the conventional TSPC D-flip flop<sup>[6]</sup>, we obtained the performance improvement of 45.4% in the view of PDP(Power-Delay-Product).

**Keywords :** Prescaler, TSPC(True Single Phase Clocked), D-flip flops, Low-Power Circuits

## I. 서 론

이동통신용 단말기 등과 같은 무선통신 응용분야에서 고성능의 주파수 합성기는 주요한 요소가 되며 주파수 합성은 일반적으로 위상고정루프(PLL)방식을 이용하여 이루어진다. 대부분의 무선 통신용 주파수 합성기

는 채널을 가변적으로 선택할 수 있도록 하기 위하여 이를 위해 프로그램 가능한 분주 비를 요구 하며, 높은 주파수에서의 동작을 필요로 하므로 두 가지의 분주 비를 갖는 프리스케일러를 기반으로 하는 PLL방식이 널리 이용된다. 프리스케일러는 주파수 합성기의 속도를 결정하는 중요한 블록이기 때문에 고속동작과 저전력 소모의 요구 조건을 동시에 만족시켜야 한다. 따라서 프리스케일러의 성능을 좌우하는 플립플롭 자체의 설계가 중요하다.<sup>[1]</sup>

플립플롭은 클럭 시스템이 간단하고도 안전한 클럭킹(clocking) 방식이 사용되어야 하므로 클럭 네트워크가 단순해질 수 있는 TSPC방식이 주로 사용된다. 2진 위상이나 4진위상 방식의 경우는 위상간의 스큐(skew)

\* 정회원, 스태츠 칩팩코리아 기술팀  
(STATS ChipPAC korea Ltd.)

\*\* 학생회원, \*\*\* 정회원, \*\*\*\* 평생회원,  
충북대학교 전기전자컴퓨터공학부  
(School of Electrical & Electronics Engineering,  
Chungbuk University)

※ 본 연구는 IDEC의 연구지원을 받았음.

접수일자: 2005년3월15일, 수정완료일: 2005년7월11일

로 인한 레이싱(racing) 문제에 민감하다. 또한 이 스큐 문제를 해결하기 위해 “dead time”을 삽입하는 경우 클럭의 속도가 느려져 플립플롭 자체의 속도가 느려지는 단점이 있다. 하지만 TSPC 방식은 하나의 클럭을 사용함으로써 클럭스큐(clock skew) 문제가 생기지 않고, 플립플롭 구조도 간단하고 속도가 빠르다는 장점을 가지고 있다.

본 논문은 프리스케일러에 사용되어 지는 기존의 TSPC D-플립플롭에 대하여 저전력을 위한 회로와 고속동작을 위한 회로로 분류하여 장점과 단점을 논하고, 고속동작으로 인한 동적(dynamic)전력 소비를 줄이기 위하여 글리치, 내부 노드에서의 불필요한 방전, 클럭 트랜지스터 공유 등을 고려하여 새로운 플립플롭을 제안하였다. 제안한 플립플롭을 프리스케일러에 적용하여 기존 회로와의 동일한 입력 파라미터 조건 하에서 동작 특성을 비교 하였다.

제안한 D-플립플롭은 고속동작 및 저전력 소모특성을 결정하는데 중요한 역할을 하는 동기식 4분주 와 최종 128분주 동작을 하는 프리스케일러에 적용해 성능평가를 하였다.

본 논문의 구성은 제II장은 프리스케일러와 TSPC D-플립플롭의 구성과 동작원리를 설명하고, 제III장에서는 기존의 TSPC D-플립플롭에 대하여 분석한다. 제IV장에서는 제안한 TSPC D-플립플롭의 구성과 동작을 설명하고, 제V장에서는 기존의 회로와 제안된 회로에 대하여 성능평가를 하고, 마지막 제VI장에서 결론 및 향후 연구방향에 대해 기술한다.

## II. 프리스케일러와 TSPC D-플립플롭

### 1. 프리스케일러

#### 가. 프리스케일러의 구성

일반적으로 프리스케일러는 높은 동작 주파수와 저전력 소모를 필요로 한다. 기존의 프리스케일러는 그림 1과 같이 크게 2블록으로 구성되는데 고속동작이 요구되는 동기식 4/5분주와 비동기식 64/65분주로 구성되어 있으며, 비동기식 64/65분주는 MODE와 SW신호에 따라 128/129분주를 기본으로 한다. 이에 본 논문도 128/129분주를 기본으로 하며, 기본회로에서의 동기식 4/5분주를 하는 회로는 3개의 D-플립플롭과 2개의 낸드(NAND)게이트로 구성된다. 비동기식 64/65분주는 5개의 T(Toggle)-플립플롭이 직렬로 연결되어 있으며, 그 외 제어용으로 사용되는 게이트들은 기존의 논문에

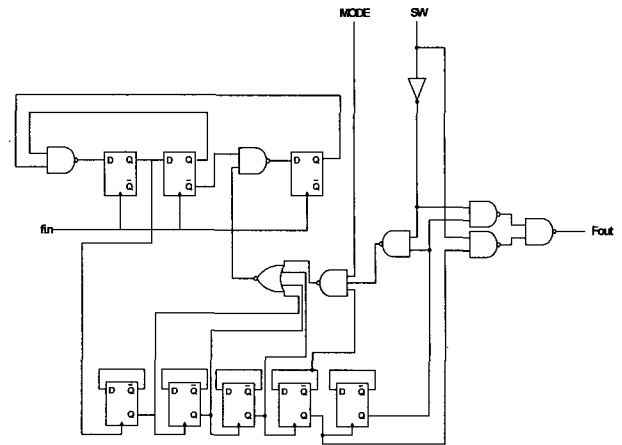


그림 1. 프리스케일러의 게이트 레벨 회로

Fig. 1. Gate level block diagram of conventional prescaler.

표 1. SW와 Mode 신호에 의한 동작

Table 1. Operation mode setting by SW and MODE signals.

SW	MODE	Fout
0	0	fin/128
0	1	fin/129
1	0	fin/64
1	1	fin/65

서의 회로 표기와 조금상이하나 동일한 진리 값을 가지므로 본 논문은 그림 1과 같은 제어용 게이트들로 구성하였다. 표 1은 SW와 MODE신호에 의한 프리스케일러의 동작특성을 나타내었고, 이 신호와 T-플립플롭의 최종 단의 출력 값에 의해 (MC값)이 결정된다.

#### 나. 동기식 4/5분주 회로

그림 2와 표 2는 프리스케일러의 블록인 동기식 4/5분주동작을 하는 회로이다. 동작은 표 2에서 MC신호가 '0'일 때는 4분주를, MC신호가 1일 때는 5분주가 된다. 여기서의 동기식 4/5분주동작은 프리스케일러의 고속동작과 소비전력에 많은 영향을 주는 회로이다. 따라서

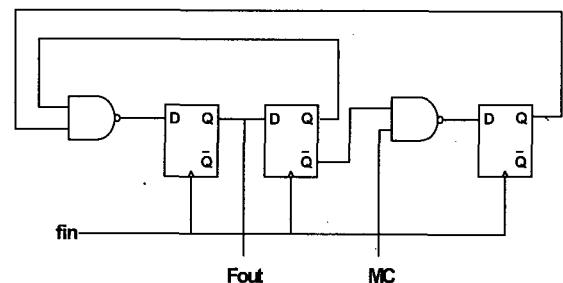


그림 2. 동기식 4/5분주의 회로

Fig. 2. Synchronous 4/5 divide setting by MC.

표 2. MC 신호에 의한 동작  
Table 2. Operation mode setting by MC signal.

MC	Fout
0	$f_{in}/4$
1	$f_{in}/5$

본 논문은 고속동작과 저전력이 필요한 동기식 4/5분주와 128/129분주 동작을 하는 프리스케일러를 설계한다.

2. TSPC D-플립플롭의 동작

그림 3의 D-플립플롭은 P-C2MOS 단과 N-C2MOS 단으로 구성된 회로로 TSPC의 대표적인 회로이다.<sup>[2]</sup> 회로에서도 나타나듯이 대부분의 TSPC D-플립플롭은 MP4, MN2, MN3패스로 연결된 'low' to 'high' 지연시간이 이 회로의 임계경로(critical path)를 형성한다.

동작은 클럭이 'low'이고 입력 D가 'low'이면 A노드와 B노드는 프리차지되고 이 노드는 MN2를 구동한다. 동시에 B노드는 클럭이 'low'이기 때문에 출력 단의 방전 패스가 생기지 않아 QB는 이전 값을 유지한다. 이때 클럭이 'high'로 천이 되면 MN3가 켜져 B노드는 방전이 됨과 동시에 'low'가 되어 MP4를 구동하여 출력 QB는 'high'가 되어 최종 출력 Q는 인버터를 통하여 'low'가 출력되어 진다. 또한 클럭이 'low'이고 D가 'high'일 때는 A노드가 방전이 되어 MN2를 꺼지게 하고, 동시에 B노드가 MN5를 켜지게 한다. 클럭이 'high'로 천이 되면 그전의 B노드는 MN2가 프리차지구간동안 꺼졌었기 때문에 방전 패스가 생기지 않고, MN4가 켜지게 되면서 MN4, MN5로 연결된 방전패스가 형성되어 QB가 'low'가 되고 Q가 'high' 값이 된다. 표 3은 TSPC D-플립플롭에 대한 클럭이 천이 되면서 내부 노드간의 전압변화와 출력을 나타낸 표이다.

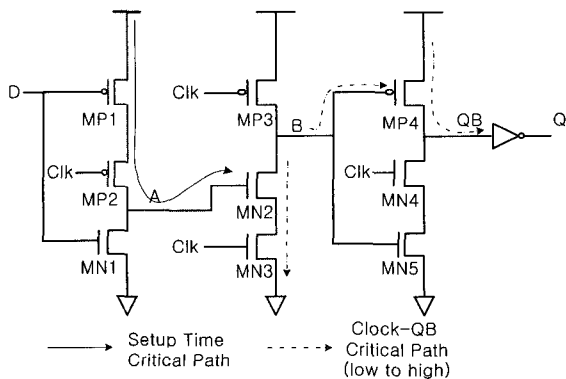


그림 3. TSPC D-플립플롭 회로<sup>[2]</sup>  
Fig. 3. Circuit of TSPC D-flip flop<sup>[2]</sup>.

표 3. TSPC D-플립플롭의 동작 D=low(high)  
Table 3. Operation of TSPC D-flip flop D=low(high).

Clock Signal	Node A	Node B	QB	Q
low	high(low)	high(high)	hold	hold
low->high	high(low)	low(high)	high(low)	low(high)
high	high(low)	low(high)	high(low)	low(high)
high->low	high(low)	low(high)	high(low)	low(high)

출력 단에서의 글리치 문제에 대해 살펴보자. B노드가 방전이 되어 MP4가 켜짐으로서 QB가 'high'가 되었다. 그러나 이때 클럭이 'high'로 천이 되는 순간 B노드가 곧바로 MN3를 통하여 방전이 형성되는데 얼마간의 시간이 소요된다. 즉 B노드가 모두 방전될 때까지는 MN4, MN5의 방전 패스가 형성되어 QB값의 전압이 하강되고 최종 출력 단인 Q에 글리치 현상이 발생된다.

III. 기존의 TSPC D-플립플롭

1. 고속동작을 위한 TSPC D-플립플롭

프리스케일러에 사용되어 지는 TSPC D-플립플롭은 고속동작이 필수적이다.

그림 4는 TSPC 래치(latch)의 구조를 이용하여 설계된 구조이다.<sup>[4]</sup> C노드에 있는 일정한 전하가 프리차지돼 있어, 출력 단의 불필요하게 방전이 될 때마다 C노드가 이러한 잘못된 방전을 막아주고, C노드의 전하가 방전된 후에야 출력 단의 전하가 방전이 되는 방전 억제 방식(discharge suppression method)을 사용한 TSPC D-플립플롭이다. 이러한 방전 억제 방식은 속도 측면에서는 장점을 가지고 있다. 출력이 'low'에서 'high'로 천이 하는 순간, C노드의 전하가 출력이 'low'로 방전되는 것을 막아주는 역할을 하기 때문이다. 즉, 기존의 구조에서는 출력이 'low'에서 'high'로 천이 하는 순간 출력 단에서의 방전패스가 형성되어 'high'로 천이 하지만 이 구조에서는 초기 상태부터 'high'로 프리차지 될 수 있기 때문이다. 그러나 이 TSPC D-플립플롭의 단점은 QB가 'high' to 'low'의 지연시간이 커진다는 단점이 있다. 기존의 그림 3의 회로에서 2개의 NMOS 트랜지스터를 거쳐 방전되던 것에 비해 이 구조는 3개의 NMOS 트랜지스터를 거쳐 방전되기 때문에 출력 QB가 방전되는 시간이 기존의 구조 보다 더 오래 걸려 최종 클럭과 Q의 지연시간이 늘어나고, C노드로 인해 출력 단의 방전시간이 더 증가하게 된다.

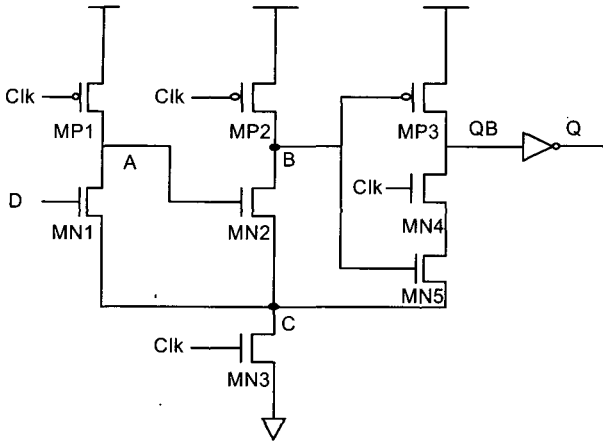


그림 4. TSPC 래치를 이용한 D-플립플롭<sup>[3]</sup>  
Fig. 4. D-flip flop using TSPC latch.<sup>[3]</sup>

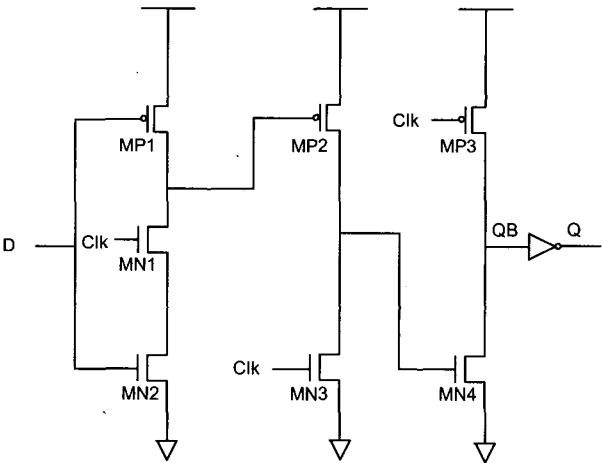


그림 5. Ratioed D-플립플롭<sup>[4]</sup>  
Fig. 5. Ratioed D-flip flop.<sup>[4]</sup>

그림 5의 회로는 B.S Chang에 의해 제안된 구조<sup>[4]</sup>로서 기존의 회로보다 간단하지만 공정(Process)에 따라서 트랜지스터의 크기의 비를 조정해야 하는 회로(ratioed circuit)로서 다른 회로보다 트랜지스터 수가 감소되는 장점이 있다.

그런데 소비전력 측면에서는 MP2, MP3의 트랜지스터의 크기가 커야 하고 경우에 따라서 방전패스, 예를 들면 클럭이 'high'이고 MP2가 켜질 시에는 패스가 형성되고, 또한 프리차지 구간에서의 클럭이 'low'이고 MN4가 켜졌어도 불필요한 방전패스가 형성되어 전체적으로 소비전력이 증가되는 문제점이 있다. 따라서 트랜지스터의 개수, 동작속도측면에서는 장점을 가지나, 회로동작시 출력단의 글리치 발생 등에 의한 전력소모 증가 및 회로 안정성 저하 등의 단점이 있다.

## 2. 저전력을 위한 TSPC D-플립플롭

기존의 TSPC D-플립플롭은 동적 회로를 사용하기

때문에 그에 대한 출력 단의 글리치, 내부 노드의 전하 공유(charge sharing), 불필요한 충전패스의 문제점등을 개선하기 위하여 많은 연구가 있었다.<sup>[2],[5],[6],[8]</sup>

그림 6은 Huang이 제안한 D-플립플롭으로서 전하공유 문제를 줄이고, 출력 Q의 안정을 위해 내부 노드에 작은 크기의 NMOS(New1)와 인버터(inverter)를 삽입했고, 출력 단의 안정적인 전압을 위해 PMOS(New2)를 추가했다.<sup>[6]</sup> 이 회로는 클럭이 'high'인 구간동안 D가 'high'에서 'low'바뀔 때 발생하는 A 노드의 전압상승이 MN3를 구동해 B노드가 방전됨에 따라 QB의 전압이 올라가는 문제점을 개선하기 위한 회로이다. 즉, NMOS(New1)와 인버터는 A노드에 부궤환(negative-feedback)방법을 사용하여 A노드를 안정화시키는 것이다. 그러나 전체적으로 소비 전력을 줄일 수는 있으나 트랜지스터의 수가 많다는 단점이 있다. 그림 7은 전하공유 문제로 인해 Huang<sup>[6]</sup>의 입력 단에 클럭 트랜지스터를 삽입을 한 그림이다.

전하공유는 초기에 A노드가 vdd이고 B노드가 ground라고 가정하자. A노드의 초기 전하는  $Q_{initial} = CA \cdot VDD$ 이다. MP1이 켜지게 되면 A노드와 B노드가 전하를 공유하여 최종 전하는  $Q_{final} = (CA + CB) \cdot V_{final}$ 이다. 전하량 보존 법칙에 의해  $Q_{initial} = Q_{final}$ 이 성립해야 하므로  $(CA + CB) \cdot V_{final} = CA \cdot VDD$ 이다. 따라서  $V_{final} = CA \cdot VDD / CA + CB = VDD / (1 + CB/CA)$ 가 된다. 즉, A노드의 전압은 A노드와 B노드의 용량(capacitance)비에 의해 결정됨을 알 수 있다. 이때 A노드의 전압 변동을 최소화 하려면  $CA \gg CB$ 를 만족하여야 한다. 그런데 상기조건을 만족시키기 위해서 CA를 크게 증가시키면 스위칭 속도가

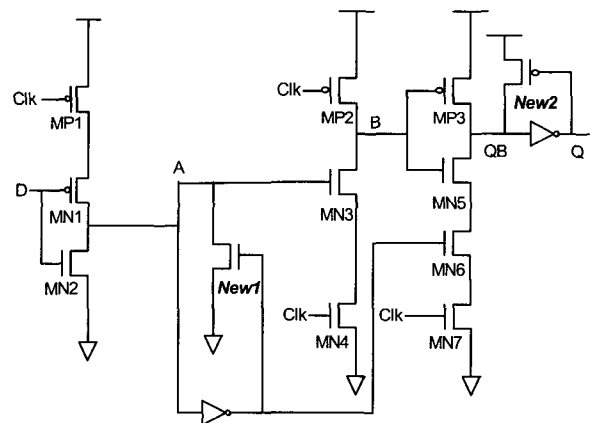


그림 6. 전하 공유 및 글리치 개선을 위한 D-플립플롭<sup>[5]</sup>  
Fig. 6. Improved D-flip flops for charge sharing and glitch-free.<sup>[5]</sup>

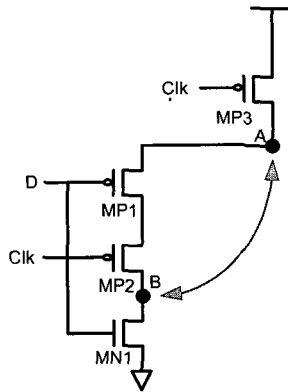


그림 7. 전하공유<sup>[8]</sup>  
Fig. 7. Charge sharing.<sup>[8]</sup>

증가하므로, 동작속도 및 전하공유문제를 같이 고려해야 한다.<sup>[8]</sup>

### 3. C.Yuan의 TSPC D-플립플롭

그림 8은 그림 5의 회로에서 나타난 방전 패스를 차단함으로써 소비전력을 감소시키는 동시에 기존의 회로보다 인버터에 의한 제어에 의하여 QB의 글리치를 방지한 회로이다.<sup>[6]</sup> 회로구조는 입력단은 pseudo-NMOS 인버터로 구성되어 있고, 중간단은 N-precharge, 출력단에는 인버터에 의해 제어되는 구조이다. 또한 A노드에 인버터를 추가하여 글리치 현상을 감소 시켰다.

그러나 이 회로의 문제점은 출력 QB에 'high' 전압이 있다고 가정하면, 클럭이 'high'로 있는 구간동안 D가 'low'에서 'high'로 천이 하게 되어도 'high' 전압은 유지가 되어야 하는데, MN4가 켜지게 되면서 출력에서의 방전 패스가 형성이 되면서 전압이 떨어지는 문제점이 발생하게 된다.<sup>[8]</sup> 즉, 클럭이 'high'이고 D가 'low' to 'high' 구간에 최종 출력 단계에서의 글리치 현상이 발생

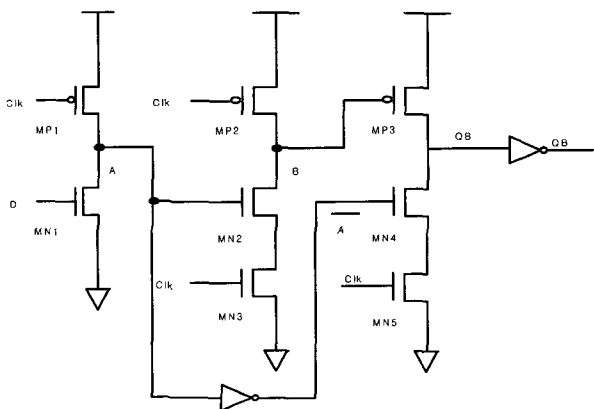


그림 8. C.Yuan의 TSPC D-플립플롭<sup>[6]</sup>  
Fig. 8. D-flip flop of C.Yuan's TSPC D-flip flop.<sup>[6]</sup>

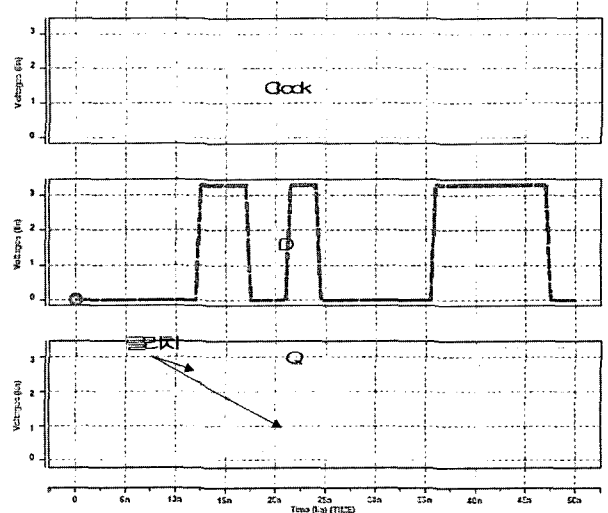


그림 9. 글리치 현상이 나타난 C.Yuan 플립플롭의 모의 실험결과

Fig. 9. Simulation waveform with glitch of Yuan's Flip flop.

하는 문제가 있다. 또한 클럭이 프리차지구간이고 D가 'high'가 될 때마다 A노드의 방전이 반복되어 소비전력의 증가가 있고, 특정입력조건이 인가되는 경우에 출력단의 글리치 발생에 의한 소비전력의 증가한다는 단점이 있다.

그림 9는 글리치를 가지는 C.Yuan의 모의실험 결과이다. 노드 A에 인버터를 추가하여, 글리치를 제거함에도 불구하고 글리치 현상이 발생한다.

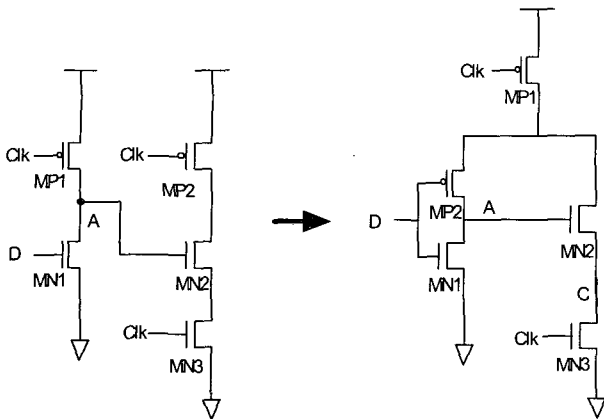
## IV. 제안한 TSPC D-플립플롭 및 동작원리

### 1. 회로 구성

그림 10에서는 기존의 C.Yuan의 D-플립플롭에서 클럭이 프리차지구간이고, D가 'high'이면 MP1을 거쳐 프리차지된 A노드의 전압이 MN1에 의한 지속적인 방전으로 인해 소비 전력이 증가한다는 단점이 있었다.

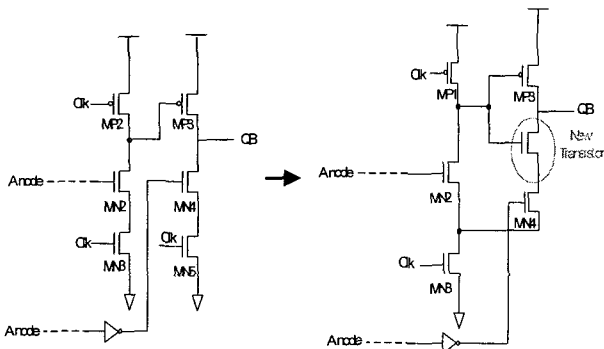
제안하는 회로에서는 입력 단계 MP2를 추가하였다. MP2의 역할은 클럭이 프리차지구간이고, D가 'high'여도 MP2가 꺼져있기 때문에 A노드의 프리차지된 전압의 방전 패스 형성을 막아주는 역할을 한다. 또한 MP2를 추가함으로써 기존의 MP1, MP2의 프리차지역할을 하는 클럭 트랜지스터 패스를 공유함으로써 MP2로 인한 추가적인 트랜지스터 개수의 증가를 감수 할 수 있었다.

그림 11에서는 클럭 트랜지스터의 방전패스를 공유한 회로이다. C.Yuan의 회로에서의 방전은 MN2, MN4



(a) C.Yuan의 회로 (b) 제안한 회로

그림 10. Precharge패스 공유  
Fig. 10. Sharing of precharge path.



(a) C.Yuan의 회로 (b) 제안한 회로

그림 11. 방전패스 공유  
Fig. 11. Sharing of discharge path.

가 A노드에서의 인버터로 인해 구동되어 동시에 방전패스가 형성되지 않는다. 따라서 서로 다른 위상에서의 방전패스가 형성되기 때문에 MN3와 MN5의 클럭 트랜지스터의 패스를 공유하여 하나의 클럭 트랜지스터(MN3) 트랜지스터의 개수를 줄일 수 있었다.

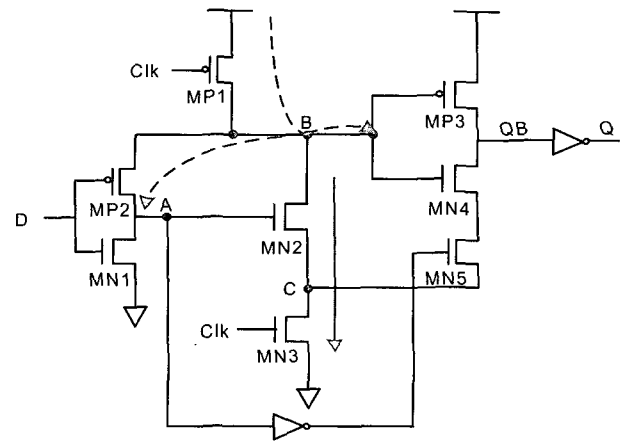
또한 그림 10(b)에서의 입력 단의 MP2의 추가로 인해 그림 11(b)에서 출력 단의 새로운 NMOS 트랜지스터를 추가하여 제안한 회로의 안정적인 동작을 하고, NMOS 트랜지스터의 추가로 C.Yuan의 글리치 문제를 해결했다. 즉, C.Yuan의 회로에서 클럭이 'high'이고 D가 'low' to 'high'로 바뀌면 A노드가 'low'가 되어 MN4를 켜지게 함으로서 출력에서의 방전패스가 형성되어 QB에서의 전압강하현상이 발생되었으나, 그림 11(b)에서는 MN4가 켜지더라도 추가된 NMOS 트랜지스터로 인해 방전패스가 형성되지 않는다.

2. 회로 동작

그림 12에서 제안한 회로의 동작을 살펴보자. 프리차

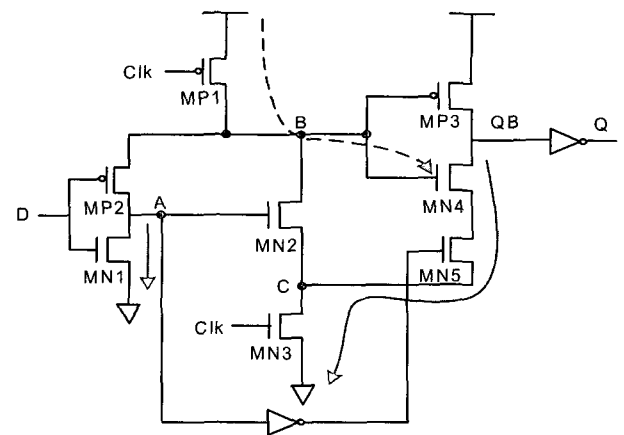
지구간이고, D가 'low'이면 B 노드는 'high'가 되고, 클럭이 'low'이기 때문에 QB는 이전의 값으로 유지가 된다. 클럭이 'high'로 천이 되면 MN3가 켜지게 되면서 B노드에 있던 전압이 방전이 된다. 이 때 방전시간에 따라 글리치는 MN5가 계속 꺼져있기 때문에 발생하지 않는다. 방전된 B노드는 MP3를 구동함에 따라 QB는 'high'가 되고 최종 출력 Q는 인버터를 통하여 'low'가 된다.

C.Yuan의 D-플립플롭에서의 글리치 문제를 살펴보자. D가 'low'에서 'high'로 바뀌면 A노드가 'low'가 되어 MN5를 켜지게 하고 QB의 'high'전압이 떨어지는 현상이 발생하여 출력 Q의 글리치가 발생하였는데, 제안한 회로에서는 MN4가 미리 프리차지된 전압에 의해 계속 꺼져있어 방전 패스가 형성되지 않아 QB에서의 전압이 떨어지는 현상이 발생하지 않아 최종 출력 Q에서는 글리치 현상이 발생하지 않는다.



( D='low', Clk='low' to 'high' Q='low' )

그림 12. 제안한 회로의 동작  
Fig. 12. Operation of proposed circuit.



( D='high', Clk='low' to 'high' Q='high' )

그림 13. 제안한 회로의 동작  
Fig. 13. Operation of proposed circuit.

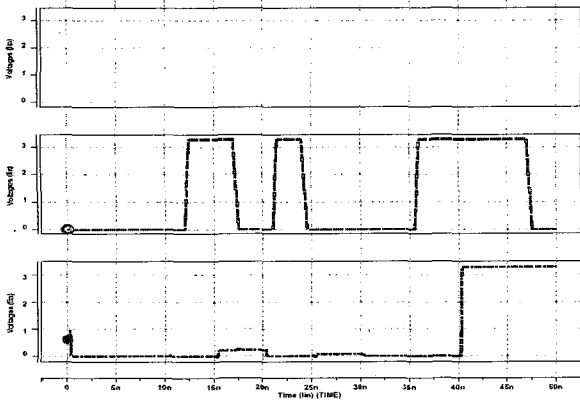


그림 14. 특정입력 패턴 인가 시 제안한 D-플립플롭의 글리치 프리 시뮬레이션

Fig. 14. Simulation waveform of a proposed D-flip flop with glitch-free operation by applying particular input patterns.

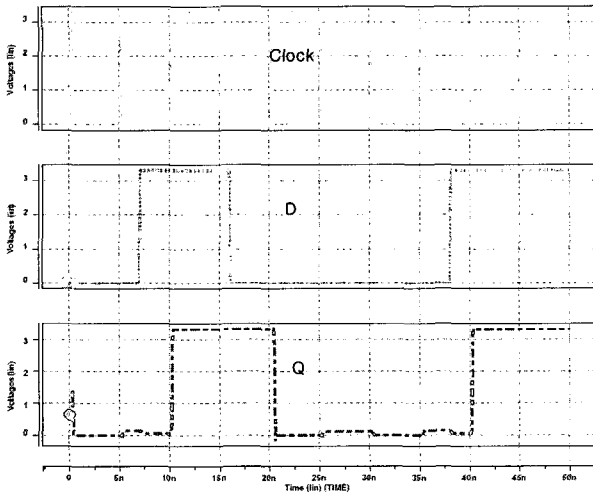


그림 15. 또 다른 입력패턴 인가 시 제안한 D-플립플롭의 동작 파형

Fig. 15. Simulation waveform of a proposed D-flip flop by applying another input patterns.

그림 13에서 입력 D가 'high'일 때의 동작을 살펴보자. 프리차지구간동안, B노드는 'high'가 되어 MN4를 구동한다. 또한 MN1이 켜지게 됨에 따라 MN5가 켜지지만 클럭이 'low'이기 때문에 QB에서의 전의 값이 유지가 된다. 이때 클럭이 'high'로 바뀌면 출력 단에서의 방전패스가 형성되어 QB는 'low'가 되어 Q는 'high'가 된다. C.Yuan<sup>[6]</sup>의 D-플립플롭에서의 프리차지구간에서 D가 'high'이면 A노드의 방전으로 인해 소비전력이 증가한 반면 제안한 회로에서는 프리차지된 전압이 방전이 일어나지 않기 때문에 소비전력의 감소가 예상된다.

그림 14에서 출력 Q에서 C.Yuan의 같은 특정입력 패턴이 인가되었을 경우에 출력단에 글리치가 제거됨을 확인할 수 있다. 그림 15는 제안한 회로의 D가 'low' to

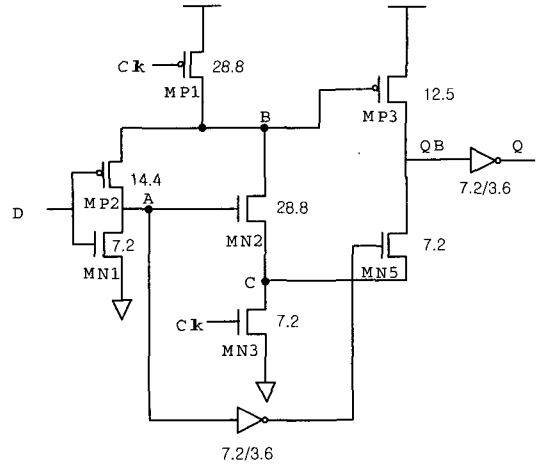


그림 16. 듀얼 모듈러스 프리스케일러에 사용되는 D-플립플롭

Fig. 16. Circuit of D-flip flop for Dual-Modulus prescaler.

'high', 'high' to 'low'로 천이 할 때마다 올바른 값이 출력되어짐을 알 수 있다.

### 3. 듀얼 모듈러스 프리스케일러에 적용되는 D-플립플롭

그림 16은 듀얼모듈러스 프리스케일러에 적용되는 제안한 TSPC D-플립플롭이다. 그림 16에 대해 여기서는 간략히 언급하겠다. C.Yuan의 D-플립플롭을 독립적인 단독회로로 봤을 때 특정 입력패턴에서 글리치가 발생하며, 이는 C.Yuan의 D-플립플롭이 고주파에서 동작하는 동기식 카운터에 사용되면 글리치가 발생하지 않는다.<sup>[9]</sup> 이에 본 논문에서 제안한 그림 12와 그림 13의 회로를 듀얼모듈러스 프리스케일러의 고속의 동기식 카운터에서 동작시키기 위해서는 C.Yuan<sup>[9]</sup>과 같이 글리치를 최소화하기 위해 MN4를 제거 할 수 있다. 즉 출력단의 방전시간을 좀 더 단축함에 있다.

## V. 모의실험 결과

### 1. 제안한 TSPC D-플립플롭

표 4는 C.Yuan<sup>[6]</sup>과 제안한 회로의 성능비교를 나타낸다. 클럭이 100MHz일 때 랜덤입력 패턴을 주었을 때 나타난 성능을 비교했다. 트랜지스터 개수와 'high' to 'low' 지연시간은 같지만, 'low' to 'high'간의 지연시간이 0.02ns 만큼 차이가 난다. 그 이유는 제안회로에 글리치 개선을 위해 출력 단의 NMOS 트랜지스터 삽입으로 방전하는 데에 시간이 좀더 걸리기 때문이다. 그

표 4. C.Yuan 과 제안한 D-플립플롭 성능비교  
Table 4. Performance comparison of C.Yuan's D-flip flop and proposed D-flip flop.

	C.Yuan, TSPC D-플립플롭 <sup>[6]</sup>	Proposed TSPC D-플립플롭
Transistor Counts	12	12
'low' to 'high' (Clock - Q Delay) [ns]	0.01	0.03
'high to 'low' (Clock - Q Delay) [ns]	0.01	0.01
Power Consumption [mW]	2.744	0.628

러나 소비전력 면에서는 약4.3배 정도 개선된 것을 알 수가 있다. 즉, C.Yuan의 회로는 프리차지구간동안 불필요한 방전으로 인한 소비전력의 증가가 나타나고, 클럭 트랜지스터를 4개를 사용하는데 비해 제안한 회로는 프리차지구간동안 불필요한 방전이 생기지 않으며, 2개의 클럭 트랜지스터로 구동하기 때문에 소비전력 면에서는 개선이 됨을 알 수가 있다.

2. 동기식 4분주

프리스케일러의 동작속도와 소비전력을 좌우하는 동기식 4분주의 성능 평가를 비교해 본다. 그림 17에서 동기식 4분주를 시뮬레이션 해본 결과 지연시간 측면에서는 C.Yuan의 회로와 제안한 회로와 유사하지만 소비전력 면에서는 제안한 회로가 우수한 것으로 나타났다. 지연시간과 전력소모를 동시에 고려한 PDP 측면에서 비교하였을 때 제안된 회로가 기존회로 보다 약 48.8%

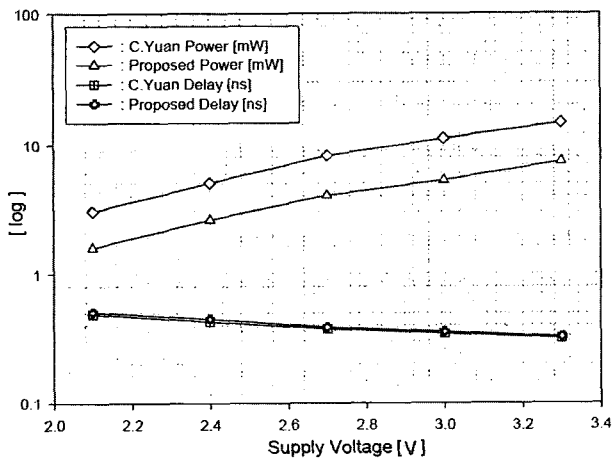


그림 17. C.Yuan 과 제안한 회로의 동기식 4분주  
Fig. 17. Synchronous divide-by-4 of C.Yuan's D-flip flop and proposed D-flip flop.

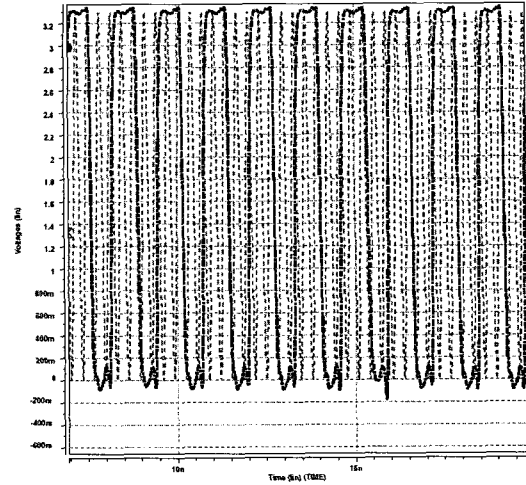


그림 18. 최대 동작주파수에서의 동기식 4분주  
Fig. 18. Synchronous divide-by-4 in maximum frequency.

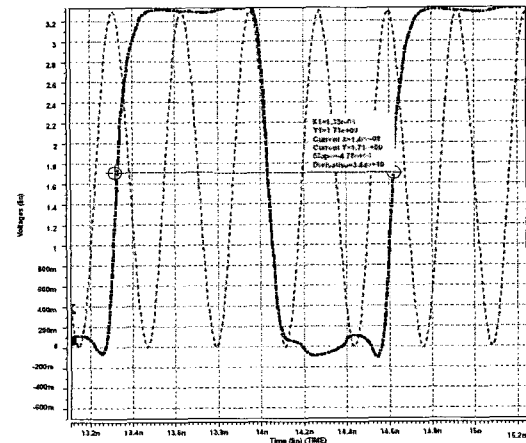


그림 19. 최대 동작주파수에서의 동기식 4분주의 주기  
Fig. 19. Cycle of synchronous divide-by-4 in maximum frequency.

를 개선 효과가 있었다.

그림 18은 제안한 회로의 최대 동작 주파수(3.1GHz)에서의 Divide-by-4의 시뮬레이션 파형을 보여주고 있다. 그림 19에서는 클럭의 divide-by-4의 파형으로서 최대동작주파수의 주기(0.3225ns) × 4분주 ≃ 1.3ns가 분주됨을 알 수 있다.

3. 프리스케일러

전체 회로의 성능평가는 128분주를 기준으로, 제어 신호 SW='0', MODE='0'으로 128분주를 C.Yuan의 회로와 비교하여 성능평가를 pre-layout 시뮬레이션을 수행하였다. 그림 20은 최대동작주파수에서의 128분주에 대한 전체 파형이다.

그림 20과 21은 최대동작주파수의 주기(0.342ns) × 128 분주된 주기는 43.8(ns)이다. 그림 (b)는 73.86 (ns)



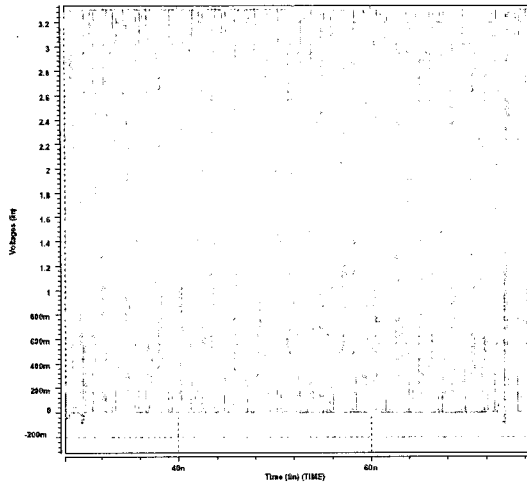
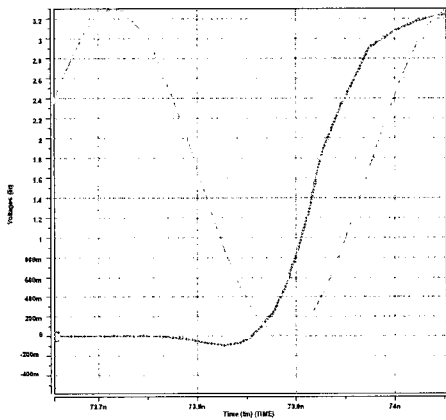
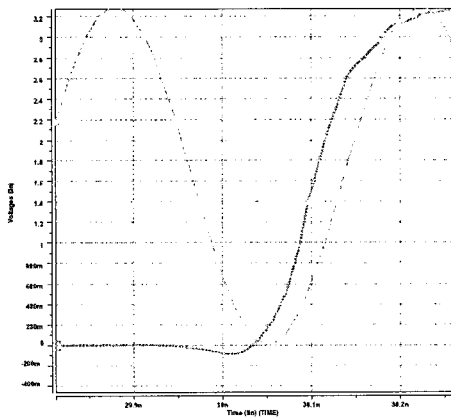


그림 20. 최대동작 주파수에서의 제안한 프리스케일러의 128분주 동작

Fig. 20. Divide-by-128 of proposed prescaler for maximum frequency.



(a) 30.03(ns) 에서의 'low'to'high'



(b) 73.86(ns) 에서의 'low'to'high'

그림 21. 프리스케일러에 대한 128분주의 주기  
Fig. 21. Cycle of divide-by-128 for proposed prescaler.

이고, 그림 (a)는 30.03(ns)이다. 따라서 73.86(ns) - 30.03(ns)는 약 43.8(ns)가 되어 128분주를 확인할 수 있었다.

표 5. C.Yuan과 제안한 회로의 프리스케일러의 성능 비교

Table 5. Performance comparison between C.Yuan's prescaler and proposed prescaler.

	Prescaler using a C.Yuan's F/F	Prescaler using a proposed F/F
Supply Voltage [V]	3.3	3.3
Transistor Counts	12	11
Delay [ns]	0.34	0.34
Power [mW]	19.43	10.61
PDP [pJ]	6.60	3.60

표 5는 128분주에 대해 C.Yuan의 회로와 제안한 회로에 대해 비교를 하였다. 동기식 4/5분주의 회로에 적용되는 D-플립플롭은 C.Yuan의 D-플립플롭에 사용된 트랜지스터의 개수에 비해 1개가 적고 동작속도 면에서는 C.Yuan의 회로와는 같지만, 소비전력 면에서는 우수한 성능을 보여 전체적으로 PDP 측면에서는 약 45.4% 개선효과를 나타내었다.

## VI. 결 론

본 논문에서는 프리스케일러에 적용되는 고속 및 저전력 TSPC D-플립플롭을 제안하였다. 제안한 TSPC D-플립플롭은 입력 단의 PMOS 트랜지스터를 추가로 프리차지구간에서의 불필요한 방전패스로 인한 소비전력을 감소시켰고, 그로 인한 프리차지를 위한 두 개의 클럭 트랜지스터의 패스를 공유함으로써 하나의 클럭 트랜지스터로 프리차지 할 수 있었다. 또한 출력 단의 방전패스에 NMOS 트랜지스터를 추가하여 글리치 문제를 제거하였으며, 방전을 위한 두 개의 클럭 트랜지스터 패스도 함께 공유 할 수가 있어 하나의 클럭 트랜지스터로 방전하는, 소비전력 면에서는 우수하고 안정적인 동작을 하는 TSPC D-플립플롭을 제안하였다.

성능평가에서는 C.Yuan<sup>[6]</sup>과의 D-플립플롭을 비교하였을 때는 소비전력에서는 약 4배정도 개선할 수 있었다. 또한 프리스케일러에 적용하기 위해 새롭게 추가된 NMOS 트랜지스터를 제거한 후 성능평가를 비교해 본 결과, 동기식 4분주에서의 동작주파수는 3.1GHz로 기존의 회로에 비해서는 유사한 속도를 유지하지만, 소비전력에서는 약 2배의 개선이 있어 PDP를 48.8% 개선을 하였다. 또한 128분주 동작을 하는 프리스케일러

에서도 3.3V에서의 최대동작주파수는 2.92GHz, 소비전력은 10.61mw로 기존의 회로<sup>[7]</sup>보다 45.4%개선을 하였다. 따라서 본 논문에서 고속동작 및 소비전력을 적게 소비하는 프리스케일러를 설계함으로써 무선통신 응용분야의 고성능의 주파수 합성기에 응용될 수 있다.

향후 연구방향은 고속동작을 함과 동시에 소비전력을 적게 소비하는 TSPC D-플립플롭의 설계에 대한 연구가 필요하다.

### 참고 문헌

[1] 이순섭, 최광석, 김수원, "무선 통신용 Dual-Modulus Prescaler 위상고정루프 (PLL)의 간단한 분주 구조", 대한전자공학회 99 추계종합학술대회논문집, pp.271-274.  
 [2] Yuan,J, Svensson,C, "High-speed CMOS circuit technique," IEEE J. Solid-State Circuits, Vol24, pp.62-70, Feb. 1989.  
 [3] 허준호, 김수원, "안정적인 고속동작을 위한 다이내믹 D Flip-Flop", 대한전자공학회논문지 SD편, pp.1055-1061, 2002.12.  
 [4] Byungsoo Chang, Joonbae Park, Wonchan Kim, "A 1.2 GHz CMOS dual-modulus prescaler using

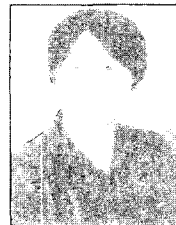
new dynamic D-type flip-flops," IEEE J. Solid-State Circuits, Vol.31, pp.749-752, May. 1996.  
 [5] Rogenmoser,R, Huang,Q, Piazza,F, "1.57 GHz asynchronous and 1.4 GHz dual-modulus 1.2 m CMOS prescalers," in Proc. IEEE 1994, CICC, San Diego, CA, pp.387-390, May. 1994.  
 [6] Ching-Yuan Yang, Guang-Kaai Dehng, June-Ming Hsu, Shen-Iuan Liu, "New dynamic flip-flops for high-speed dual-modulus prescaler," IEEE J. "Solid-State Circuits, Vol.33, pp.1568- 1571, Oct. 1998.  
 [7] 양성현, 민경철, 조경록, "전하공유 및 글리치 최소화를 위한 D-플립플롭", 대한전자공학회 SC편, 2002.7. pp.43-53.  
 [8] Klass. F, Amir. C., Das. A., Aingaran. K, Truong. C., Wang. R, Mehta. A, Heald. R, Yee. G, "A new family of semidynamic and dynamic flip flops with embeded logic for high-performance processors," IEEE J. Solid-State Circuits, Vol. 34, pp.712-716, May. 1999.  
 [9] Ki-Hyuk Sung, Lee-Sup Kim, "Comments on "New dynamic flip-flops for high-speed dual-modulus prescaler", IEEE J. Solis-State Circuit, Vol. 35, pp.919-920, June. 2000.

### 저자 소개

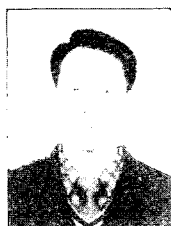


**박 경 순**(정회원)  
 2002년 충주대학교 전자공학과 학사 졸업.  
 2004년 충북대학교 전자공학과 석사 졸업.  
 2004년~현재 스태츠 칩팩코리아 근무

<주관심분야 : 시스템집적, 저전력회로, 컴퓨터구조>

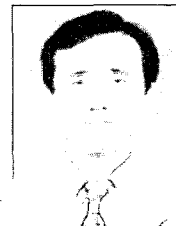


**윤 상 일**(정회원)  
 2003년 충북대학교 전자공학과 학사 졸업.  
 2005년~현재 충북대학교 전자공학과 석사 재학.  
 <주관심분야 : 시스템 집적, 저전력회로, 컴퓨터 구조>



**서 해 준**(학생회원)  
 2001년 청주대학교 전자·통신·반도체공학부 학사 졸업.  
 2004년 충북대학교 전자공학과 석사 졸업.  
 2004년~현재 충북대학교 전자공학과 박사과정.

<주관심분야 : 시스템 집적, 저전력 회로, 고성능 마이크로프로세서, Display Driver IC(DDI)>



**조 태 원**(평생회원)  
 1973년 서울대학교 전자공학과 학사 졸업.  
 1986년 미국 루이빌대 전자공학과 석사 졸업.  
 1992년 미국 켄터키주립대학교 전자공학과 박사 졸업.

1973년~1983년 금성전선(주)  
 1992년~현재 충북대학교 전기전자 및 컴퓨터공학부 교수  
 <주관심분야 : 시스템 집적회로, 고급 컴퓨터구조, 저 전력회로, Display Driver IC(DDI)>