

논문 2005-42SD-8-1

전송선 감소를 위한 듀얼레벨 저전압 차동신호 전송(DLVDS) 기법

(Dual-Level LVDS Technique for Reducing
the Data Transmission Lines)

김 두 환*, 양 성 현**, 조 경 록*

(Doo-Hwan Kim, Sung-Hyun Yang, and Kyoung-Rok Cho)

요 약

본 논문은 LCD driver IC의 전송선 수를 줄이기 위한 이중 저전압 차동신호 전송(DLVDS) 회로를 제안한다. 제안된 회로에서는 2-비트 원시 데이터를 하나의 송신기에서 입력 받고, 2-비트 데이터를 듀얼레벨을 갖는 차동신호로 전송한다. 따라서 기존의 저전압 차동신호 전송기법(LVDS)의 특징을 유지하면서 2-비트 원시 데이터를 2개의 전송선을 통하여 전송할 수 있다. 수신기에서는 디코드 회로를 통해 원래의 2-비트 원시 입력 데이터를 복원할 수 있다. 제안된 회로는 0.25 μ m CMOS 공정으로 설계하여, 1-Gbps/2-line의 전송률을 갖고, 2.5V의 전원에서 35-mW의 전력소모를 나타냈다.

Abstract

A dual-level low voltage differential signalling (DLVDS) circuit is proposed aiming at reducing transmission lines for LCD driver IC. In the proposed circuit, we apply a couple of primitive data to DLVDS circuit as inputs. The transmitter converts two inputs to two kinds of fully differential level signals. In this circuit, two transmission lines are sufficient to transfer two primitive inputs while keeping the LVDS feature. The receiver recovers the original input data through a level decoding circuit. We fabricated the proposed circuit using 0.25 μ m CMOS technology. The resultant circuit shows 1-Gbps /2-line data rate and 35-mW power consumption at 2.5V supply voltage, respectively.

Keywords : LVDS, 저전력, 저전압, 차동신호, 입출력회로, I/O 회로

I. 서 론

정보화 사회의 발달은 방대한 양의 데이터를 빠르게 처리하는 것을 요구하며, 칩의 성능이 지속적으로 증가

하여 고속화가 이루어지고 있다. 그러나 이런 고속 동작은 칩 내부에서 뿐만 아니라, 외부의 칩과 칩 사이에서도 고속의 데이터 전송을 요구하게 되었다. 이러한 요구를 충족하기 위해 저전압 차동신호 전송기법(LVDS: Low Voltage Differential Signaling)이 제안되었다. 이 기법은 디스플레이를 사용하는 시스템에서 패널과 시스템 사이의 고속 데이터 전송을 위해 제안된 기술이며, 저전력, 고속 동작, 높은 잡음 면역성, 저비용 면에서 우수하여 데이터 통신의 표준으로 사용되고 있다^{[2], [3]}.

칩 외부의 데이터 전송은 칩 내부에 비해 많은 잡음원이 존재하기 때문에 LVDS와 같은 잡음에 강한 차동신호 전송기법은 필수적이다. 그러나 기존의 차동신호

* 정회원, 충북대학교 정보통신공학과
컴퓨터정보통신 연구소
(Dept. of Computer and Communication
Engineering and Research Institute for Computer
and Information Communication, Chungbuk
National University)

** 정회원, LG 전자 SIC 회로설계그룹
(SIC CD Group, LG Electronics)

※ 본 연구는 반도체설계교육센터(IDEC)의 설계지원과
산자부 한국산업기술재단 지역혁신인력양성사업의
연구비 지원으로 수행되었음.

접수일자: 2005년2월14일, 수정완료일: 2005년7월11일

전송기법은 하나의 데이터를 전송하기 위하여 2개의 pin과 전송선을 사용해야하는 피할 수 없는 단점을 갖고 있다. 또한 그에 따른 비용 증가가 갈수록 심화되고 있다. 이러한 단점을 개선하기 위하여 전송선 공유 기법을 사용하여 전송선 개수를 줄이는 기법이 제안되었다^[1]. 이 기법은 많은 데이터를 병렬로 전송할 때 병렬로 배치된 각 버퍼의 2개의 전송선 쌍을 서로 인접한 버퍼와 공유하면서 n개의 데이터 전송을 위하여 n+1개의 전송선과 pin을 사용하는 기법으로 많은 수의 전송선을 줄일 수 있다. 그러나 수신기의 데이터 복호 알고리즘이 병렬로 전송되어오는 다른 데이터출력에 의존성을 갖기 때문에 완전한 병렬 전송기법이라고 할 수 없는 단점을 갖고 있었다.

본 논문에서 기존의 LVDS가 갖는 차동신호 전송기법의 원천적인 단점을 개선하고, 이전의 제안된 기법이 할 수 없었던 완전 병렬 전송이 가능한 기법을 제안한다. 제안된 기법은 2-bit 원시데이터를 2개의 전압차 레벨을 갖는 2쌍의 차동 신호로 변환하여 전송하는 새로운 방식을 사용한다.

II. DLVDS 회로의 구성

그림 1(a)는 송신부, 수신부 그리고 2개의 전송라인으로 구성된 기존의 차동 입출력 전송시스템을 나타낸다. 각각의 1-bit 데이터는 차동 신호로 변환되어 2개의 전송선을 통해 수신단에 전송된다. 반면에 그림 1(b)에 제안된 데이터 전송 시스템은 기존의 2개의 전송선을

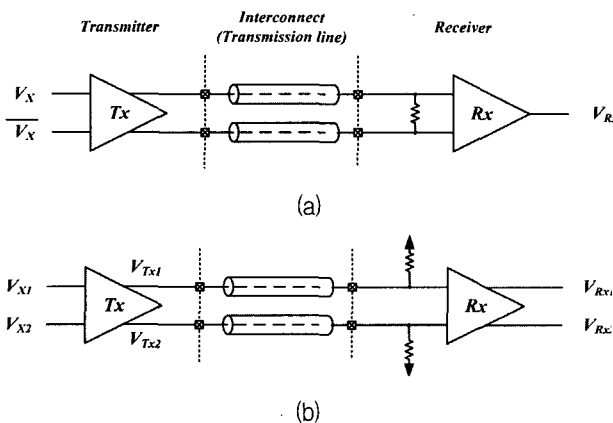


그림 1. 차동 입출력 신호 전송 시스템 (a) 일반적인 차동신호 전송 시스템 (b) 제안된 2비트 원시 입력을 사용하는 전송 시스템

Fig. 1. Differential I/O systems : (a) conventional differential I/O system (b) proposed data transmission system with two primitive inputs.

사용하여 2-bit 원시 데이터를 동시에 전송 할 수 있다. 이러한 시스템은 같은 전송선, 입출력 회로, pin을 사용해 기존 시스템의 2배의 데이터를 전송할 수 있다.

2.1 제안된 DLVDS의 개념

그림 2는 제안된 DLVDS 개념을 나타내고 있다. 그림1(b)의 2-bit 원시 입력 데이터는 차동신호로 전송된다. 송신기의 2-bit 입력 데이터가 01과 10일 때, 송신기는 $\pm 0.45V$ 의 전압차를 갖는 차동신호를 출력한다. 일반적인 차동신호 전송기법은 1-bit 원시 입력 데이터가 차동신호로 변환된 후 송신기의 2-bit 입력으로 입력되기 때문에, 이 경우는 일반적인 차동신호 전송기법과 동일하다. 그러나 입력 데이터가 00과 11일 때 즉, 송신기의 2-bit 입력 신호가 서로 같을 때, 송신기는 $\pm 0.25V$ 의 차동신호를 출력한다. 기존의 LVDS방식은 2개의 전송선으로 1-bit의 데이터를 전송하는데, 제안된 DLVDS는 2개의 전송선으로 2-bit의 데이터를 전송할 수 있는 것이 특징이다. 2-bit의 데이터는 항상 차동모드로 전송되며, 대신에 2개의 차동 레벨을 갖게 된다. 수신기에서는 전송된 2개의 레벨을 갖는 각각의 차동신호를 구분한 후 복원하여 원래의 2-bit 원시 데이터를 얻는다.

2.2 DLVDS 송신기

그림 3은 제안된 DLVDS 송신기를 나타낸다. 송신기 회로는 드레인의 출력 전류 경로를 교차시킨 2개의 차동 트랜지스터 쌍으로 구성된다. 이 회로는 입력에 따른 전류의 합과 차를 형성하여 00, 11의 공통모드 입력에 대해서도 차동 신호를 생성할 수 있다. 기준 전압 V_{ref_Tx} 가 $V_{DD/2}$ 이상으로 설정되면 한 쪽 입력이 0일 때 모든 전류가 충분히 다른 쪽 경로로 흘러간다. 입력이 01, 10의 차동모드일 때는 50Ω 의 종단 저항 R_{T1} 이나 R_{T2} 로 모든 전류 i_T ($=9mA$)가 흐른다. 따라서 출력 V_{Tx1} 과 V_{Tx2} 에는 저항으로 흐르는 전류의 양 만큼의

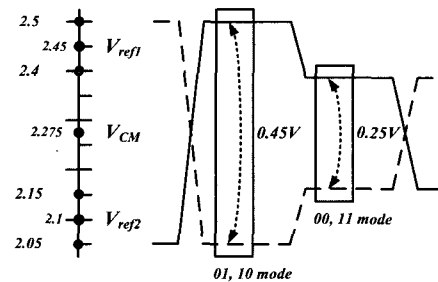


그림 2. 제안된 이중 차동신호 전송 개념
Fig. 2. Concept of the proposed dual-level LVDS circuit.

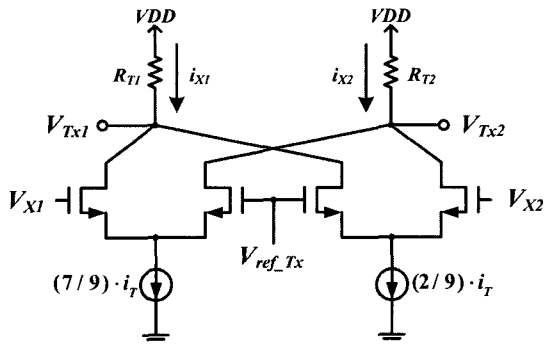


그림 3. 송신기 구조
Fig. 3. Transmitter circuit.

전압 강하가 형성되어 2.5V 전원을 사용할 때, 2.275V 를 기준으로 $\pm 0.45V$ 전압차를 형성한다. 입력이 00, 11 의 공통모드일 때는 입력에 따라 중단 저항 R_{T1} 과 R_{T2} 에 전류 $(2/9) \cdot i_T$ 또는 $(7/9) \cdot i_T$ 가 번갈아 흘러 $\pm(5/7) \cdot i_T$ 의 전류 차가 발생한다. 따라서 출력에는 $\pm 0.25V$ 의 전압차가 발생한다. 제안된 회로는 입력 조합에 따라 서로 다른 크기의 전류를 흘려 DLVDS의 전송 신호를 생성할 수 있다.

2.3 DLVDS 수신기

그림 4 의 수신기는 2개의 전압차 비교기(DM1, DM2), 3개의 D-플립플롭(FF1, FF2, FF3), XOR 게이트, 그리고 2개의 MUX로 구성된다. 일반적인 차동증폭기 구조를 DLVDS 수신기로 사용할 경우, 2개의 레벨을 갖는 차동신호를 모두 증폭해 출력을 같은 레벨로 만들기 때문에 2-bit 원시 데이터를 복원할 수 없다. 따라서 우선적으로 서로 다른 전압차를 발생시키는 2-bit 입력의 모드를 구분하는 동작이 필요하다. 모드 구분을 위해 사용되는 전압차 비교기의 출력은 아날로그 신호기 때문에 SAFF (Sense-Amplifier Based Flip-Flop)를 사용해 디지털 데이터로 변환한다.

모드선택(mode select) 부분은 DM1, DM2, FF1, FF2로 구성되고, 차동신호와 공통신호를 구분한다. 모드선택 동작은 V_{CX1U} 와 V_{CX2U} 신호를 입력 받은 XOR gate를 통하여 수신기 입력신호 전압차가 $\pm 0.25V$ 인지 $\pm 0.45V$ 인지를 구분해 송신기의 2-bit 입력이 공통모드일 때와 차동모드일 때를 판단한다. 송신기 입력이 차동모드일 경우, DM1과 FF1으로 수신기 입력신호를 원래의 차동모드 2-bit 입력데이터로 복원한다. 송신기 입력이 공통모드일 경우, FF3은 수신기 입력신호를 원래의 공통모드 2-bit 입력데이터로 복원한다. MUX는 모드선택 신호 V_{XOR} 를 통하여 공통모드(H)와 차동모드(L)중 하나

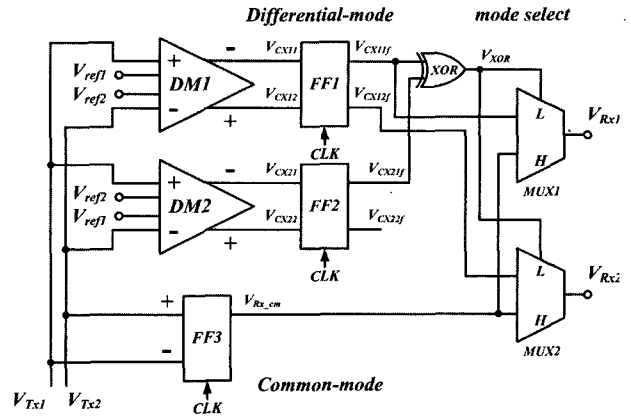


그림 4. 수신기 구조
Fig. 4. Block diagram of the receiver.

를 선택한다. 따라서 입력 데이터가 01, 10의 차동모드 일 경우에는 FF1에서 출력된 신호 V_{CX1U} , V_{CX1L} 를 선택하고, 입력 데이터가 00, 11의 공통모드 일 경우에는 FF3에서 출력된 신호 V_{Rx_cm} 를 선택한다.

그림 5는 차동신호로 전송되어 오는 신호를 전압차를 이용하여 차동모드와 공통모드를 구분하는 알고리즘을 나타낸다. 전송신호 V_{Tx1} 과 V_{Tx2} 의 전압차 절대값 $|V_{Tx1} - V_{Tx2}|$ 이 기준전압 V_{ref1} 과 V_{ref2} 의 차인 ΔV_{ref} ($\pm 0.35V$)의 절대값보다 크면 입력신호는 차동모드이고, 작으면 공통모드로 판단할 수 있다.

III. 실험결과

제안된 DLVDS 회로는 $0.25\mu m$ CMOS 공정을 이용하여 설계하고 시뮬레이션 했다. 그림 6은 송신단의 출력에 5pF의 부하 커패시터를 연결했을 때의 시뮬레이션 결과를 나타낸다. 그림 6(a)의 입력 데이터 V_{X1} 과 V_{X2} 의 데이터 전송률은 각각 500Mbps, 250Mbps이다. 그림 6(b)는 송신기 출력 전압이다. 입력 데이터가 01, 10의 차동모드 일 때 송신기의 출력 전압차가 $\pm 0.45V$ 인 차동신호를 출력하고, 입력데이터가 00, 11인 공통모드 일 때는 송신기의 출력전압차가 $\pm 0.25V$ 인 차동신호를 출력한다. 그림 2에서 보인 개념과 같이 항상 차동으로 동작하고 2개의 차동 전압 레벨을 갖는 것을 확인할 수 있다. 또 기준전압인 $V_{ref1}(=2.45V)$ 과 $V_{ref2}(=2.1V)$ 에 의해 수신기 신호를 구분할 수 있다. 송신단의 전력 소모는 23mW이다.

그림 7은 수신기의 출력에 1pF의 부하 커패시터를 연결했을 때의 시뮬레이션 결과를 나타낸다. V_{XOR} 값이 high 일 때는 V_{Rx_cm} 값이 V_{Rx1} 과 V_{Rx2} 로 출력되

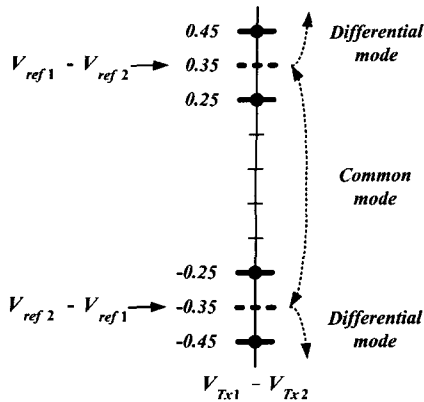


그림 5. 복호화 알고리즘
Fig. 5. Decoding algorithm.

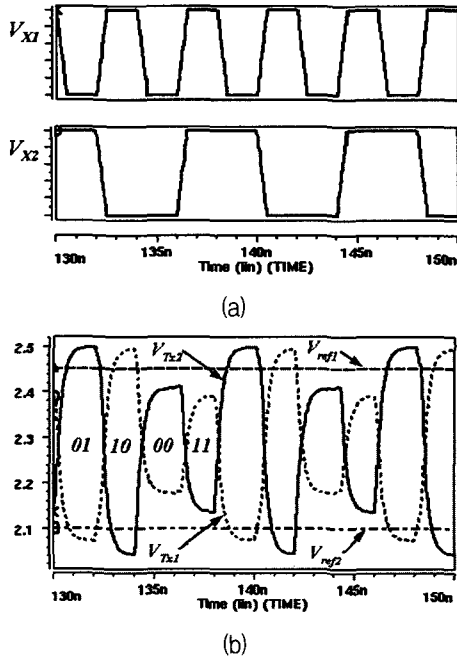


그림 6. 송신기의 시뮬레이션 결과 (a) 송신기의 입력 신호 (b) 송신기의 출력 신호
Fig. 6. Simulation result of the transmitter : (a) input data (b) output data.

고 V_{XOR} 값이 low일 때는 V_{CX11f} , V_{CX12f} 가 각각 V_{Rx1} , V_{Rx2} 로 출력된다. 클록은 500MHz를 사용하였고, 50%의 duty cycle 설정과 glitch 감소를 위하여 최종 출력에 D-플립플롭을 추가하여 시뮬레이션 하였다. 그러므로 수신기 최종 출력의 결과는 2클록 후에 출력됨을 알 수 있다.

그림 8(a)는 신호가 전송되는 채널의 모형이다. 시뮬레이터(Hspice)의 W-model을 이용하여 0.3m 차동 전송 마이크로스트립 케이블과 칩에서 케이블 사이의 package + board trace(=microstrip) + SMA connector를 모형화했다. 그림 8(b)는 그라운드 바운싱(Ground bouncing)으로 인한 공통모드 잡음이 있을 때를 시뮬레

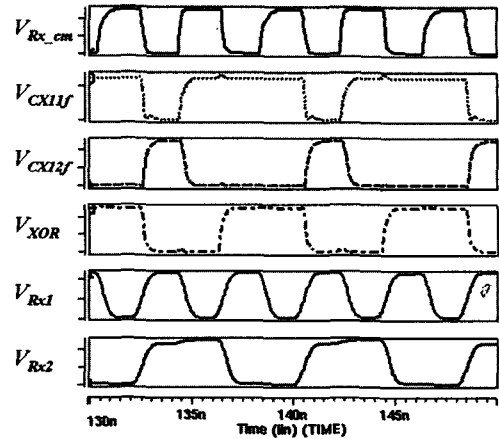


그림 7. 수신기의 시뮬레이션 결과
Fig. 7. Simulation result of the receiver.

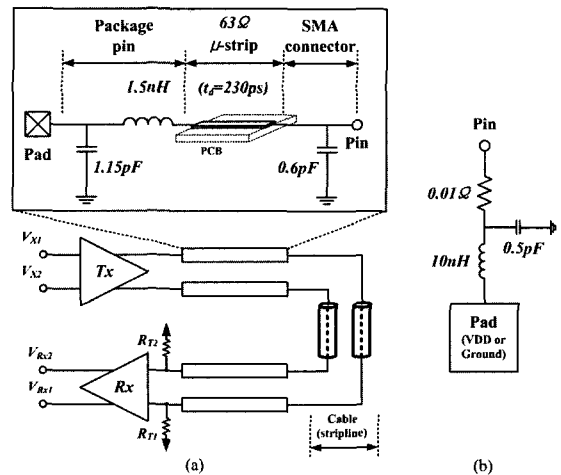


그림 8. 전송선 모델 (a) 데이터 라인 전체 연결 모형 (b) Ground와 VDD 본딩 패드 모형
Fig. 8. Transmission line model : (a) data line full-link model (b) Ground and VDD pad bonding model.

이션하기 위하여 pin과 VDD or Ground pad 사이의 lead frame을 모형화한 것이다.

그림 9는 전송선 길이에 따른 공통모드 전송(00, 11)과 차동모드 전송(01, 10)의 각각의 경우에 수신기 입력 신호의 전압차를 나타낸 그래프이다. 정상동작을 위해서는 2개의 전송 모드가 ΔV_{ref} 의 절대값인 점선의 위아래로 구분되어야 한다. 따라서 제안된 모형을 사용할 경우, 전송선의 길이가 1m에 이를 때까지 정상 동작함을 알 수 있다.

그림 10은 송신단과 수신단 회로의 칩 레이아웃을 보여준다. 그림 10의 레이아웃으로부터 기생성분을 포함한 회로를 추출하여 시뮬레이션을 했다.

그림 11(a)는 그림 8(a)의 채널 모형화만을 적용한 송신단 출력이며, 그림 11(b)는 그림 8(a)와 (b)를 모두 적용한 공통모드 잡음이 있을 때의 시뮬레이션 결과 파형

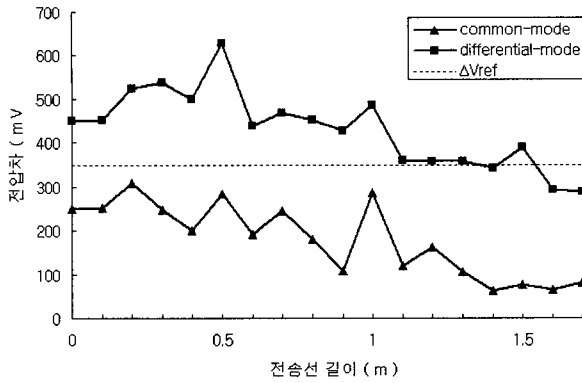


그림 9. 전송선 길이에 따른 수신기 입력의 차동 전압차
Fig. 9. Voltage difference of receiver input with transmission line length.

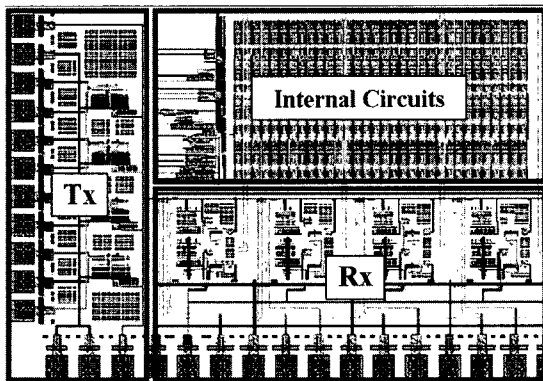
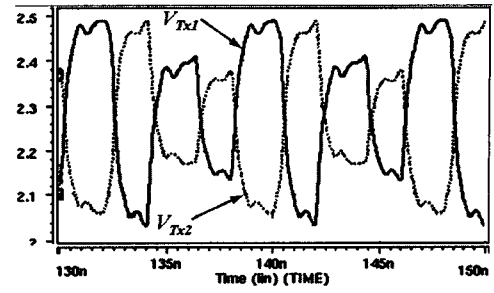


그림 10. 칩 레이아웃
Fig. 10. Chip layout.

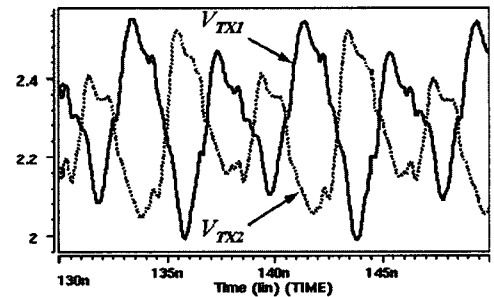
이다.

그림 12는 그림 11(b)의 송신단의 출력이 전송되었을 때의 수신단 출력 파형이다. VDD와 Ground에 그림 8(b)의 그라운드 바운싱이 적용된 파형이기 때문에 잡음 성분을 볼 수 있으며 그림 6의 결과와 일치하는 것을 알 수 있다. 시뮬레이션 결과 파형을 통하여 제안된 구조의 입출력 회로가 차동신호 전송의 특성인 공통모드 잡음에 강하다는 특성을 잃지 않았음을 알 수 있다.

표 1은 제안된 DLVDS회로와 기존의 LVDS회로 회로를 비교한 결과이다. 데이터 1개당 필요한 전송선 수 Data/Line을 보면, 2개의 data를 보낼 때 회로 [4]는 4-line, 회로 [1]은 3-line, 제안된 DLVDS회로는 2-line을 필요로 한다. Maximum C_L (부하 커패시터)에서 회로 [4]는 송신단 출력이 10pF의 C_L 이 저항 양단에 연결되기 때문에 유효 C_L 는 5pF이 된다. 제안된 구조는 수신단에서 2개의 D-플립플롭을 거치기 때문에 CLK 2주기(=4n) 만큼 지연 된다. 전력 소모를 파악할 때는 속도와 전송되는 데이터의 수를 고려해야한다. [4]의 회로는 1개의 신호를 1쌍으로 전송하지만, 제안된 회로는 2



(a)



(b)

그림 11. 그림 8의 송신기와 전송선 모형을 포함한 시뮬레이션 결과 (a) 그림 8(a)를 적용한 송신기 출력 (b) 그림 8(a)와 (b)를 모두 적용한 송신기 출력

Fig. 11. Transmitter simulation result using transmission line model : (a) output waves with only full-line model (b) output with transmission line model.

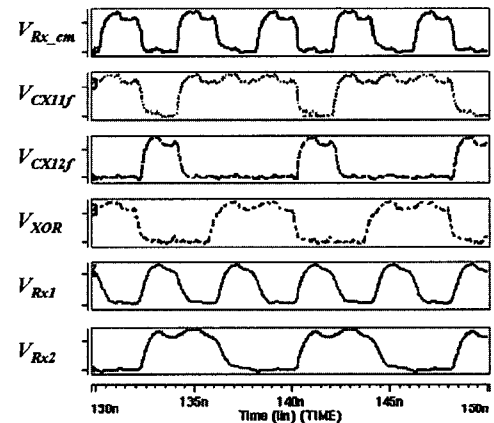


그림 12. 그림 8의 전송선 모형까지 적용된 수신기 시뮬레이션 결과

Fig. 12. Simulation result of the receiver with the transmission line model.

개의 신호를 1쌍으로 전송한다. 따라서 실제로 비교할 때는 [4]의 회로가 2개씩 있어야 비교대상이 된다. 그리고 전송 속도의 차이도 고려해야한다. 2가지를 모두 고려하면 기존 [4]의 LVDS보다 제안된 DLVDS 회로는 비슷한 전력소모로 Data/Line 전송률이 2배임을 알 수 있다. 또한 회로 [1]과 비교 시에도 동등한 전송률을 가지면서 배선 복잡도가 감소됨을 알 수 있다.

표 1. 기존 기법들과의 성능 비교

Table 1. Performance comparisons with previous works.

	Conventional [4]	Shared line [1]	Proposed DLVDS
Process	CMOS 0.35 μ m	CMOS 0.25 μ m	CMOS 0.25 μ m
Data/Line	1-data/2-line	n-data/(n+1)-line	2-data/2-line
Data rate/ 2-line	1.2-Gbps/2-line	1.1-Gbps/2-line (@ 0.3m T-line)	1-Gbps/2-line (@ 0.3m T-line)
Maximum C_L	Tx: 10 pF Rx: 1 pF	-	Tx: 6 pF Rx: 1 pF
DC Current Consumption	Tx: 13 mA Rx: 10 mA	Tx: 5 mA Rx: - mA	Tx: 9 mA Rx: 5.5 mA
Power Consumption	Tx: 43 mW Rx: 33 mW	Tx: 12.5 mW Rx: - mW	Tx: 23 mW Rx: 12 mW

IV. 결 론

제안된 DLVDS는 기존의 LVDS가 갖는 특징인 고속 저전력 차동모드 특징을 유지하면서, 2개의 전송선을 통해 2-bit 원시 데이터를 동시에 전송하여 면적 및 전력소모를 감소시켰다. 수신단에서는 디코딩 회로를 통해 입력 데이터를 복원할 수 있다. 제안된 회로는 0.25 μ m CMOS 공정으로 설계 되었고, 1-Gbps /2-line 으로 전송률을 가지며, 2.5V 전원에서 35mW의 전력소모를 나타냈다.

참 고 문 헌

- [1] F. Hatori, S. Kousai, and Y. Unekawa, "Shared data line technique for doubling the data transfer rate per pin of differential interfaces," in *Proc. CICC 2001*, pp.501-504, 2001.
- [2] *IEEE Standard for Low-Voltage Differential Signals (LVDS) for Scalable Coherent Interface (SCI)*, 1596.3 SCI-LVDS Standard, IEEE Std. 1596.3, 1996.
- [3] *Electrical characteristics of low-voltage differential-signaling (LVDS) interface circuits*, TIA/EIA-644, National Semiconductor Corp., ANSI/TIA/EIA, 1996.
- [4] A. Boni, A. Pierazzi, and D. Vecchi, "LVDS I/O interface for Gb/s-per-pin operation in 0.35- μ m CMOS," *IEEE J. Solid-State Circuits*, vol. 36, pp.706-711, Apr. 2001.
- [5] T. Gabara, W. Fischer, W. Werner, S. Siegel, M. Kothandaraman, P. Metz, and D. Gradl, "LVDS I/O buffers with a controlled reference circuit," in *Proc. ASIC Conf.*, pp. 311-315, 1997.
- [6] B. Young, "An SOI CMOS LVDS driver and receiver pair," in *Proc. Int. Symp. VLSI Circuits*, pp. 153-154, 2001.

저 자 소 개



김 두 환(학생회원)

2003년 충북대학교
정보통신공학과 공학사.

2003년 3월~현재 충북대학교
정보통신공학과 공학석사.

2005년 3월 ~현재 충북대학교
정보통신공학과 박사과정.

<주관심분야 : LVDS I/O 회로, 아날로그 필터 설계, OLED 드라이버 설계.>



양 성 현(정회원)

1999년 충북대학교
정보통신공학과 공학사.

2001년 충북대학교
정보통신공학과 공학석사.

2004년 충북대학교
정보통신공학과 공학박사.

2004년~현재 LG 전자 SIC CD Group

<주관심분야 : CMOS 이미지 센서, Continuous Time Filter, LVDS I/O 회로.>



조 경 록(정회원)

1977년 경북대학교 전자공학과
공학사.

1989년 일본 동경대학교
전자공학과 공학석사.

1992년 일본 동경대학교
전자공학과 공학박사.

1979~1986년 (주)금성사 TV연구소 선임연구원.

1999~2000년 Oregon State University 객원교수.

1992~현재 충북대학교 전기전자공학부 교수.

<주관심분야 : 통신시스템LSI설계, 저전력고속회로 설계, Platform 기반의 SoC 설계.>